

特徴

高性能、低消費 AVR® 8ビットマイクロコントローラ
進化したRISCアーキテクチャ

- 強力な 134命令 (多くは1サイクルで実行)
- 32個の1バイト長汎用レジスタ+周辺制御レジスタ
- 16MHz時、16MIPSに達する高速動作

本書は一般の方々の便宜のため有志により作成されたもので、ATMEL社とは無関係であることを御承知ください。しおりのはじめにの内容にご注意ください。

- 完全なステイック動作
- 2サイクル実行の乗算命令

データメモリと不揮発性プログラムメモリ

- 実装書き換え可能な128Kバイト(64K語)フラッシュメモリ内蔵 (10,000回の書き換えが可能)
- 個別ロックビットを持つ任意のブートコード領域 (チップ内ブートプログラムによる自己書き換え) (真の書き込み中の読み出し動作)

- 4KバイトのEEPROM (100,000回の書き換えが可能)

- 4Kバイトの内蔵SRAM

- 64Kバイトまでの任意外部メモリ空間

- ソフトウェア保護用の設定可能なロック機能

- 実装書き込み用SPインターフェース

JTAG (IEEE 1149.1準拠) インターフェース

- JTAG標準に従った境界走査 (Boundary-Scan) 能力

- 広範囲な内蔵デバッグ機能

- JTAGインターフェース経由でのフラッシュ、EEPROM、ヒューズ、ロックビットのプログラミング

内蔵周辺機能

- 独立した前置分周器、比較機能付き2つの8ビットタイマ/カウンタ
- 独立した前置分周器、比較、捕獲 (キャプチャ) 機能付き2つの拡張した16ビットタイマ/カウンタ
- 専用発振器と8ビットタイマ/カウンタによるリアルタイムカウンタ(RTC)
- 2つの8ビットPWM出力と6つの2~16ビット分解能が設定可能なPWM出力
- 比較出力変調器
- 8チャンネルの10ビットA/D変換器 (シングルエンド入力 8チャンネル、差動入力 7チャンネル) (可変利得 (x1x10x200) 差動入力 2チャンネル)

- 8ビット対応の2線シリアルインターフェース

- 設定可能な2つのシリアルUSART

- マスタ/スレーブ動作SPシリアルインターフェース

- 設定可能な専用発振器付きウォッチドッグタイマ

- アナログ比較器

特殊マイクロコントローラ機能

- 電源オンリッチ回路と設定可能な低電圧検出器 (BOD)

- 校正可能な内蔵RC発振器

- 外部及び内部の割り込み

- アイドル、A/Dノイズ低減、パワーセーブ、パワーダウン、スタンバイ、拡張スタンバイの6つの低消費動作

- ソフトウェア選択可能なクック周波数

- ヒューズでのATmega103互換動作

- 全プルアップ禁止機能

I/Oとパッケージ

- 53ビットの設定可能なI/O

- 64ピンTQFP, QFN/MLF

動作電圧

- 2.7~5.5V (ATmega128L)

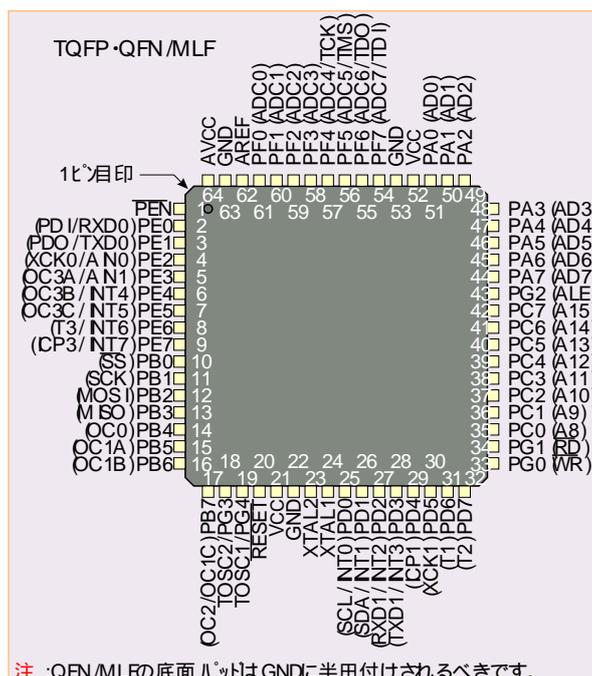
- 4.5~5.5V (ATmega128)

動作速度

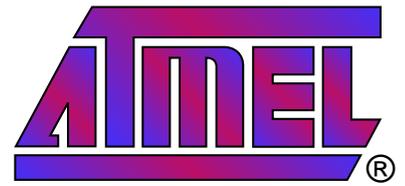
- 0~8MHz (ATmega128L)

- 0~16MHz (ATmega128)

ピン配置



注: QFN/MLFの底面パッドはGNDに半田付けされるべきです。



8-bit AVR®
マイクロコントローラ
実装書き換え可能な
128Kバイト
フラッシュメモリ内蔵

ATmega128
ATmega128L

お断り:

このデータシート内で示された代表値は、シミュレーションと同じプロセス技術で製造された他のAVRマイクロコントローラの特性を基準にしています。MinとMax値はデバイス特性が記載された後に利用可能になります。

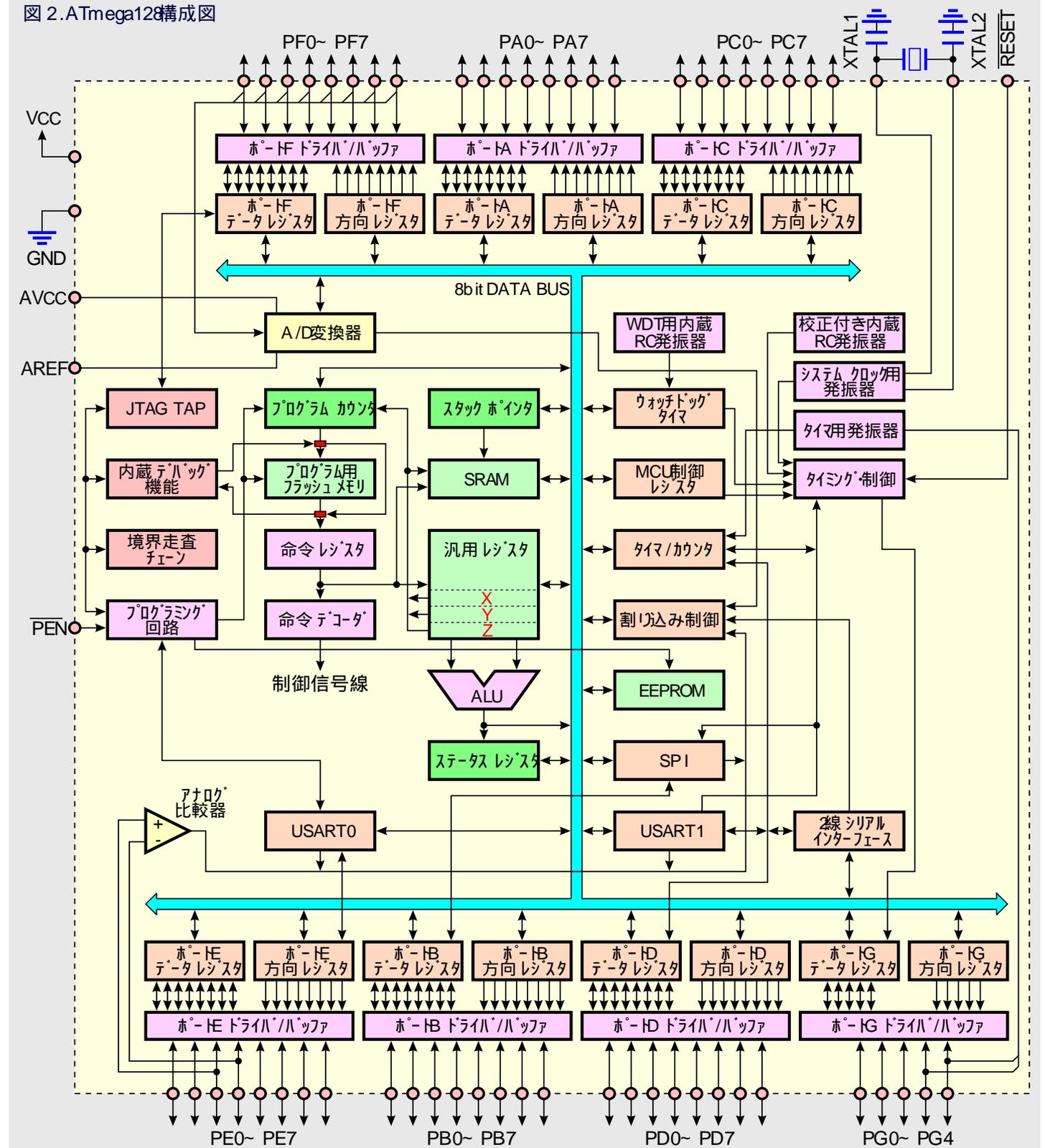


概要

ATmega128はAVR RISCアーキテクチャの低消費CMOS 8ビットマイクロコントローラです。1サイクルで実行する強力な命令は、MHzあたり1MIPSにも達し、実行速度対電力消費の最適化が容易に行えます。

AVRは32個の汎用レジスタと豊富な命令群を兼ね備えています。32個の全レジスタはALU (Arithmetic Logic Unit)に直結され、レジスタ間命令は1クロックサイクルで実行されます。AVRアーキテクチャは現状のCISC型マイクロコントローラに対して、10倍以上のスループット向上効果があります。

図 2. ATmega128構成図



ATmega128は次の特徴、書き込み中読める能力を持つ 128Kバイトの実装書き換え可能なフラッシュメモリと 4KバイトのEEPROM、4KバイトのSRAM、53本の汎用入出力線、32個の汎用作業レジスタ、リアルタイムカウンタ(RTC)、比較動作やPWMを含む柔軟性のある4つのタイマ/カウンタ、2つのUSART、バイト対応の2線シリアルインターフェース、設定変更可能な増幅器を持つ任意選択差動入力付き8チャンネルの10ビットA/D変換器、設定変更可能な内部発振器付きウォッチドッグタイマ、SPIシリアルポート、内蔵デバッグとプログラミング機能にも使用されるIEEE標準1149.1準拠JTAG検査インターフェース、ソフトウェアで選択できる6つの低消費動作機能を提供します。アイドル動作では動作を停止しますが、SRAM、タイマ/カウンタ、SPIポート、割り込み機能は有効で、動作を継続します。パワーダウン動作ではレジスタの内容は保護されますが、発振器が停止するため、以降のハードウェアリセットか外部割り込みまで他の全機能を禁止無効にします。パワーセーブ動作では非同期タイマ用発振器が動作を継続し、デバッグのその他が停止中であっても基準タイマの継続が許されます。A/D変換ノイズ低減動作ではA/D変換中のスイッチングノイズを最小とすため、非同期タイマとA/D変換器を除く全ての周辺機能とCPUが停止します。スタンバイ動作ではクリスタル発振子/セラミック振動子用発振器が動作し、一方デバッグのその他は休止します。これは低消費電力と非常に速い起動の組み合わせを許します。拡張スタンバイ動作では主発振器と非同期タイマの両方が動作を継続します。

本デバイスはATMELの高密度不揮発性メモリ技術を使用して製造されています。内蔵の実装書き換え(SPI可能なプログラム用フラッシュメモリ)、規定の不揮発性メモリ書き込み器、SPIシリアルインターフェース経由、AVRコア上のブートプログラムの実行により、再書き込みが可能です。ブートプログラムは応用領域フラッシュメモリ内の応用プログラムの読み込みに、どのインターフェースでも使用できます。ブート領域フラッシュメモリ内のプログラムは真の書き込み中の読み出し可能動作により、応用領域フラッシュメモリ更新中も実行を継続します。モノリシックチップ上の実装書き換え可能なフラッシュメモリと、8ビットRISC型CPUの組み合わせによるATMEL ATmega128は多くの組み込み制御の応用に対して高度な柔軟性と対費用効果をもたらす強力なマイクロコントローラです。

ATmega128 AVRはCコンパイラ、マクロアセンブラ、デバッグ、シミュレータ、インサーキットエミュレータ、評価キットを含む専用のプログラム及びシステム開発ツールで支援されます。

ATmega128とATmega103の互換性

ATmega128はAVR命令セットで予約した64 I/O位置に取って代わる多数の I/O位置を持つ高複合マイクロコントローラです。ATmega103に対して過去との互換性を保証するため、ATmega103に存在する全ての I/O位置はATmega128で同じ位置です。多くの追加 I/O位置は \$60 から始まり \$FF までの拡張 I/O空間 (ATmega103では内蔵SRAM空間) に追加されます。これらの位置は **N** や **OUT** 命令の使用では届かず、**LD/LDS/LDD** や **ST/STS/STD** 命令の使用によってのみ届くことができます。内蔵RAMの再配置はATmega103使用者にとって未だ問題となるかもしれませんが、同様に割り込みベクタ数の増加はコードプログラムが絶対アドレスを使用する場合に問題となるでしょう。これらの問題を解決するため、**M103Cヒューズ** をプログラム (0) することにより、ATmega103互換動作が選択できます。この動作では、拡張 I/O領域内のどの機能も使用せず、従って内蔵RAMはATmega103のように配置されます。また、拡張した割り込みベクタは取り去られます。

ATmega128はATmega103と100%互換で、現状のプリント基板上のATmega103を置換できます。「ATmega128によるATmega103の置換」アプリケーションノートはATmega128によるATmega103置換で使用者が承知すべき事項を記載します。

ATmega103互換動作 (訳注: 本項内容は原文に対して一部補正)

M103Cヒューズのプログラム (0) により、ATmega128は上記のようにRAM、I/Oピン、割り込みベクタに関してATmega103と互換です。けれども、この互換動作でATmega128のいくつかの新機能が利用できません。これらの機能は以下で一覧されます。

2つに代わり1つのUSARTで、非同期動作だけです。ホートレジスタの下位8ビットだけが利用可能です。

3つの比較レジスタ付きの2つの16ビットタイマ/カウンタに代わり、2つの比較レジスタ付きの1つの16ビットタイマ/カウンタです。

2線シリアルインターフェース(TWI)は支援されません。

ポートCは出力専用です。

ポートGは兼用機能だけを扱います (標準入出力ポート機能なし)

ポートHはA/D変換のアナログ入力に加えデジタル入力だけを扱います。

ブートルータ能力 (機能) は支援されません。

校正付き内蔵RC発振器の周波数調整ができません。

外部メモリインターフェースで、どのアドレスピンも標準入出力ピンに開放できず、異なる外部メモリアドレス領域にどの異なるウェイトステート設定もできません。

加えて、よりATmega103と互換にするため、他にいくつかの小規模な相違点があります。

MCU制御 /ステータスレジスタ(MCUCSR) に外部リセットフラグ (EXTRF) と電源ONリセットフラグ (PORF) だけが存在します。

ウォッチドッグの計時終了値変更について **時間制限による手順** が必要ありません。

外部割り込み 0~ 3ピンはLowレベル割り込みとしてだけ扱います (だけが使用できます)

USARTは FIFOバッファを持たず、従ってより速くデータオーバーランになります。

ATmega128で同じ動作を保証するため、ATmega103での未使用 I/Oピンは 0 を書かれるべきです。

ピン概要

VCC デジタル電源ピン
GND グランドピン

- PA7~ PA0 (P_A7~ P_A0)** P_A7~ P_A0は(ピン毎に)選択される内蔵プルアップ抵抗付き8ビット双方向入出力ポートです。P_A7~ P_A0出力バッファは高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力としてプルアップ抵抗が活性(有効)なら、外部的にLowへ引かれたP_A7~ P_A0ピンは電流を吐き出します。セット条件が有効になるとクロックが動いていなくてもP_A7~ P_A0ピンはHi-Zにされます。P_A7~ P_A0は4頁で一覧されるATmega128の様々な特殊機能も扱います。
- PB7~ PB0 (P_B7~ P_B0)** P_B7~ P_B0は(ピン毎に)選択される内蔵プルアップ抵抗付き8ビット双方向入出力ポートです。P_B7~ P_B0出力バッファは高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力としてプルアップ抵抗が活性(有効)なら、外部的にLowへ引かれたP_B7~ P_B0ピンは電流を吐き出します。セット条件が有効になるとクロックが動いていなくてもP_B7~ P_B0ピンはHi-Zにされます。P_B7~ P_B0は4頁で一覧されるATmega128の様々な特殊機能も扱います。
- PC7~ PC0 (P_C7~ P_C0)** P_C7~ P_C0は(ピン毎に)選択される内蔵プルアップ抵抗付き8ビット双方向入出力ポートです。P_C7~ P_C0出力バッファは高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力としてプルアップ抵抗が活性(有効)なら、外部的にLowへ引かれたP_C7~ P_C0ピンは電流を吐き出します。セット条件が有効になるとクロックが動いていなくてもP_C7~ P_C0ピンはHi-Zにされます。P_C7~ P_C0は4頁で一覧されるATmega128の様々な特殊機能も扱います。ATmega103互換動作でのP_C7~ P_C0は出力専用で、セット条件が有効になると、Hi-Zにされません。
注: ATmega128は既定でATmega103互換動作で出荷されます。従ってPCBへ設置される前に(ATmega103互換禁止に)プログラミングされない場合、ATmega103互換動作が禁止されるまで、P_C7~ P_C0は初回通电で出力になります。
- PD7~ PD0 (P_D7~ P_D0)** P_D7~ P_D0は(ピン毎に)選択される内蔵プルアップ抵抗付き8ビット双方向入出力ポートです。P_D7~ P_D0出力バッファは高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力としてプルアップ抵抗が活性(有効)なら、外部的にLowへ引かれたP_D7~ P_D0ピンは電流を吐き出します。セット条件が有効になるとクロックが動いていなくてもP_D7~ P_D0ピンはHi-Zにされます。P_D7~ P_D0は4頁で一覧されるATmega128の様々な特殊機能も扱います。
- PE7~ PE0 (P_E7~ P_E0)** P_E7~ P_E0は(ピン毎に)選択される内蔵プルアップ抵抗付き8ビット双方向入出力ポートです。P_E7~ P_E0出力バッファは高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力としてプルアップ抵抗が活性(有効)なら、外部的にLowへ引かれたP_E7~ P_E0ピンは電流を吐き出します。セット条件が有効になるとクロックが動いていなくてもP_E7~ P_E0ピンはHi-Zにされます。P_E7~ P_E0は4頁で一覧されるATmega128の様々な特殊機能も扱います。
- PF7~ PF0 (P_F7~ P_F0)** P_F7~ P_F0はA/D変換器へのアナログ入力として扱います。A/D変換器が使用されない場合、P_F7~ P_F0は8ビット双方向入出力ポートとしても扱います。P_F7~ P_F0ピンは(ピン毎に)選択される内蔵プルアップ抵抗を提供できます。P_F7~ P_F0出力バッファは高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力としてプルアップ抵抗が活性(有効)なら、外部的にLowへ引かれたP_F7~ P_F0ピンは電流を吐き出します。セット条件が有効になるとクロックが動いていなくてもP_F7~ P_F0ピンはHi-Zにされます。JTAGインターフェースが許可されると、セットが起きてもPF7(TDI) PF5(TMS) PF4(TCK)ピンのプルアップ抵抗は活性(有効)にされます。データをシフト出力するTAP状態移行以外、TDOピンはHi-Zにされます。P_F7~ P_F0はJTAGインターフェース機能も扱います。ATmega103互換動作でのP_F7~ P_F0は入力ポートだけです。
- PG4~ PG0 (P_G4~ P_G0)** P_G4~ P_G0は(ピン毎に)選択される内蔵プルアップ抵抗付き5ビット双方向入出力ポートです。P_G4~ P_G0出力バッファは高い吐き出しと吸い込み両方の能力の対称駆動特性です。入力としてプルアップ抵抗が活性(有効)なら、外部的にLowへ引かれたP_G4~ P_G0ピンは電流を吐き出します。セット条件が有効になるとクロックが動いていなくてもP_G4~ P_G0ピンはHi-Zにされます。P_G4~ P_G0は5頁で一覧されるATmega128の様々な特殊機能も扱います。ATmega103互換動作でのこれらのピンは外部メモリへのストローブ信号や32kHz発振器への入出力としてだけを扱い、セット条件が有効になるとクロックが動いていなくても非同期にPG0=1 PG1=1 PG2=0に初期化されます。PG3とPG4は発振器ピンです。
- RESET** リセット入力。最小パルス幅(30頁の表19参照)より長いこのピンのLowレベルは、クロックが動いていなくてもリセットを生成します。より短いパルスはリセットの生成が保証されません。
- XTAL1** 発振器反転増幅器への入力と内部クロック操作回路への入力。
- XTAL2** 発振器反転増幅器からの出力。
- AVCC** AVCCはP_F7とA/D変換器用供給電圧電源ピンです。例えばA/D変換が使用されなくても、外部的にVCCへ接続されるべきです。A/D変換が使用される場合、VCCから低域通過濾波器を通して接続されるべきです。
- AREF** AREFはA/D変換器用アナログ基準電圧ピンです。
- PEN** SPリアルタイムプログラミング動作プログラム許可ピンで、内部的にHighへプルアップされています。電源ONセット中、このピンのLow保持によりデバイスがSPリアルタイムプログラミング動作へ移行します。通常動作中、このピンに機能はありません。

コード例について

この資料はデバイスの様々な部分の使用法を手短かに示す簡単なコード例を含みます。これらのコード例はアセンブルまたはコンパイルに先立ち、デバイス定義ヘッダファイルがインクルードされると仮定します。すべてのコンパイル製造業者がヘッダファイル内にピン定義を含めるとは限らず、またCでの割り込みの扱いがコンパイラに依存することに注意してください。より多くの詳細についてはコンパイルの資料で確認してください。

AVR CPU 17

序説

ここでは一般的なAVRコアアーキテクチャについて説明します。このCPUコアの主な機能は正しいプログラム実行を保証することです。従ってCPUはメモリアクセス、計算実行、周辺制御、割り込み操作ができなければなりません。

アーキテクチャ概要

最大効率と平行処理のため、AVRはプログラムとデータに対してメモリバスを分離するハーバードアーキテクチャを使用します。プログラムメモリ内の命令は、単一段のパイプラインで実行されます。命令の実行中に次の命令がプログラムメモリからプリフェッチされます。この概念は全部のクロックサイクルで命令実行を可能にします。プログラムメモリは実装書き換え可能なフラッシュメモリです。

高速レジスタファイルは1クロックサイクルアクセスの32個の8ビット長汎用レジスタを含みます。これは1クロックサイクルALU(Arithmetic Logic Unit)操作を許します。代表的なALU操作では2つのオペランドがレジスタファイルからの出力で、1クロックサイクル内で、その操作が実行され、その結果がレジスタファイルに書き戻されます。

32個中の6つのレジスタは、効率的なアドレス計算ができるデータ空間アドレス指定用に、3つの16ビット長間接アドレスポイント用レジスタとして使用されます。これらアドレスポイントのうち、プログラム用フラッシュメモリ内の定数テーブル参照用アドレスポイントとしても使用できます。これら16ビット長付加機能レジスタはX、Y、Zレジスタで、本項内で後述されます。

ALUはレジスタ間またはレジスタと定数間の算術及び論理操作を支援します。単一レジスタ操作もALUで実行できます。算術演算操作後、操作結果についての情報を反映するためにステータスレジスタ(SREG)が更新されます。

プログラムの流れは条件無条件分岐や呼び出し命令により提供され、全アドレス空間を直接アドレス指定できます。AVR命令の多くは16ビット語(ワード形式)です。すべてのプログラムメモリのアドレスは、**訳注** 定数のみを除き16または32ビット長命令を含みます。

プログラム用フラッシュメモリ空間はブートプログラム領域と応用プログラム領域の2に分けられます。どちらの領域にも書き込み禁止や読み書き防止用の専用ロックビットがあります。応用フラッシュメモリ領域内に書き込むSPM命令は、ブートプログラム領域内に属さ存在しなければなりません。

割り込みやサブルーチン呼び出し中、戻りアドレスを示すプログラムカウンタ(PC)はスタックに保存されます。スタックは一般的なデータ用SRAM上に実際には割り当てられ、従ってスタック容量は全SRAM容量とSRAM使用量でのみ制限されます。すべてのユーザープログラムはバイト処理ルーチンで(サブルーチン呼び出しや割り込みが実行される前に)スタックポインタ(SP)を初期化しなければなりません。SPIはI/O空間で読み書きアクセスが可能です。データ用SRAMはAVRアーキテクチャで支援される5つの異なるアドレッシングモードを通して容易にアクセスできます。

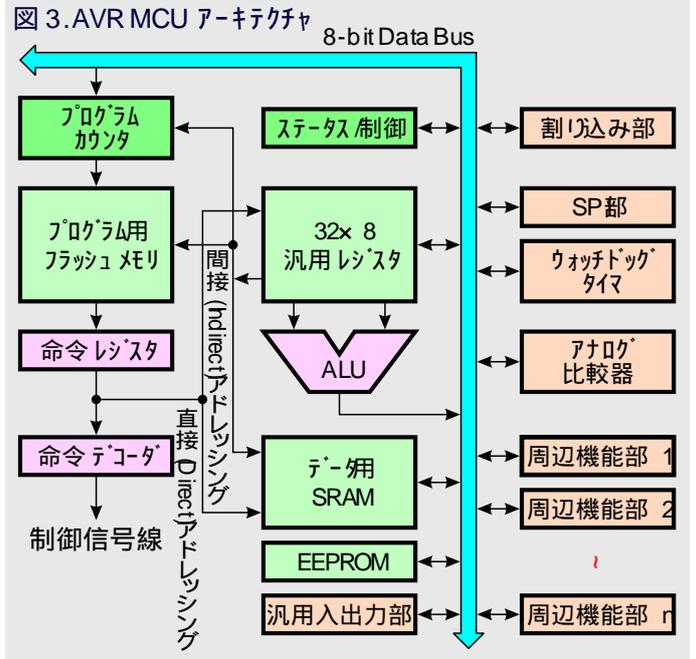
AVRアーキテクチャにおけるメモリ空間は全て直線的な普通のメモリ配置です。

柔軟な割り込み部にはI/O空間の各制御レジスタとステータスレジスタ(SREG)の特別な全割り込み許可(1)ビットがあります。すべての割り込みは割り込みベクタテーブルに個別の割り込みベクタを持ちます。割り込みには割り込みベクタテーブルの位置に従った優先順位があります。下位側割り込みベクタアドレスが高い優先順位です。

I/Oメモリ空間は制御レジスタ、SPI、他のI/O機能としてCPU周辺機能用の64アドレスを含みます。I/Oメモリは直接またはレジスタファイルの次のデータ空間位置\$20~\$5Fとしてアクセスできます。加えてATmega128にはST/STS/STDとLD/LDS/LDD命令だけ使用できるSRAM内の\$60~\$FFに拡張I/O空間があります。

ALU (Arithmetic Logic Unit)

高性能なAVRのALUは32個の全汎用レジスタとの直結で動作します。汎用レジスタ間または汎用レジスタと即値間の演算操作は単一クロックサイクル内で実行されます。ALU操作は算術演算、論理演算、ビット操作の3つの主要な種類に大別されます。符号付きと符号なし両方の乗算と固定小数点形式を支援する乗算器(乗算命令)先提供するアーキテクチャの実装製品先あります。詳細記述については命令一覧頁をご覧ください。



ステータスレジスタ (Status Register) SREG

ステータスレジスタは最も直前に実行した演算命令の結果についての情報を含みます。この情報は条件処理を行うためのプログラムの流れ変更に使えます。ステータスレジスタは「命令セット参考書」で詳述したように、全てのALU操作後、更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより少ないコードに帰着します。

ステータスレジスタは割り込み処理ルーチン移行時の保存と割り込みからの復帰時の再設定 (復帰) が自動的に行われません。これはソフトウェアにより扱われなければなりません。

AVRのステータスレジスタ(SREG)は次のように定義されます。

ビット	7	6	5	4	3	2	1	0	
\$3F (\$5F)	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

ビット7 - I : 全割り込み許可 (Global Interrupt Enable)

全割り込み許可ビットは割り込みが許可されるためにセット(1)されなければなりません。そのとき、個別割り込み許可制御は独立した制御レジスタで行われます。全割り込み許可ビットがクリア(0)されると、個別割り込み許可設定に拘らず、どの割り込みも許可されません。ビットは割り込みが起こされた後にハードウェアによりクリア(0)され、後続の割り込みを許可するため、RET命令によりセット(1)されます。ビットは「命令セット参考書」で記述されるようにSEやCL命令で応用(プログラム)によりセット(1)やクリア(0)もできます。

ビット6 - T : ビット変数 (Bit Copy Storage)

ビットコピー命令、BLD (Bit Load)とBST (Bit Store)は操作したビットの転送元または転送先として、このTビットを使用します。レジスタファイルのレジスタからのビットはBST命令によりTにコピーでき、TのビットはBLD命令によりレジスタファイルのレジスタ内のビットにコピーできます。

ビット5 - H : ハーフキャリーフラグ (Half Carry Flag)

ハーフキャリー(H)フラグはいくつかの算術操作でのハーフキャリーを示します。ハーフキャリーはBCD演算で有用です。詳細情報については「命令一覧」記述をご覧ください。

ビット4 - S : 符号 (Sign Bit, S = N Ex-OR V)

Sフラグは常に負(N)フラグと2の補数オーバーフロー(V)フラグ間の排他的論理和です。詳細情報については「命令一覧」記述をご覧ください。

ビット3 - V : 2の補数オーバーフローフラグ (2's Complement Overflow Flag)

2の補数オーバーフロー(V)フラグは2の補数算術演算を支援します。詳細情報については「命令一覧」記述をご覧ください。

ビット2 - N : 負フラグ (Negative Flag)

負(N)フラグは算術及び論理操作での負の結果 (MSB=1)を示します。詳細情報については「命令一覧」記述をご覧ください。

ビット1 - Z : ゼロフラグ (Zero Flag)

ゼロ(Z)フラグは算術及び論理操作でのゼロ(0)の結果を示します。詳細情報については「命令一覧」記述をご覧ください。

ビット0 - C : キャリーフラグ (Carry Flag)

キャリー(C)フラグは算術及び論理操作でのキャリー または オーバーを示します。詳細情報については「命令一覧」記述をご覧ください。

汎用レジスタファイル

このレジスタファイルはAVRの増強したRISC命令群用に最適化されています。必要な効率と柔軟性を達成するために、次の入出力機構がレジスタファイルにより支援されます。

- 1つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの16ビットの結果入力
- 1つの16ビット出力オペランドと1つの16ビットの結果入力

図4はCPU内の32個の汎用作業レジスタの構成を示します。

レジスタファイルを操作する殆どの命令は全てのレジスタに直接アクセスし、それらの殆どは単一サイクル命令です。

図4で示されるように、各レジスタはユーザーデータ空間の最初の32位置へ直接的に配置することで、それらはデータメモリアドレスも割り当てられます。例えば物理的にSRAM位置として実装されていなくても、X,Y,Zレジスタ(ポインタ)がレジスタファイル内のどのレジスタの指示にも設定できるように、このメモリ構成は非常に柔軟なレジスタのアクセスを提供します。

図4.AVR CPU 汎用レジスタ構成図

7			0	アドレス
	R0			\$00
	R1			\$01
	R2			\$02
	⋮			
	R13			\$0D
	R14			\$0E
	R15			\$0F
	R16			\$10
	R17			\$11
	⋮			
	R26			\$1A
	R27			\$1B
	R28			\$1C
	R29			\$1D
	R30			\$1E
	R31			\$1F

汎用レジスタファイル	レジスタ	下位8ビット	上位8ビット
	Xレジスタ		
	Yレジスタ		
	Zレジスタ		

Xレジスタ, Yレジスタ, Zレジスタ

R26~ R31レジスタ外には通常用途の使用にいくつかの追加機能があります。これらのレジスタはデータ空間の間接アドレッシング用の16ビットアドレスポインタです。3つのX,Y,Z間接アドレスレジスタは図5で記載したように定義されます。

種々のアドレッシングモードで、これらのアドレスレジスタは固定デイスプレースメント変位、自動インクリメント、自動デクリメントとしての機能を持ちます。詳細については「命令セット参考書」をご覧ください。

図5.X,Y,Zレジスタ構成図

	15	XH (上位)		XL (下位)	0
Xレジスタ	7	R27 (\$1B)	0	7	R26 (\$1A)
	15	YH (上位)		YL (下位)	0
Yレジスタ	7	R29 (\$1D)	0	7	R28 (\$1C)
	15	ZH (上位)		ZL (下位)	0
Zレジスタ	7	R31 (\$1F)	0	7	R30 (\$1E)

スタックポインタ (Stack Pointer) SPH, SPL (SP)

スタックは主に一時データの保存、局所変数の保存、割り込みとサブルーチン呼び出し後の戻りアドレスの保存に使用されます。スタックポインタレジスタは常に、このスタックの先頭(注)次に使用されるべき位置を指し示します。スタックが高位メモリから低位メモリへ伸長するように実行されることに注意してください。これはスタックへのPUSH命令はスタックポインタを減少(デクリメント)するという意味です。

スタックポインタはサブルーチンや割り込みのスタックが配置されるデータSRAMのスタック領域を指し示します。データSRAM内のスタック空間はサブルーチン呼び出しの実行や割り込みの許可の何れにも先立ち、プログラムにより定義されなければなりません。スタックポインタは\$60以上を指示するために設定されなければなりません。スタックポインタはPUSH命令でデータがスタックに格納されると-1され、サブルーチン呼び出しや割り込みで戻りアドレスがスタックに格納されると-2されます。スタックポインタはPOP命令でデータがスタックから引き出されると+1され、サブルーチンからの復帰(RET命令や割り込みからの復帰(RET命令でアドレスがスタックから引き出されると+2されます。

AVRのスタックポインタはI/O空間内の2つの8ビットレジスタとして実装されます。実際に使用されるビット数は(デバイスの実装に依存します。SPLだけが必要とされるほど小さいAVRアーキテクチャの実装(デバイスの)データ空間もあることに注意してください。この場合、SPHレジスタは存在しません。

ビット	15	14	13	12	11	10	9	8	
\$3E (\$5E)	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	SPH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$3D (\$5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

RAMページ選択レジスタ (RAM Page Z Select Register) RAMPZ

ビット	7	6	5	4	3	2	1	0	
\$3B (\$5B)	-	-	-	-	-	-	-	RAMPZ0	RAMPZ
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~1 - Res :予約 (Reserved)

これらのビットは予約されており、常に 0として読めます。将来のデバイスとの互換性のため、このアドレスへの書き込み時、これらのビットに 0を書いてください。

ビット0 - RAMPZ0 拡張RAMページポインタ (Extended TAM Page Z-pointer)

通常、RAMページ選択レジスタ(RAMPZ)はポインタ(レジスタ)により間接アクセスされる64Kバイト単位のRAMページを選択するために使用されます。ATmega128が64Kバイトより多くのSRAMメモリ(データメモリ空間)をサポートしないので、この(RAMPZ)レジスタはELPM/SPM命令が使用される時にアクセスされるプログラムメモリのページを選択するためだけに使用されます。RAMPZ0ビット設定は次の効果があります。

RAMPZ0=0 : プログラム メモリアドレス\$0000~ \$7FFF(下位 64Kバイト)がELPM/SPM命令によりアクセスされます。

RAMPZ0=1 : プログラム メモリアドレス\$8000~ \$FFFF(上位 64Kバイト)がELPM/SPM命令によりアクセスされます。

ELPM命令がRAMPZ設定により影響を及ぼされないことに注意してください。

命令実行タイミング

本項は命令実行の一般的なアクセスタイミングの概念を記述します。AVR CPUはチップデバイス用に選択したクロック元から直接的に生成したCPUクロック(Clock_{CPU})により駆動されます。内部クロック分周は使用されません。

図6はハードウェアアーキテクチャと高速アクセスレジスタファイルの概念により可能とされる並列の命令取得と命令実行を示します。これは機能対費用、機能対クロック、機能対電源部についての好結果と対応するMHzあたり1MIPSを達成するための基本的なパイプラインの概念です。

図7はレジスタファイルに対する内部タイミングの概念を示します。単一クロックサイクルで、2つのレジスタオペランドを使用するALU操作が実行され、その結果が転送先レジスタへ書き戻されます。

図6. 命令の取得と実行の並列動作

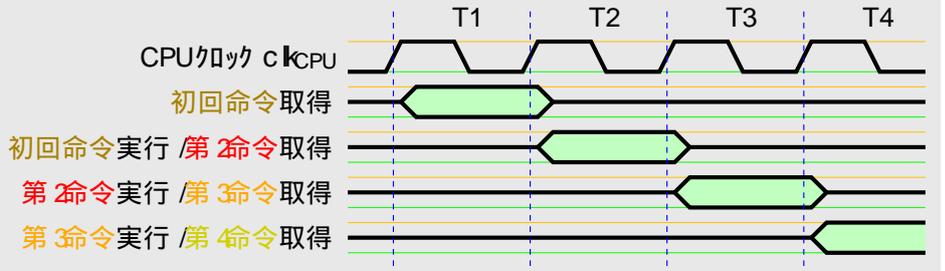
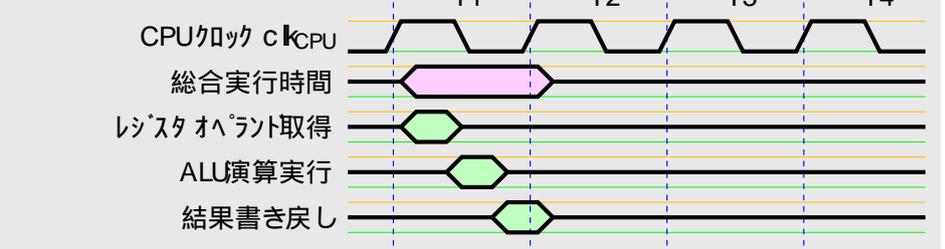


図7. 1サイクルALU命令



セット割り込みの扱い

AVRは多くの異なる割り込み元を提供します。これらの割り込みと独立したセットバク各々はプログラムメモ空間内に独立したプログラムバクを持ちます。すべての割り込みは割り込みを許可するために、**ステータスレジスタ(SREG)の全割り込み許可 (I)ビット**と共に論理1が書かれなければならない個別の許可ビットを割り当てられます。BLB0またはBLB12フートロックビットがプログラム0されると、プログラムカウンタ値によっては割り込みが自動的に禁止されるかもしれません。この特質はソフトウェア保護を改善します。詳細については186頁の「メモリプログラミング」項をご覧ください。

プログラムメモ空間の最下位アドレスは既定により、セット割り込みのバクとして定義されます。バクの完全な一覧は35頁の「割り込み」で示されます。この一覧は各種割り込みの優先順位も決めます。下位側アドレスがより高い優先順位です。セットが最高優先順位で、次が外部割り込み要求0(NT0)です。割り込みバクは**MCU制御レジスタ(MCUOCR)の割り込みバク選択 (MSEL)ビット**のセット(1)により、**フートフラッシュ領域先頭**へ移動できます。より多くの情報については35頁の「割り込み」を参照してください。セットバク先**BOOTRSTヒューズのプログラム(0)**により、フートフラッシュ領域先頭へ移動できます。17頁の「フートロード書き込み中読み出し可能な自己プログラミング」をご覧ください。

割り込みが起こると全割り込み許可 (I)ビットがクリア(0)され、全ての割り込みは禁止されます。使用者ソフトウェアは多重割り込みを許可するため、全割り込み許可 (I)ビットへ論理1を書けます。その後全ての許可した割り込みが現在の割り込みルーチンで割り込めます。全割り込み許可 (I)ビットは割り込みからの復帰 (RET)命令が実行されると、自動的にセット(1)されます。

根本的に2つの割り込み形式があります。1つ目の形式は割り込み要求フラグをセット(1)する事象により起動されます。これらの割り込みでは割り込み処理ルーチンを実行するために、プログラムカウンタは対応する現実の割り込みバクを指示し、ハードウェアが対応する割り込み要求フラグをクリア(0)します。割り込み要求フラグはクリアされるべきフラグのビット位置へ論理1を書くことによってクリア(0)できます。対応する割り込み許可ビットがクリア(0)されている間に割り込み条件が起こると、割り込み要求フラグがセット(1)され、割り込みが許可されるか、またはこのフラグがソフトウェアによりクリア(0)されるまで記憶保持されます。同様に、全割り込み許可 (I)ビットがクリア(0)されている間に1つまたはより多くの割り込み条件が起こると、対応する割り込み要求フラグがセット(1)されて全割り込み許可 (I)ビットがセット(1)されるまで記憶され、その(I=1)後で優先順に従って実行されます。

2つ目の割り込み形式は割り込み条件が存在する限り起動し続けます。これらの割り込みは必ずしも割り込み要求フラグを持っているとは限りません。割り込みが許可される前に割り込み条件が消滅すると、この割り込みは起動されません。

AVRが割り込みから抜け出すと常に主プログラムへ戻り、何れかの保留割り込みが扱われる前に1つ以上の命令を実行します。

ステータスレジスタ(SREG)は割り込みルーチンへ移行時の保存も、復帰時の再設定も自動的に行われなことに注意してください。これはソフトウェアにより扱われなければなりません。

割り込みを禁止するために**CL**命令を使用すると、割り込みは直ちに禁止されます。**CL**命令と同時に割り込みが起こっても、**CLI**命令後に割り込みは実行されません。次例は時間制限EEPROM書き込み手順中に割り込みを無効とするために、これがどう使用できるかを示します。

アセンブリ言語プログラム例		
IN	R16, SREG	;ステータスレジスタを保存
CLI		;EEPROM書き込み手順中割り込み禁止
SBI	EEDR, EEDWE	;EEPROMマスク書き込み許可
SBI	EEDR, EEDBE	;EEPROM書き込み開始
OUT	SREG, R16	;ステータスレジスタを復帰
C言語プログラム例		
char	cSREG;	/* ステータスレジスタ保存変数定義 */
cSREG	= SREG;	/* ステータスレジスタを保存 */
__disable_interrupt();		/* EEPROM書き込み手順中割り込み禁止 */
EEDR	= (1<<EEDWE);	/* EEPROMマスク書き込み許可 */
EEDR	= (1<<EEDBE);	/* EEPROM書き込み開始 */
SREG	= cSREG;	/* ステータスレジスタを復帰 */

割り込みを許可するために**SE**命令を使用すると、次例で示されるようにどの保留割り込みにも先立ち、**SE**命令の次の命令が実行されます。

アセンブリ言語プログラム例		
SEI		全割り込み許可
SLEEP		;スリープ動作移行 (割り込み待ち)
C言語プログラム例		
__enable_interrupt();		/* 全割り込み許可 */
__sleep();		/* スリープ動作移行 (割り込み待ち) */

注: SLEEP命令までは割り込み禁止、保留割り込み実行前にスリープ動作へ移行します。

割り込み応答時間

許可した全てのAVR割り込みに対する割り込み実行応答は最小4クロックサイクルです。4クロックサイクル後、実際の割り込み処理ルーチンに対するプログラムベクタアドレスが実行されます。この4クロックサイクル時間中にプログラムカウンタ(PC)がスタック上に保存(プッシュ)されます。このベクタは標準的に割り込み処理ルーチンへの無条件分岐で、この分岐は3クロックサイクル要します。複数サイクル命令実行中に割り込みが起こると、その割り込みが扱われる前に、この命令が完了されます。MCUがスリープ動作の時に割り込みが起こると、割り込み実行応答時間は4クロックサイクル加増されます。この増加は選択したスリープ動作からの起動時間に加えてになります。

割り込み処理ルーチンからの復帰は4クロックサイクル要します。これらの4クロックサイクル中、プログラムカウンタ(PC)がスタックから取り戻され(ポップ)、スタックポインタは増加され(+2)、ステータスレジスタ(SREG)の全割り込み許可(I)ビットがセット(1)されます。

AVR ATmega128のメモリ

この項はATmega128の各種メモリを記述します。AVRアーキテクチャにはプログラムメモリ空間とデータメモリ空間の2つの主なメモリ空間があります。加えてATmega128はデータ保存用EEPROMメモリが特徴です。3つのメモリ空間すべては一般的な直線的アドレスです。

実装自己書き換え (SP: h-System Program) 可能なプログラム用フラッシュメモリ

ATmega128はプログラム保存用に実装書き換え可能な128Kバイトのフラッシュメモリをチップ上に含みます。全てのAVR命令が16または32ビット幅のため、このフラッシュメモリは64K×16ビットとして構成されます。ソフトウェア保護のため、フラッシュプログラムメモリ空間はブートプログラム領域と応用プログラム領域の2に分けられます。

フラッシュメモリは最低10,000回の消去/書き込みサイクルの耐久性があります。ATmega128のプログラムカウンタ(PC)は16ビット幅で、従って64Kプログラムメモリ位置のアドレス指定です。ブートプログラム領域の操作と関係するソフトウェア保護用ブートルックビットは17頁の「ブートルック書き込み中読み出し可能な自己プログラミング」の詳細で記述されます。18頁の「メモリプログラミング」はSPI、JTAG、パラレルプログラミング動作でのフラッシュメモリプログラミングの詳細な記述を含みます。

定数テーブルは全てのプログラムメモリアドレス空間に配置できます。(LPM命令とELPM命令記述参照)

命令の取得と実行のタイミング図は8頁の「命令実行タイミング」で示されます。



データメモリ

ATmega128は表1で一覧されるように2つの異なるSRAMデータメモリ用設定を支援します。

図9はATmega128のSRAM(データ空間)メモリ構成方法を示します。

ATmega128は **N**や **OUT**命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロコントローラです。SRAM(データ空間内 \$60~ \$FFFの拡張 I/O空間に対して、**LD/LDS/LDD**と**ST/STS/STD**命令だけが使用できます。ATmega128がATmega103互換動作のとき、この拡張 I/O領域は存在しません。

標準動作で、最初の4352データメモリ位置はレジスタファイル、I/Oメモリ、拡張 I/Oメモリ、データメモリ内蔵SRAMに充てます。先頭の32位置はレジスタファイル、次の64位置は標準 I/Oメモリ、その次の160位置は拡張 I/Oメモリ、そして次の4096位置はデータメモリ内蔵SRAMに充てます。

ATmega103互換動作で、最初の4096データメモリ位置はレジスタファイル、I/Oメモリ、内蔵SRAMに充てます。先頭の32位置はレジスタファイル、次の64位置は標準 I/Oメモリ、そして次の4000位置はデータメモリ内蔵SRAMに充てます。

表1. SRAM/データメモリ設定

設定	内蔵SRAM	外部メモリ
標準	4096	~ 59.75K
ATmega103互換	4000	~ 60K

図9. データ空間とSRAMの配置

標準動作			ATmega103互換動作		
	アドレス	アドレス		アドレス	アドレス
レジスタファイル (32x 8)	R0 ~ R31	\$0000 ~ \$001F	レジスタファイル (32x 8)	R0 ~ R31	\$0000 ~ \$001F
I/Oレジスタ (64x 8)	\$00 ~ \$3F	\$0020 ~ \$005F	I/Oレジスタ (64x 8)	\$00 ~ \$3F	\$0020 ~ \$005F
拡張 I/Oレジスタ (160x 8)	\$0060 ~ \$00FF	\$0060 ~ \$00FF	内蔵SRAM (4000x 8)	\$0060 ~ \$0FFF	\$0060 ~ \$0FFF
内蔵SRAM (4096x 8)	\$0100 ~ \$10FF	\$0100 ~ \$10FF	外部SRAM (0~ 60Kx 8)	\$1000 ~ \$FFFF	\$1000 ~ \$FFFF
外部SRAM (0~ 59.75Kx 8)	\$1100 ~ \$FFFF	\$1100 ~ \$FFFF			

赤字は I/Oアドレス

任意の外部データSRAMがATmega128で使用できます。このSRAMは64Kアドレス空間内の残りのアドレス領域を占有します。この領域は内蔵SRAMに続くアドレスから始まります。レジスタファイル、I/O領域、拡張 I/O領域、内蔵SRAMが標準動作で最下位4352バイトを、ATmega103互換動作(拡張 I/O領域なし)で最下位4096バイトを占有するので、64K(65536)バイトの外部メモリ使用時、標準動作で61184バイト、ATmega103互換動作で61440バイトの外部メモリが利用可能です。外部メモリ配置の利用法の詳細については「[16頁の外部メモリインターフェース](#)」をご覧ください。

アドレスが内部データメモリ領域を越えるSRAMメモリ空間をアクセスするとき、外部データSRAMは内部データメモリアクセスと同じ命令を使用してアクセスされます。内部データメモリがアクセスされる時、リードとトライのストロブピン(PG1とPG0)はそのアクセスサイクル中全てで無効です。外部SRAM操作はMCU制御レジスタ(MCUCR)の外部SRAM許可(SRE)ビットのセット(1)により許可されます。

外部SRAMのアクセスは内蔵SRAMのアクセスに比べ1バイト毎に追加クロックサイクルを要します。これは外部SRAMへの**LD ST LDS, STS LDD STD PUSH POP**命令が追加クロックサイクルを要することを意味します。スタックが外部SRAMに配置されると、割り込みやサブルーチンの呼び出し/復帰時、2バイトのプログラムカウンタ(PC)が保存(ラッチ)復帰(ホップ)され、そして内部メモリアクセスでのパイプラインの優位性がなくなるため、2+1クロックサイクルの追加を要します。ウェイトステータス付きで外部メモリインターフェースが使用されると、1バイトの外部アクセスは1,2,3ウェイトステータスに対し、各々内部SRAMアクセスに対して2,3,4追加クロックサイクルを要します。割り込みやサブルーチンの呼び出しと復帰は1,2,3ウェイトステータスに対し、命令セット手引書で示される値より5,7,9クロックサイクル多く必要です。

直接、間接、デイスプレースメント変位付き間接、プリインクリメント付き間接、ポストインクリメント付き間接の5つの異なるアドレッシングモードでデータメモリ空間を網羅します。レジスタファイル内のレジスタR26~ R31は間接アドレッシングホーン専用レジスタが特徴です。

直接アドレッシングはデータ空間全体に届きます。

デイスプレースメント付き間接動作はYまたはZレジスタで与えられる基準アドレスからの63アドレス位置に届きます。

自動プリインクリメント付きとポストインクリメント付きのレジスタ間接アドレッシング動作を使用するとき、(使用される)X,Y,Zアドレスレジスタはデクリメント(-1)またはインクリメント(+1)されます。

ATmega128の32個の汎用レジスタ、64個のI/Oレジスタ、160個の拡張I/Oレジスタ、4096バイトのデータメモリ内蔵SRAMは、これら全てのアドレッシングモードを通して全部アクセスできます。レジスタファイルは「[7頁の汎用レジスタファイル](#)」で記述されます。

データメモリアクセスタイミング

この項は内部メモリアクセスに対する一般的なアクセスタイミングの概念を記述します。データメモリ内蔵SRAMアクセスは図10で記載されるように2clkCPUサイクルで実行されます。

訳注)内蔵SRAMのアクセスを含む代表的な命令はT1,T2の2サイクルで実行され、T1で対象アドレスを取得/算出)確定し、T2で実際のアクセスが行われます。次の(T1)は次の命令のT1です。

図10. データメモリ内蔵SRAMアクセスサイクル



データ用 EEPROMメモリ

ATmega128は 4KバイトのデータEEPROMを含みます。それは単一バイトが読み書きできる分離したデータ空間として構成されます。EEPROMは最低 100,000回の消去/書き込みサイクルの耐久性があります。CPUとEEPROM間のアクセスは以降の [EEPROMアドレスレジスタ](#) [EEPROMデータレジスタ](#) [EEPROM制御レジスタ](#)で詳細に記述されます。

[18頁の「メモリプログラミング」](#)は SPI/JTAG、パラレルプログラミング動作での EEPROMプログラミングの詳細な記述を含みます。

EEPROMアクセス

EEPROMアクセスレジスタは I/O空間でアクセス可能です。

EEPROMの書き込み **訳注** 原文はアクセス時間は [13頁の表 2](#)で与えられます。書き込みは自己タイミング機能ですが、使用者ソフトウェアは [次バイトが書ける時を検知](#)してください。使用者コードが EEPROMに書く命令を含む場合、いくつかの予防処置が取られなければなりません。嚴重に濾波した電源では、電源投入/切断でVCCが緩やかに上昇または下降しそうです。これはデバイスが何周期かの時間、使用されるクロック周波数において最小として示されるより低い電圧で走行する原因になります。これらの状態で問題を避ける方法の詳細については [14頁の「EEPROMデータ欠けの防止」](#)をご覧ください。

予期せぬ EEPROM書き込みを防止するため、特別な書き込み手順に従わなければなりません。この詳細については [「EEPROM制御レジスタの記述」](#)を参照してください。

EEPROMが読まれると、CPUは次の命令が実行される前に 4クロックサイクル停止されます。EEPROMが書かれると、CPUは次の命令が実行される前に 2クロックサイクル停止されます。

EEPROMアドレスレジスタ (EEPROM Address Register) EEARH/EEARL (EEAR)

ビット	15	14	13	12	11	10	9	8	
\$1F (\$3F)	-	-	-	-	EEAR11	EEAR10	EEAR9	EEAR8	EEARH
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	不定	不定	不定	不定	
ビット	7	6	5	4	3	2	1	0	
\$1E (\$3E)	EEAR7	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEARL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

ビット15~ 12 - Res :予約 (Reserved)

これらのビットは予約されており、常に 0として読まれます。このアドレス位置へ書く時、将来のデバイスとの共通性のため、これらのビットに 0を書いてください。

ビット11~ 0 - EEAR11~ 0 :EEPROMアドレス (EEPROM Address)

EEPROMアドレスレジスタ(EEARHとEEARL)は 4096バイトEEPROM空間の EEPROMアドレスを指定します。EEPROMデータバイトは 0~ 4095間で直線的に配されます。EEARの初期値は不定です。EEPROMがアクセスされるであろう前に適切な値が書かれねばなりません。

EEPROMデータレジスタ (EEPROM Data Register) EEDR

ビット	7	6	5	4	3	2	1	0	
\$1D (\$3D)	(MSB)							(LSB)	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~ 0 - EEDR7~ 0 :EEPROMデータ (EEPROM Data)

EEPROM書き込み操作に対して EEDRは EEPROMアドレスレジスタ(EEAR)で与えたアドレスの EEPROMへ書かれるべきデータを含みます。EEPROM読み込み操作に対して EEDRは EEARで与えたアドレスの EEPROMから読み出したデータを含みます。

EEPROM制御レジスタ (EEPROM Control Register) EECR

ビット	7	6	5	4	3	2	1	0	
\$1C (\$3C)	-	-	-	-	EERE	EEMWE	EEWE	EERE	EECR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	不定	0	

ビット7~ 4 - Res :予約 (Reserved)

これらのビットは予約されており、常に 0として読まれます。

ビット3 - EERE :EEPROM操作可割り込み許可 (EEPROM Ready Interrupt Enable)

EEREの 1書き込みは [ステータスレジスタ\(SREG\)の全割り込み許可 \(I\)ビット](#)がセット(1)されていれば、EEPROM操作可割り込みを許可します。EEREの 0書き込みは、この割り込みを禁止します。EEPROM操作可割り込みは [EEWE](#)がクリア(0)されていると継続する割り込みを発生します。

ビット2 - EEMWE :EEPROMマスター書き込み許可 (EEPROM MasterWrite Enable)

EEMWEビットはEEPROM書き込み許可 (EWE)ビットの1設定がEEPROM書き込みの原因となるかどうかを決めます。EEMWEがセット(1)されると、EWEの1設定は選択されたアドレスのEEPROMにデータを書きます。EEMWEが0の場合、EWEの1設定は無効です。EEMWEがソフトウェアによりセット(1)されてしまうと、4クロックサイクル後にハードウェアがこのビットを0にクリアします。EEPROM書き込み手順については「書き込み許可 (EWE)ビット」の記述をご覧ください。

ビット1 - EWE :EEPROM書き込み許可 (EEPROM Write Enable)

EEPROM書き込み許可信号 (EWE)はEEPROMへの書き込みストロブです。アドレスとデータが正確に設定されると、EEPROMへその値を書くためにEWEビットは1を書かれなければなりません。論理1がEWEへ書かれる前にEEPROMマスター書き込み許可 (EEMWE)ビットは1を書かれなければならず、さもなければEEPROM書き込みは行われません。EEPROMを書くとき、次の手順に従うべきです (手順 と の順番は重要ではありません)。

EEPROM書き込み許可 (EWE)ビットが0になるまで待ちます。

SPM制御 /ステータス レジスタ (SPMCSR) の SPM操作許可 (SPMEN)ビットが0になるまで待ちます。

今回のEEPROMアドレスをEEPROMアドレス レジスタ (EEAR) に書きます。(任意、省略可)

今回のEEPROMデータをEEPROMデータ レジスタ (EEDR) に書きます。(任意、省略可)

EEPROM制御レジスタ (EECR) のEEPROMマスター書き込み許可 (EEMWE)ビットに1を、EEPROM書き込み許可 (EWE)ビットに0を同時に書きます。

EEMWEビット設定後4クロックサイクル内にEEPROM書き込み許可 (EWE)ビットへ論理1を書きます。

CPUがフラッシュメモリ書き込み中、EEPROMはプログラム書き込みができません。ソフトウェアは新規EEPROM書き込みを始める前にフラッシュメモリのプログラミングが完了されていることをチェックしなければなりません。ソフトウェアがフラッシュメモリをプログラム書き込みをすることをCPUに許すブートローダを含む場合だけ関係します。フラッシュメモリが決してCPUにより更新されないなら、は省略できます。ブートプログラミングについての詳細に関しては17頁の「ブートローダ書き込み中読み出し可能な自己プログラミング」をご覧ください。

警告: 手順 と 間の割り込みはEEPROMマスター書き込み許可が時間超過するため、書き込みサイクル失敗になります。EEPROMをアクセスする割り込みルーチンが他のEEPROMアクセスを中断し、EEARかEEDRが変更されると、中断したEEPROMアクセスを失敗にさせます。これらの問題を避けるため、全ての手順中、ステータス レジスタ (SREG) の全割り込み許可 (I)ビットはクリア(0)されていることが推奨されます。

書き込みアクセス時間が経過されると、EEPROM書き込み許可 (EWE)ビットはハードウェアによりクリア(0)されます。使用者ソフトウェアは次のハイを書き出す前に、このビットをホールドし、0を待つことができます。EWEがセット(1)されてしまうと、次の命令が実行される前にCPUは2サイクル停止されます。

ビット0 - EERE :EEPROM読み込み許可 (EEPROM Read Enable)

EEPROM読み込み許可信号 (EERE)はEEPROMへの読み込みストロブです。EEARに正しいアドレスが設定されると、EEPROM読み出しを起動するためにEEREビットは論理1を書かれなければなりません。EEPROM読み出しアクセスは(その)命令で行われ、要求したデータは直ちに利用できます。EEPROMが読まれるとき、次の命令が実行される前にCPUは4サイクル停止されます。

使用者は読み込み操作を始める前にEWEビットをホールドすべきです。書き込み操作が実行中の場合、EEPROMアドレスレジスタ (EEAR) の変更もEEPROM読み込みもできません。

EEPROMアクセスの時間に校正済み内蔵RC発振器が使用されます。表2はCPUからのEEPROMアクセスに対する代表的な書き込み時間を示します。

表 2. EEPROM書き込み時間

項目	校正付き内蔵 RC 発振器 サイクル数 (注)	Typ
EEPROM書き込み (CPU)	8448	85ms

注: CKSELビット設定と無関係に1MHzが使用されます。

次のコード例はアセンブリ言語とC言語でのEEPROM書き込み関数を示します。本例は例えば全割り込み禁止により割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。本例はソフトウェア内にフラッシュブートローダが無い前提でもあります。そのようなコードが存在する場合、EEPROM書き込み関数は、何れかが実行するSPM命令の完了も待たねばなりません。

```

アセンブリ言語プログラム例
EEPROM_WR: SBIC    EECR,EEWE    ;EEPROM書き込み完了ならばスキップ
            RJMP    EEPROM_WR  ;以前のEEPROM書き込み完了まで待機
;
            OUT    EEARH,R18    ;EEPROMアドレス上位ハイ設定
            OUT    EEARL,R17    ;EEPROMアドレス下位ハイ設定
            OUT    EEDR,R16     ;EEPROM書き込み値を設定
            SBI    EECR,EEWE    ;EEPROMマスタ書き込み許可ビット設定
            SBI    EECR,EEWE    ;EEPROM書き込み開始(書き込み許可ビット設定)
            RET
C言語プログラム例
void EEPROM_write(unsigned int uiAddress, unsigned char ucData)
{
    while(EECR & (1<<EEWE)); /* 以前のEEPROM書き込み完了まで待機 */
    EEAR = uiAddress;        /* EEPROMアドレス設定 */
    EEDR = ucData;          /* EEPROM書き込み値を設定 */
    EECR |= (1<<EEWE);      /* EEPROMマスタ書き込み許可 */
    EECR |= (1<<EEWE);      /* EEPROM書き込み開始 */
}

```

次のコード例はアセンブリ言語とC言語でのEEPROM読み込み関数を示します。本例は割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。

```

アセンブリ言語プログラム例
EEPROM_RD: SBIC    EECR,EEWE    ;EEPROM書き込み完了ならばスキップ
            RJMP    EEPROM_RD  ;以前のEEPROM書き込み完了まで待機
;
            OUT    EEARH,R18    ;EEPROMアドレス上位ハイ設定
            OUT    EEARL,R17    ;EEPROMアドレス下位ハイ設定
            SBI    EECR,EEWE    ;EEPROM読み出し開始(読み込み許可ビット設定)
            IN     R16,EEDR     ;EEPROM読み出し値を取得
            RET
C言語プログラム例
unsigned char EEPROM_read(unsigned int uiAddress)
{
    while(EECR & (1<<EEWE)); /* 以前のEEPROM書き込み完了まで待機 */
    EEAR = uiAddress;        /* EEPROMアドレス設定 */
    EECR |= (1<<EEWE);      /* EEPROM読み出し開始 */
    return EEDR;            /* EEPROM読み出し値を取得 復帰 */
}

```

パワーダウンスリープ動作中のEEPROM書き込み

EEPROM書き込み動作が活動中にパワーダウンスリープ動作へ移行すると、EEPROM書き込み動作が継続し、EEPROM書き込み時間が過ぎ去ってしまう前に完了します。しかし、書き込み動作が完了されると、発振器が動作を継続し、結果としてデバイスがパワーダウン動作へ完全に移行しません。従ってパワーダウンへ移行する前に、EEPROM書き込み動作が完了される(EEWE=0)ことの確認が推奨されます。**訳補**:パワーダウン移行後もEEPROM書き込みは正常に完了するが、その後発振器が止まらないことへの注意)

EEPROMテール化けの防止

低VCCの期間中、正しく動作するための供給電圧がCPUとEEPROMに対して低すぎるためにEEPROMテール化け得ます。これらの問題はEEPROMを使用する基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

EEPROMテール化けは電圧が低すぎる時の2つの状態により起こされ得ます。1つ目として、EEPROMへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として、供給電圧が低すぎると、CPU自身が命令を間違えて実行し得ます。

EEPROMテール化けは次の推奨設計により容易に避けられます。

不十分な供給電源電圧の期間中、AVRのRESETを活性(Low)に保ってください。これは内蔵低電圧検出器(BOD)を許可することにより行えます。内蔵BODの検出電圧が必要とした検出電圧と一致しない場合、外部低VCCレギュレーション保護回路が使用できます。書き込み動作実行中にレギュレーションが起ると、この書き込み操作は供給電源電圧が充分ならば継続完了されます。

I/O メリ (レジスタ)

ATmega128の I/O空間定義は 228頁の「レジスタ一覧」で示されます。

ATmega128の全ての I/Oと周辺機能は I/O空間に配置されます。すべての I/O位置は I/O空間と32個の汎用作業レジスタ間のデータ転送を行うLD/LDS/LDD命令とST/STS/STD命令によりアクセスされます。アドレス範囲 \$00~ \$1F内の I/Oレジスタは SB命令とCB命令の使用で直接的にビットアクセス可能です。これらのレジスタでは SB SとSB C命令の使用により単一ビット値が検査できます。より多くの詳細については「命令一覧」項を参照してください。I/O指定命令 NとOUTを使用するとき、I/Oアドレス \$00~ \$3Fが使用されなければなりません。LD命令とST命令を使用し、データ空間として I/Oレジスタをアクセスするとき、これらのアドレスに \$20が加算されなければなりません。

ATmega128は NやOUT命令で予約した64位置で支援されるより多くの周辺機能部を持つ複合マイクロコントローラです。SRAM(データ空間)内 \$60~ \$FFの拡張 I/O領域に対しては LD/LDS/LDDとST/STS/STD命令だけが使用できます。ATmega128が ATmega103互換動作のときは、拡張 I/O領域は SRAM領域に置き換えられます。

将来のデバイスとの共通性を保つため、アクセスされる場合、予約ビットは 0が書かれるべきです。予約済み I/Oメモリアドレスは決して書かれるべきではありません。

状態フラグのいくつかはそれらへ論理 1を書くことによりクリア (0) されます。CBとSB命令は I/Oレジスタ内の全ビットを操作し、セット(1)として読むどのフラグにも 1を書き戻し、従ってフラグをクリア (0) することに注意してください。CBとSB命令は (I/Oアドレス) \$00~ \$1Fのレジスタでのみ動作します。

I/Oと周辺制御レジスタは以降の項で説明されます。

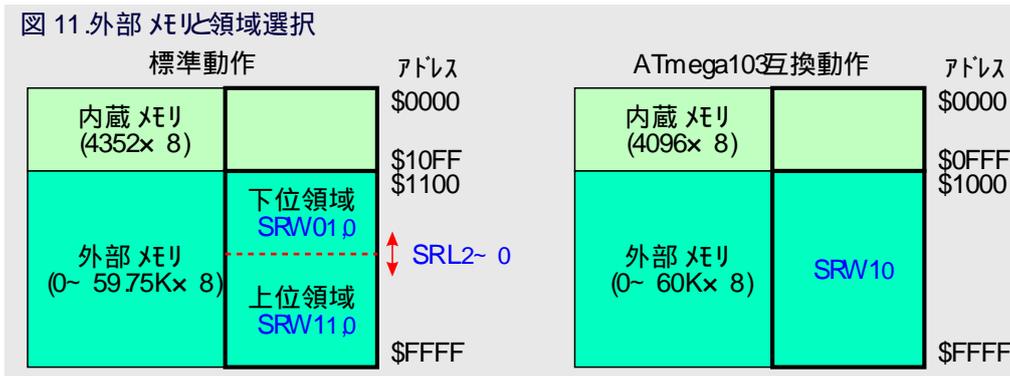
外部メモリインターフェース

外部メモリインターフェースが提供する全ての機能で、LCD表示器やA/D、D/Aのような周辺装置や、外部SRAMやフラッシュメモリのようなメモリデバイスへのインターフェースとしての動作に上手く仕立てられます。主な特徴を次に示します。

- 4つの異なるウェイトステータ設定 (含むウェイトステータなし)
- 異なる外部メモリ領域 (領域容量設定可能) に対する個別のウェイトステータ設定
- アドレス上位バイトに割り当てるビット数が選択可能
- 消費電流を最小とするため、データ線のバス保持機能 (任意選択)

概要

外部メモリ(XMEM)が許可されると、内蔵SRAMを越えるアドレス空間は割り当てた外部メモリピンを使用することが利用可能になります (頁の「ピン配置」、43頁の表 27、46頁の表 33、53頁の表 45をご覧ください)。メモリ設定は図 11で示されます。



ATmega103互換動作

両方の外部メモリ制御レジスタ(XMCRAとXMCRB)は拡張I/O空間に配置されます。ATmega103互換動作で、これらのレジスタは利用できず、これらのレジスタにより選択される特徴機能は利用できません。これらの特徴機能がATmega103に存在しないので、データバスはATmega103互換です。ATmega103互換動作での制限を次に示します。

- 2ウェイトステータ設定のみ利用可能 (SRW1n=00とSRW1n=01)
- アドレス上位バイトへの割り当てビット数固定
- 外部メモリ空間は異なるウェイトステータの領域分割不可
- バス保持機能利用不可
- RD, WR, ALEピンは出力専用 (ATmega128のポートG)

外部メモリインターフェースの使用

このインターフェースは以下から成ります。

- AD7~ 0 : 交互切り替えされた下位アドレスバスとデータバス
- A15~ 8 : 上位アドレスバス (ビット数設定可能)
- ALE : アドレスラッチ許可信号
- RD : 読み出しストロブ信号
- WR : 書き込みストロブ信号

外部メモリ(XMEM)インターフェースに関する制御ビットは3つのレジスタ、MCU制御レジスタ(MCUCR)、外部メモリ制御レジスタA(XMCRA)、外部メモリ制御レジスタB(XMCRB)に配置されます。

XMEMインターフェースが許可されると、このインターフェースに割り当てたポートに対応するデータ方向レジスタ設定を無効にします。このポートの無効化についての詳細に関しては39頁の「入出力ポート頂の兼用機能」をご覧ください。XMEMインターフェースはアクセスが内部または外部どちらかを自動的に検知します。アクセスが外部の場合、XMEMインターフェースは図13 (この図はウェイトステータなしの波形を示す) に従ったアドレス、データ制御信号を出力します。ALEがHigh/Low位立ち下りになるとAD7~ 0上のアドレスが有効です。データ搬送中、ALEはLowです。XMEMインターフェースが許可されると、内部アクセスでも同様にアドレス、データ、ALEポートの動きを引き起こしますが、内部アクセス中、RDとWRストロブは切り替わりません。外部メモリインターフェースが禁止されると、標準ピンとデータ方向設定が使用されます。XMEMインターフェースが禁止されるとき、内蔵SRAM境界以上のアドレス空間が内蔵SRAMに割り当てられないことに注意してください。図12はGがHighのときに透過 (通過) トランスポートとなる8ビットのラッチ (一般的には74xx573または同等品) を使用するAVRと外部SRAMの接続法を図解します。

アドレス ラッチの必要性

XMEMインターフェースの高速動作のため、アドレス ラッチは 4MHz/2.7V、8MHz/4V以上のシステム周波数に対し、注意して選択されなければなりません。これらの周波数以上の条件で動作するとき、代表的な旧デバイス74HCシリーズのラッチは不適切になります。外部メモリインターフェースは74AHCシリーズのラッチに適応するよう設計されています。けれども主なタイミングパラメータに対応さえすれば、多くのラッチが使用できます。アドレス ラッチについての主なパラメータは次のとおりです。

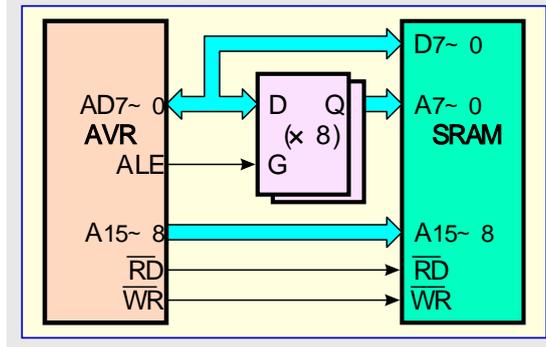
DからQへの伝播遅延時間 (t_{PD}) (訳注) 記号はAVR側ではなく、一般的なラッチデバイス側での記号です。

G立ち下りに対するデータセットアップ時間 (t_{SU})

G立ち下り後のデータアドレス保持遅延時間 (t_H)

外部メモリインターフェースはGがLowにされた後、 $t_H=5ns$ の最小アドレス保持時間を保証するよう設計されています(210~212頁、表136.~143の t_{LAXX_LD} と t_{LAXX_ST} を参照してください)。DからQへの伝播遅延時間 (t_{PD}) は外部部品のアクセス時間必要条件を計算するときに考慮されなければなりません。G=Low立ち下り前のデータセットアップ時間 (t_{SU}) は、ALE=Low立ち下り前のアドレス有効時間 (t_{AVLLC}) - PCB配線遅延 容量性負荷に依存 不能超过はいけません。

図 12. AVRと外部 SRAMの接続



プルアップとバス保持機能

AD7~0ポートのプルアップ抵抗は対応するポートレジスタが1を書かれると、活性(有効)にできます。スリープ動作で消費電力を削減するため、スリープ動作移行前にポートレジスタへ0を書くことによりプルアップを禁止することが推奨されます。

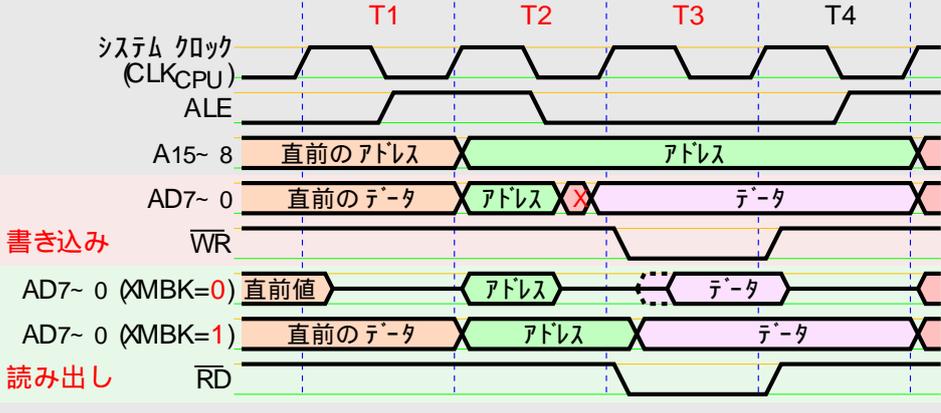
XMEMインターフェースはAD7~0線のバス保持機能も提供します。バス保持機能は20頁の「外部メモリ制御レジスタB(XMCRB)」で記述されるようにプログラムで許可と禁止ができます。許可されると、これらの線がXMEMインターフェースにより、その他の状態であるHi-Zにされるときに、バス保持機能はAD7~0バスでの論理レベル(または1)固定を保証します。

タイミング

外部メモリデバイスは様々なタイミング必要条件を持ちます。これらの必要条件に合わせるため、ATmega128のXMEMインターフェースは表4に示される4つの異なるウェイトステータを提供します。このウェイトステータ選択前に、外部メモリデバイスのタイミング特性を考慮することが大事です。重要なパラメータの多くはATmega128の必要条件設定に関連する外部メモリのアクセス時間です。外部メモリのアクセス時間はチップセレクトとアドレスを受け取ってから、そのアドレスのデータバス上で実際に駆動されるまでの時間で定義されます。このアクセス時間はALEバースがLowにされてから読み出し手順中にデータが安定にならなければならないまでの時間(210~211頁の表136.~143の $t_{LRL} + t_{LRH} - t_{VRH}$) を超えることはできません。各種ウェイトステータはソフトウェアで設定されます。付加機能として、外部メモリ空間を個別にウェイトステータ設定できる2つの領域に分割することが可能です。これは異なるタイミング必要条件の2つの異なるメモリデバイスを同じXMEMインターフェースに接続することを可能にします。XMEMインターフェースの詳細タイミングについては210頁からの表136.~143と図156.~159を参照してください。

XMEMインターフェースは非同期で、次の図の波形が内部システムクロックに関連することに注意してください。内部と外部(XTAL1)のクロック間のスリは保証されません(デバイス、温度、供給電圧間で一様でない)従ってXMEMインターフェースは同期動作用ではありません。

図 13. ウェイトなし外部データメモリアクセスサイクル (SRWn1=0, SRWn0=0) [T1~ T3]



共通注意事項

SRWn1はSRW11(上位領域)またはSRW01(下位領域)、SRWn0はSRW10(上位領域)またはSRW00(下位領域)です。

[T1~ Tn]は図での命令実行サイクル範囲です。

Xは値変更区間を示します。

最後のサイクルのALEは、次の命令がRAM(内部または外部)をアクセスする場合のみ存在します。また、最後のサイクルのアドレスとデータの変更区間の有無も同様です。

図 14. 1ウェイト外部データメモリアクセスサイクル (SRWn1=0, SRWn0=1) [T1~ T4]

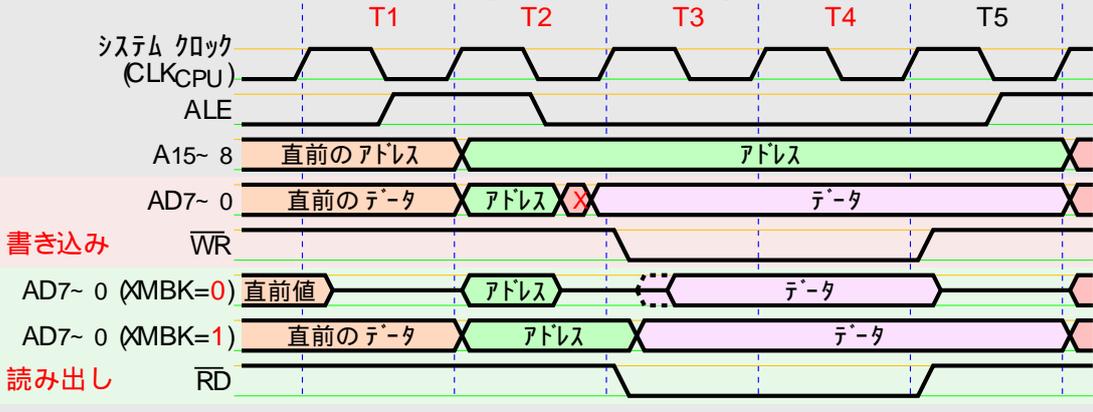


図 15. 2ウェイト外部データメモリアクセスサイクル (SRWn1=1, SRWn0=0) [T1~ T5]

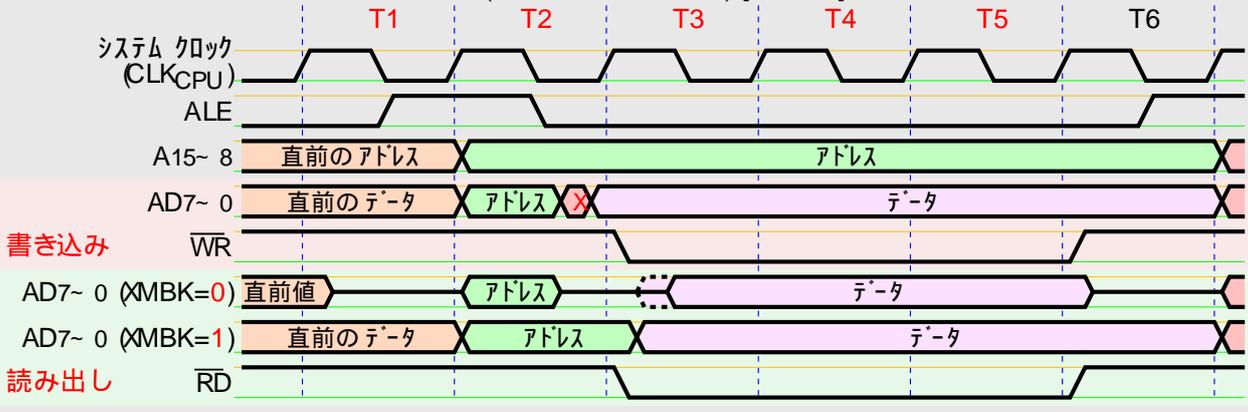
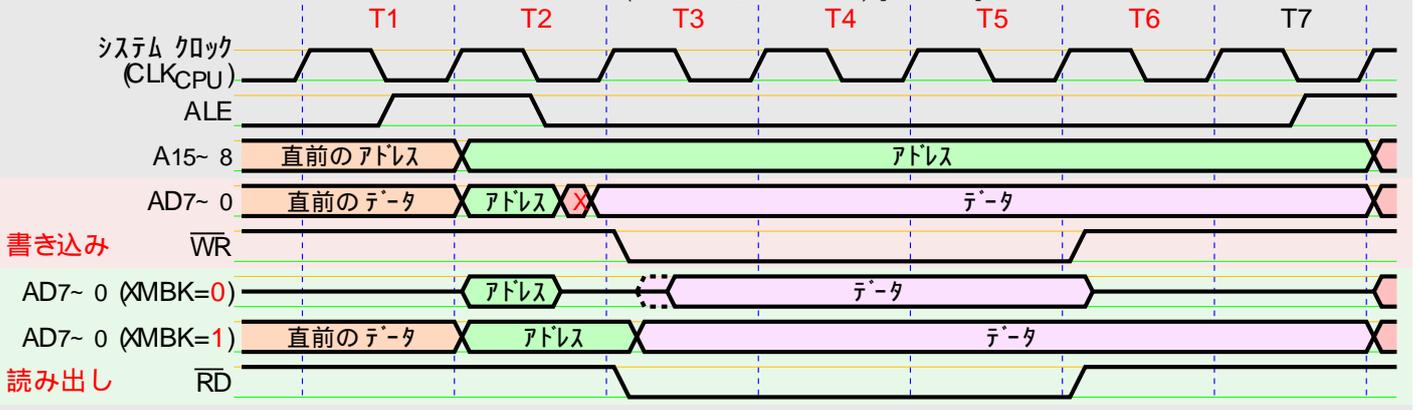


図 16. 2ウェイト保持1ウェイト外部データメモリアクセスサイクル (SRWn1=1, SRWn0=1) [T1~ T6]



XMEMインターフェース用レジスタ

MCU制御レジスタ (MCU Control Register) MCUCR

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	SRE	SRW10	SE	SM1	SM0	SM2	MSEL	MCE	MCUCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - SRE :外部メモリー許可 (External SRAM/XMEM Enable)

SREに1を書くことが外部メモリーインターフェースを許可します。A15~8, AD7~0, ALE, RD, WRピン機能は兼用ピン機能として活性(有効)にされます。SREビットはそれぞれのデータ方向レジスタ内の何れのピン方向設定も無効にします。SREに0を書くことは外部メモリーインターフェースを禁止し、通常ピンとデータ方向設定が使用されます。

ビット6 - SRW10 :ウェイト選択ビット (Wait-state Select Bit)

非ATmega103互換動作(標準動作)での詳細な記述については以降(「[XMCRA内容のSRWnビットの共通記述](#)」)をご覧ください。ATmega103互換動作で、SRW10の1書き込みはウェイトステートを許可し、[図14](#)で示されるように読み書きストア中に1つの延長サイクルが追加されます。

外部メモリー制御レジスタA (External Memory Control Register A) XMCRA

ビット	7	6	5	4	3	2	1	0	
(\$6D)	-	SRL2	SRL1	SRL0	SRW01	SRW00	SRW11	-	XMCRA
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

ビット7 - Res :予約 (Reserved)

このビットは予約されており、常に0として読まれます。このアドレス位置へ書く時、将来のデバイスとの共通性のため、このビットに0を書いてください。

ビット6,5,4 - SRL2, SRL1, SRL0 :外部SRAM範囲選択 (Wait-state Sector Limit)

異なる外部メモリー領域に対して異なるウェイトステートを指定することが可能です。外部メモリーアドレス空間は個別のウェイトステートビットを持つ2つの領域に分割できます。SRL2~0ビットは、これらの領域の分岐点を選びます。表3と[図11](#)をご覧ください。既定により、SRL2~0は0に設定され、外部メモリーアドレス空間全体が1つの領域として扱われます。SRAM外部メモリーアドレス空間全体が1つの領域として設定される場合、ウェイトステートはSRW11とSRW10ビットにより設定されます。

表3. 上位/下位領域選択

SRL2	SRL1	SRL0	下位領域	上位領域
0	0	0	なし	\$1100~ \$FFFF
0	0	1	\$1100~ \$1FFF	\$2000~ \$FFFF
0	1	0	\$1100~ \$3FFF	\$4000~ \$FFFF
0	1	1	\$1100~ \$5FFF	\$6000~ \$FFFF
1	0	0	\$1100~ \$7FFF	\$8000~ \$FFFF
1	0	1	\$1100~ \$9FFF	\$A000~ \$FFFF
1	1	0	\$1100~ \$BFFF	\$C000~ \$FFFF
1	1	1	\$1100~ \$DFFF	\$E000~ \$FFFF

ビット1 MCUCRのビット6 - SRW11, SRW10 :上位領域ウェイト選択

ビット10 (Wait-state Select Bits for Upper Sector)

SRW11とSRW10ビットは外部メモリーアドレス空間の上位領域に対するウェイトステート数を制御します。表4をご覧ください。

ビット3,2 - SRW01, SRW00 :下位領域ウェイト選択ビット10 (Wait-state Select Bits for Lower Sector)

SRW01とSRW00ビットは外部メモリーアドレス空間の下位領域に対するウェイトステート数を制御します。表4をご覧ください。

表4. ウェイトステート選択

SRWn1	SRWn0	ウェイトステート
0	0	ウェイトステートなし
0	1	読み書きストア中に1ウェイトステート挿入
1	0	読み書きストア中に2ウェイトステート挿入
1	1	読み書きストア中に2アドレススタック出力保持中に1ウェイトステート挿入

注: nは0(下位領域)または1(上位領域)です。外部メモリーインターフェースのウェイトステートとタイミングのより多くの詳細については[図13~16](#)のSRWビット設定がタイミングへ与える影響をご覧ください。

ビット0 - Res :予約 (Reserved)

このビットは予約されており、常に0として読まれます。このアドレス位置へ書く時、将来のデバイスとの共通性のため、このビットに0を書いてください。

外部メモリ制御レジスタB (External Memory Control Register B) XMCRB

ビット (\$6C)	7	6	5	4	3	2	1	0	
	XMBK	-	-	-	-	XMM2	XMM1	XMM0	XMCRB
Read/Write	R/W	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - XMBK : ハス保持許可 (External Memory Bus-keeper Enable)

XMBKに 1 を書くことが AD7~ 0 線のハス保持機能を許可します。ハス保持機能が許可されると、その他の状態である Hi-Z にされるとときに、AD7~ 0 ハスの論理レベル (または 1 固定) を保証します。XMBKに 0 を書くことがハス保持機能を禁止します。XMBKは SRE の制限を受けませんので、XMEMインターフェースが禁止されても、ハス保持機能は XMBKが 1 である限り未だ活性 (有効) にされます。

ビット6~ 3 - Res : 予約 (Reserved)

これらのビットは予約されており、常に 0 として読めます。このアドレス位置へ書く時、将来のデバイスとの共通性のため、これらのビットに 0 を書いてください。

ビット2,1,0 - XMM2 XMM1 XMM0 : 上位アドレスマスク (External Memory High Mask)

外部メモリインターフェースが許可されると、全てのポートピンは既定により上位アドレスハイに使用されます。外部メモリアクセスのために全 60Kバイトアドレス空間が必要とされない場合、表 5 で記述されるように、いくつかまたは全てのポートピンは標準ポートピン機能用に開放できます。2 頁の「外部メモリの全 64Kバイト位置の使用」で記述されるように、外部メモリの全 64Kバイト位置のアクセスのために XMMnビットの使用が可能です。

表 5 外部メモリ許可時に開放するポートピン

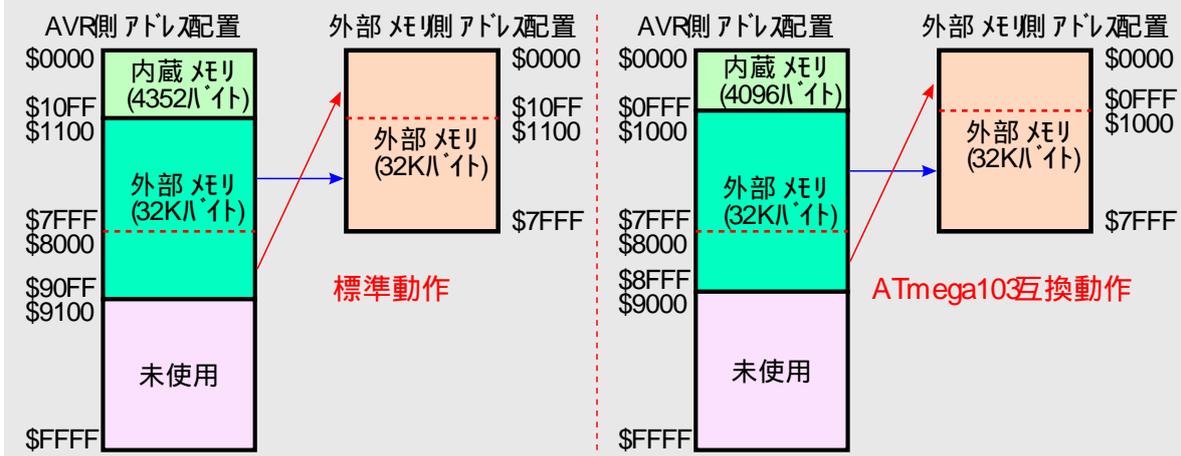
XMM2	XMM1	XMM0	アドレス上位バイトビット数	開放ポートピン
0	0	0	8 (最大約 60Kバイト)	なし
0	0	1	7	PORTC7
0	1	0	6	PORTC7~ 6
0	1	1	5	PORTC7~ 5
1	0	0	4	PORTC7~ 4
1	0	1	3	PORTC7~ 3
1	1	0	2	PORTC7~ 2
1	1	1	0 (上位バイトなし)	PORTC7~ 0

64Kバイト未満外部メモリの全域使用

外部メモリは図 11 で示されるように内部メモリの後に配置されるため、アドレス空間の最初の 4352バイトをアドレス指定するとき、外部メモリは指定されません。外部メモリの最初の 4352バイト (アドレス \$0000 ~ \$10FF) がアクセスできないと思われるかもしれませんが、けれども 64Kバイトより小さな外部メモリを接続するとき、例えば 32Kバイトで、これらの位置は単純なアドレス \$8000 ~ \$90FF 指定により容易にアクセスされます。外部メモリアドレス A15ビットは外部メモリに接続されず、アドレス \$8000 ~ \$90FF は外部メモリに対するアドレス \$0000 ~ \$10FF として見えます。\$90FF を越えるアドレス指定は、これが他の (下位側) アドレスにより既にアクセスされる外部メモリ位置のアドレス指定のため推奨されません。応用ソフトウェアにとって、この外部 32Kバイトメモリは、\$1100 ~ \$90FF の 1 つの直線的な 32Kバイトアドレス空間として見えます。これは図 17 で図解されます。 (訳注 標準 / 互換動作直接記述のため、原書の本位置の行を削除)

デバイスが ATmega103 互換動作に設定されると、内部アドレス空間は 4096バイトです。これは外部メモリの先頭 4096バイトがアドレス \$8000 ~ \$8FFF でアクセスできることを意味します。応用ソフトウェアには \$1000 ~ \$8FFF の 1 つの直線的な 32Kバイトアドレス空間として見えます。

図 17. 32外部メモリ時のアドレス配置



外部メモリの全64Kバイト位置の使用

外部メモリは図 11で示されるように内部メモリの後に配置されるため、既定では外部メモリの約60Kバイトだけが利用可能です(アドレス空間\$0000~\$10FFFは内部メモリ用に予約されます)けれども上位アドレスビットを0で遮蔽することにより、外部メモリ全体を利用することが可能です。これはXMMnビットを使用し、アドレスの最上位側ビットをソフトウェアにより制御することで行えます。ポートCを\$00出力に設定し、上位側ビットを標準ポート動作作用に開放することにより、メモリインターフェイスは\$0000~\$1FFFをアドレス指定します。以下のコード例をご覧ください。

アセンブリ言語プログラム例

```
.EQU    OFFSET=$2000                                ;切り替え点アドレス定義
                                                ;ポートC初期化]
LDI    R16,$00                                     ;ポート出力値を取得
OUT    PORTC,R16                                  ;アドレス最上位側ビット値全0設定
LDI    R16,$FF                                     ;ポート方向全出力値を取得
OUT    DDRC,R16                                   ;アドレス上位ハイ用ポート出力設定
;
LDI    R16,(1<<XMM1)|(1<<XMM0)                    ;[$0000~$1FFFアクセス]
STS    XMCRB,R16                                  ;PORTC7~5開放値を取得
LDI    R16,$AA                                     ;PORTC7~5開放(~$1FFF範囲設定)
STS    $0001+OFFSET,R16                           ;書き込み値を取得
                                                ;外部メモリの$000番地に$AA書き込み
;
LDI    R16,$00                                     ;[$2000~$FFFFアクセス]
STS    XMCRB,R16                                  ;最大外部メモリ(16ビット幅)値を取得
LDI    R16,$55                                     ;PORTC開放なし(~$FFFF範囲設定)
STS    $0001+OFFSET,R16                           ;書き込み値を取得
                                                ;外部メモリのOFFSET+$000番地に$55書き込み
```

C言語プログラム例

```
#define OFFSET 0x2000                               /* 切り替え点アドレス定義 */
void XRAM_example(void)
{
    unsigned char *p = (unsigned char *) (OFFSET +1); /* 書き込みアドレス(ポート)定義 */
    PORTC = 0x00;                                     /* アドレス最上位側ビット値全0設定 */
    DDRC = 0xFF;                                     /* アドレス上位ハイ用ポート出力設定 */
    XMCRB = (1<<XMM1)|(1<<XMM0);                     /* PORTC7~5開放(~$1FFF範囲設定) */
    *p = 0xAA;                                        /* 外部メモリの$000番地に$AA書き込み */
    XMCRB = 0x00;                                     /* PORTC開放なし(~$FFFF範囲設定) */
    *p = 0x55;                                        /* 外部メモリの$200番地に$55書き込み */
}
```

注 :このコード例はデバイス定義ファイルがインクルードされることが前提です。

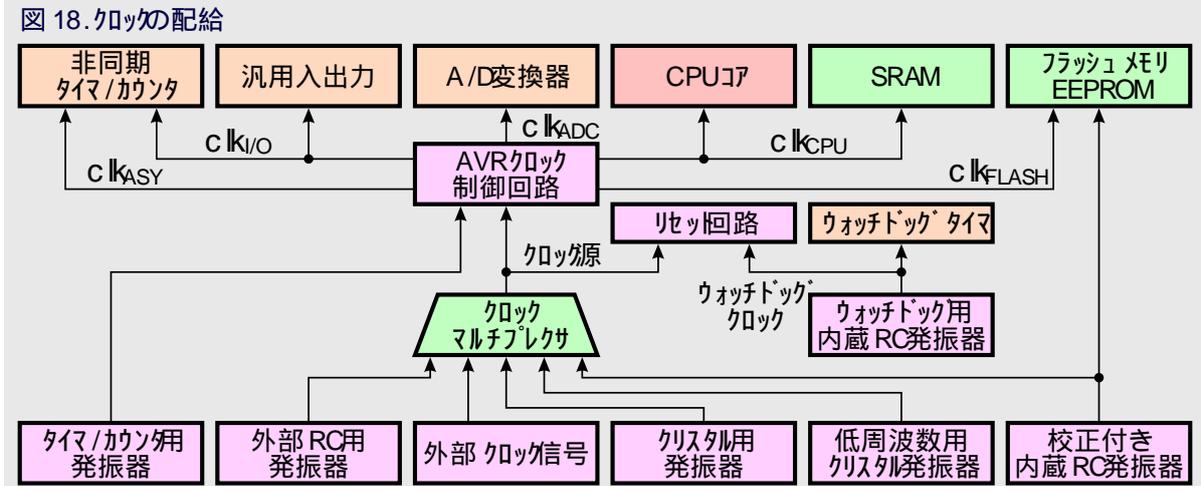
メモリの多くが遮蔽され隠されているとき、この選択手段の使用は注意して用いられなければなりません。

訳補)上の記述はXMMn設定によりハンク化動作となることを示しています。

システム クロックとクロック選択

クロックシステムとその配給

図 18は AVR内の主要なクロックシステムとその配給を示します。すべてのクロックが与えられた時間有効である必要はありません。消費電力低減のため、27頁の「電力管理とスリーフ動作」で記述される各種スリーフ動作の使用により、使用されない部分のクロックが停止できます。クロックシステムは以下で詳述されます。



CPU クロック CkCPU

CPUクロックは AVRコアの動作と関係するシステムの部分に配給されます。このような部分の例は汎用レジスタファイル、ステータスレジスタ、スタックポインタを保持するデータメモリです。CPUクロックの停止はコアが一般的な操作や計算を実行することを禁止します。

I/O クロック CkI/O

I/Oクロックはタイマ/カウンタ、SPI、USARTのような I/O部の大部分で使用されます。I/Oクロックは外部割り込み部でも使用されますが、いくつかの外部割り込みは例えば I/Oクロックが停止されても検出されることをこのような割り込みに許す非同期論理回路により検出されることに注意してください。2線シリアル I/F (TWI)部のアドレス認証は CkI/O が停止されると非同期に実行され、全スリーフ動作で TWI アドレス受信を可能とすることにも注意してください。

フラッシュ クロック CkFLASH

フラッシュクロックはフラッシュメモリインターフェースの動作を制御します。このフラッシュクロックは常に CPUクロックと同時に活動します。

非同期タイマ クロック CkASY

非同期タイマクロックは外部 32kHzクロック用クリスタルから直接的にクロック駆動されることを非同期タイマ/カウンタに許します。この専用クロック範囲はデバイスがスリーフ動作の時でも、このタイマ/カウンタのリアルタイムカウンタとしての使用を許します。

A/D変換 クロック CkADC

A/D変換器には専用のクロック範囲が提供されます。これはデジタル回路により生成されたノイズを低減するために CPUと I/Oクロックの停止を許します。これはより正確な A/D変換結果を与えます。

クロック元

このデバイスには右で示されるようにフラッシュヒューズビットにより選択可能な後続のクロック元選択があります。選択したクロック元からのクロックは AVRクロック発生器への入力で、適切な部署へ配給されます。

各クロック選択に対する様々な選択は次項で得られます。CPUがパワーダウンまたはパワーセーブから起動するとき、選択したクロック元は命令実行開始前に安定な発振器動作を保證する起動時間に使用されます。CPUがリセットから始まる時、これらは通常動作開始前に安定電圧へ達するのを電源に許す付加遅延です。ウォッチドッグ発振器はこの起動時間の実時間部のタイミングに使用されます。各計時完了に使用されるウォッチドッグ/WDT発振器のサイクル数は表 7で示されます。213頁の「代表特性」で示されるように、ウォッチドッグ発振器の周波数は電圧に依存します。

既定のクロック元

このデバイスは CKSEL=0001, SUT=10で出荷されます。従って既定クロック元設定は最長起動時間の 1MHz内蔵 RC発振器です。この既定設定は全ての使用者が実装またはパラレル書き込み器を使用して、それらを希望したクロック元設定にできることを保證します。

表 6. クロック種別選択

クロック種別	CKSEL3~ 0
外部クリスタル/セラミック発振器	1111~ 1010
外部低周波数クリスタル発振器	1001
外部RC発振	1000~ 0101
校正付き内蔵RC発振器	0100~ 0001
外部クロック信号	0000

注: 1=非プログラム, 0=プログラム

表 7. WDT発振器の代表的計時完了値、サイクル数

VCC=3.0V	VCC=5.0V	サイクル数
4.3ms	4.1ms	4K (4096)
69ms	65ms	64K (65536)

クリスタル用発振器

XTAL1とXTAL2は図 19で示されるように、チップ上の発振器としての使用に設定できる反転増幅器の各々、入力と出力です。クリスタル発振器またはセラミック振動子のどちらでも使用できます。CKOPTヒューズは2つの異なる発振増幅器動作の1つを選択します。CKOPTヒューズがプログラム(0)されると、発振器出力は完全な供給電圧端振幅出力で発振します。この動作はノイズが多い環境やXTAL2出力が他のクロックバッファを駆動するときに適します。この動作は広い周波数範囲を持ちます。CKOPTヒューズが非プログラム(1)にされると、発振器はより小さな出力振幅になります。これはかなり消費電力を削減します。この動作は制限された周波数範囲を持ち、他のクロックバッファを駆動することに使用できません。

セラミック振動子での最高周波数はCKOPTヒューズが非プログラム(1)で8MHz、CKOPTヒューズがプログラム(0)で16MHzです。C1とC2はクリスタル発振器とセラミック振動子の両方について常に等しくすべきです。このコンデンサの最適値は使用するクリスタル発振器やセラミック振動子、浮遊容量の量、その環境の電磁ノイズに依存します。クリスタル発振器使用に対するコンデンサ選択について初期の指針のいくつかは表 8で与えられます。セラミック振動子については、製造業者により与えられたコンデンサ値が使用されるべきです。

この発振器は示された周波数範囲で各々最適化された3つの異なる種別で動作できます。この動作種別は表 8で示されるようにCKSEL3~1ヒューズにより選択されます。

CKSEL0ヒューズはSUT10ヒューズと共に表 9で示されるように起動時間を選択します。

図 19. クリスタル発振器接続図

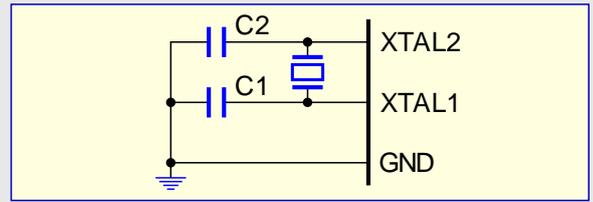


表 8. クリスタル発振器動作

CKOPT	CKSEL3~1	周波数範囲	推奨 C1 容量
1	101 (注 1)	0.4~ 0.9MHz	-
	110	0.9~ 3.0MHz	12~ 22pF
	111	3.0~ 8.0MHz	12~ 22pF
0	101~ 111	1.0~ MHz	12~ 22pF

注 1: この選択はクリスタル発振器ではなく、セラミック振動子でのみ使用されるべきです。

表 9. クリスタル発振器 / セラミック振動子用起動遅延時間選択表

CKSEL0	SUT10	パワーダウン、パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0	00	258x CK (注 1)	4.1ms	外部セラミック振動子、高速立ち上り電源
	01	258x CK (注 1)	65ms	外部セラミック振動子、低速立ち上り電源
	10	1Kx CK (注 2)	-	外部セラミック振動子、低電圧検出リセット(BOD)許可
	11	1Kx CK (注 2)	4.1ms	外部セラミック振動子、高速立ち上り電源
1	00	1Kx CK (注 2)	65ms	外部セラミック振動子、低速立ち上り電源
	01	16Kx CK	-	外部クリスタル発振器、低電圧検出リセット(BOD)許可
	10	16Kx CK	4.1ms	外部クリスタル発振器、高速立ち上り電源
	11	16Kx CK	65ms	外部クリスタル発振器、低速立ち上り電源

注 1: これらの選択はデバイスの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合だけ使用されるべきです。これらの選択はクリスタル発振器用ではありません。

注 2: これらの選択はセラミック振動子での使用を意図され、起動での周波数安定性の保証します。デバイスの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合はクリスタル発振器も使用できます。

低周波数クリスタル用発振器

デバイスに対するクロック元として時計用 32.768kHzクリスタルを使用するには、CKSEL3~0ヒューズを1001に設定することにより低周波数クリスタル発振器が選択されなければなりません。クリスタルは図 19で示されるように接続されるべきです。CKOPTヒューズのプログラム(0)により、使用者はXTAL1とXTAL2の内部容量(コンデンサ)を許可でき、それにより外部コンデンサの必要がなくなります。内部容量は36pFの公称値です。

この発振器が選択されると、起動時間は表 10で示されるようにSUTヒューズにより決定されます。

表 10. 低周波数クリスタル発振器用起動遅延時間選択表

SUT10	パワーダウン、パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
00	1Kx CK (注 1)	4.1ms	高速立ち上り電源または低電圧検出リセット(BOD)許可
01	1Kx CK (注 1)	65ms	低速立ち上り電源
10	32Kx CK	65ms	起動時周波数の安定重視
11			予約

注 1: これらの選択は応用にとって起動での周波数安定性が重要でない場合だけ使用されるべきです。

外部 RC 発振器

タイミングに鈍感な応用に対しては図 20 で示される外部 RC 設定が使用できます。周波数は式 $f=1/(3RC)$ により大まかに推測されます。C は最低 22pF であるべきです。CKOPT レジスタのプログラム (0) により、使用者は XTAL1 と GND 間の 36pF 内部容量を許可でき、それにより外部コンデンサの必要がなくなります。R と C の選択法の詳細と発振器操作のより多くの情報については「外部 RC 発振器 (External RC Oscillator)」アプリケーション ノートを参照してください。

この発振器は示された周波数範囲で各々最適化された 4 つの異なる種別で動作できます。この動作は表 11 で示されるように CKSEL3~0 レジスタにより選択されます。この発振器が選択されると、起動時間は表 12 で示されるように SUT レジスタにより決定されます。

図 20. 外部 RC 接続図

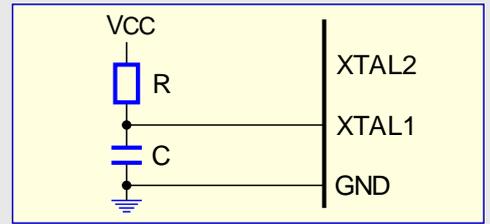


表 11. 外部 RC 発振器動作

CKSEL3~0	周波数範囲 (MHz)
0101	0.1~ 0.9
0110	0.9~ 3.0
0111	3.0~ 8.0
1000	8.0~ 12.0

表 12. 外部 RC 発振器用起動遅延時間選択表

SUT10	パワーダウン、パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
00	18x CK	-	低電圧検出 (BOD) リセット許可
01	18x CK	4.1ms	高速立ち上がり電源
10	18x CK	65ms	低速立ち上がり電源
11	6x CK (注 1)	4.1ms	高速立ち上がり電源または低電圧検出 (BOD) リセット許可

注 1: この選択はデバイスの最高周波数付近で動作するときには使用されるべきではありません。

校正付き内蔵 RC 発振器

校正された内蔵 RC 発振器は決められた 1.0, 2.0, 4.0, 8.0MHz のクロックを供給します。全ての周波数は 5V, 25°C での公称値です。このクロックは表 13 で示されるように CKSEL レジスタのプログラミングによりシステムクロックとして選択できます。選択したならば、外部部品なしで動作します。このクロックを選択を使用するとき、CKOPT レジスタは常に非プログラム (1) にされるべきです。リセット中、ハードウェアが発振校正レジスタ (OSCCAL) に 1MHz 用校正値ハイを設定し、これにより RC 発振器を自動的に校正します。5V, 25°C で 1.0MHz 発振器周波数が選択され、この校正は公称周波数 ± 3% 以内の周波数を与えます。atmel.com/avr で利用可能なアプリケーション ノートに記載された校正法の使用で、与えられたどの VCC と温度でも ± 1% の精度を達成することができます。この発振器がチップ (システム) クロックとして使用されるとき、ウォッチドッグ発振器は未だウォッチドッグ タイムとリセット付加遅延 タイムに使用されます。予め設定された校正値のより多くの情報については 186 頁の「発振校正値ハイ」項をご覧ください。

表 13. 校正付き内蔵 RC 発振器動作

CKSEL3~0	公称周波数 (MHz)
0001 (注 1)	1.0
0010	2.0
0011	4.0
0100	8.0

注 1: デバイスはこの選択で出荷されます。

この発振器が選択されると、起動時間は表 14 で示されるように SUT レジスタにより決定されます。XTAL1 と XTAL2 は未接続 (NC) のままにされるべきです。

表 14. 校正付き内蔵 RC 発振器用起動遅延時間選択表

SUT10	パワーダウン、パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
00	6x CK	-	低電圧検出 リセット (BOD) 許可
01	6x CK	4.1ms	高速立ち上がり電源
10 (注 1)	6x CK	65ms	低速立ち上がり電源
11			予約

注 1: デバイスはこの選択で出荷されます。

発振校正レジスタ (Oscillator Calibration Register) OSCCAL

ビット (\$6F)	7	6	5	4	3	2	1	0	OSCCAL
	CAL7	CAL6	CAL5	CAL4	CAL3	CAL2	CAL1	CAL0	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	デバイス固有の校正値								

注: OSCCALレジスタは ATmega103 互換動作で利用できません。

ビット7~ 0 - CAL7~ 0 : 発振校正値 (Oscillator Calibration Value)

このアドレスへの校正ハイ書き込みは発振器周波数の偏差処理を省くために内蔵発振器を調整します。リセット、識票列上位ビット (アドレス\$00) に配置される 1MHz校正値が発振校正レジスタ(OSCCAL)内へ自動的に設定されます。内蔵 RC発振器が他の周波数で使用される場合、校正値は手動で設定されなければなりません。これは初めに書き込み器により識票列を読み、そしてその後フラッシュメモリまたはEEPROMに校正値を保存することにより行えます。その後この値はソフトウェアにより読まれ、OSCCALに設定できます。OSCCALが 00 の時に最低利用可能周波数が選択されます。このレジスタへ 0 以外の値を書くことは内蔵発振器の周波数を増加します。このレジスタへの \$FF書き込みは最高使用可能周波数にします。校正付き発振器はフラッシュメモリとEEPROMのアクセス時間に使用されます。フラッシュメモリまたはEEPROMが書かれる場合、公称周波数より上へ 10%を越えて校正してはいけません。そうでなければ、フラッシュメモリまたはEEPROM書き込みは失敗するかもしれません。この発振器は 1.0, 2.0, 4.0, 8.0MHzへの校正が意図されることに注意してください。表 15で示されるような他の値への調整は保証されません。

表 15. 内蔵 RC発振器周波数範囲

OSCCAL値	公称周波数に対する割合	
	Min	Max
\$00	50%	100%
\$7F	75%	150%
\$FF	100%	200%

外部 クロック信号

外部 クロックからデバイスを駆動するために XTAL1 は図 21 で示されるように駆動されるべきです。外部 クロックでデバイスを走行するために CKSEL レジスタは 0000 にプログラム設定されなければなりません。CKOPT レジスタのプログラム (0) により、使用者は XTAL1 と GND 間の 36pF 内部容量を許可できます。

この クロックが選択されると、起動時間は表 16 で示されるように SUT レジスタにより決定されます。

図 21. 外部 クロック信号駆動接続図

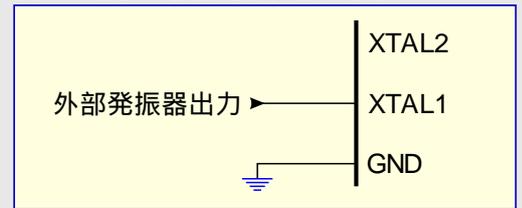


表 16. 外部 クロック信号駆動用起動遅延時間選択表

SUT10	パワーダウン、パワーセーブからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
00	6x CK	-	低電圧検出 リセット (BOD 許可)
01	6x CK	4.1ms	高速立ち上り電源
10	6x CK	65ms	低速立ち上り電源
11			予約

外部 クロックを供給するとき、MCU の安定な動作を保証するために供給した クロック周波数の急な変化を避けることが必要とされます。或る クロック サイクルから次への 2% より大きな周波数変化は予測されない事態を引き起こします。このような クロック周波数での変化中、MCU は リセットに保たれることを保証することが必要とされます。

タイマ/カウンタ用発振器

AVR マイクロコントローラの タイマ/カウンタ用発振器 (TOSC1 と TOSC2) に対してクリスタル発振器は、このピン間に直接的に接続されます。外部コンデンサは必要とされません。この発振器は時計用 32.768kHz クリスタルでの使用に最適化されています。外部 クロックを TOSC1 に供給することは推奨されません。

クック分周制御レジスタ (XTAL Divide Control Register) XDM

クック分周制御レジスタは元となるクック周波数を2~ 128範囲の数で分周するために使用されます。この機能は処理能力に対する必要条件が低いとき、消費電力低減のために使用できます。

ビット	7	6	5	4	3	2	1	0	XDM
\$3C (\$5C)	XDMEN	XDM6	XDM5	XDM4	XDM3	XDM2	XDM1	XDM0	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - XDMEN : クック分周許可 (XTAL Divide Enable)

XDMENビットが **1** を書かれると、CPUと全周辺機能のクック (CLK_{CPU}, CLK_{I/O}, CLK_{FLASH}, CLK_{ADC} 周波数は、XDM6~ 0 の設定で定義した要素で分周されます。このビットは応用目的に合せたクック周波数へ変えるため、実行時に書くことができます。

ビット6~ 0 - XDM6~ 0 : クック分周値選択 (XTAL Divide Select Bits 6~ 0)

これらのビットはクック分周許可 (XDMEN) ビットがセット (**1**) された場合に適用する分周要素を定義します。これらのビット値が **d** で示される場合、次式はCPUと全周辺機能のクック周波数 f_{CLK} の結果を定義します。

$$f_{CLK} = \frac{\text{元となるクック}}{129 - d}$$

これらのビット値はクック分周許可 (XDMEN) ビットがクリア (**0**) のときだけ変更できます。XDMENが **1** を書かれるとき、同時にXDM6~ 0 内に書かれた値は分周要素として採用されます。XDMENが **0** を書かれるとき、同時にXDM6~ 0 内に書かれた値は却下されます。この分周器がMCUへの主クック入力を分周するため、分周要素が使用されると、全周辺機能の速度が低下されます。

注 : システムクックが分周される時、タイマ/カウンタ0は非同期クックでだけ使用できます。非同期クック周波数は、主クック用元クックを分周した周波数の1/4より低くなければなりません。さもなければ割り込みが失われたり、タイマ/カウンタ0のレジスタアクセスが失敗するかもしれません。

電力管理とスリープ動作

スリープ動作は応用でMCU内の未使用部を一時停止することを可能にし、これにより節電します。AVRは応用で必要な消費電力に仕立てることを使用者に許す様々なスリープ動作を提供します。

6つのスリープ動作の何れかへ移行するにはMCU制御レジスタ(MCUCR)のスリープ許可(SE)ビットが論理1を書かれ、SLEEP命令が実行されなければなりません。MCUCRのスリープ種別選択(SM2,1,0)ビットはSLEEP命令により活性(有効)にされるスリープ動作(アイドル、A/D変換ノイズ低減、パワーダウン、パワーセーブ、スタンバイ、拡張スタンバイ)のどれかを選びます。一覧については表17をご覧ください。MCUがスリープ動作中に許可した割り込みが起ると、MCUは起動します。その時MCUは起動時間に加えて4サイクル停止され、割り込みルーチンを実行し、そしてSLEEP命令の次の命令から実行を再開します。レジスタがスリープから起動するとき、レジスタファイルとSRAMの内容は変えられません。スリープ動作中にリセットが起ると、MCUは起動し、リセットベクタから実行します。

22頁の図18はATmega128の各種クロックシステムとその配給を示します。この図は適切なスリープ動作を選択する助けになります。

MCU制御レジスタ (MCU Control Register) MCUCR

このMCU制御レジスタは電力管理用の制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	SRE	SRW10	SE	SM1	SM0	SM2	MSEL	MCE	MCUCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット5 - SE : スリープ許可 (Sleep Enable)

SLEEP命令が実行される時にMCUをスリープ動作へ移行させるには、スリープ許可(SE)ビットが論理1を書かれなければなりません。MCUの目的外スリープ動作移行を避けるため、SLEEP命令実行直前にスリープ許可(SE)ビットをセット(1)し、起動後直ちにクリア(0)することが推奨されます。

ビット2,4,3 - SM2,SM1,SM0 : スリープ種別選択 (Sleep Mode Select Bit 2, 1 and 0)

これらのビットは表17で示される利用可能な6つのスリープ動作の1つを選択します。

表17. スリープ動作種別選択

SM2	SM1	SM0	スリープ動作種別
0	0	0	アイドル動作
0	0	1	A/D変換ノイズ低減動作
0	1	0	パワーダウン動作
0	1	1	パワーセーブ動作
1	0	0	予約
1	0	1	予約
1	1	0	スタンバイ動作 (注)
1	1	1	拡張スタンバイ動作 (注)

注：拡張スタンバイ動作は外部クリスタル発振子またはセラミック振動子でだけ利用できます。

アイドル動作

スリープ種別選択(SM2~0)ビットが000を書かれるとき、SLEEP命令はMCUをアイドル動作へ移行させ、CPUを停止しますが、SPI、USART、アナログ比較器、A/D変換器、2線シリアルインターフェース、タイマ/カウンタ、ウォッチドッグ、割り込み機構の継続動作を許します。このスリープ動作は基本的にclkCPUとclkFLASHを停止する一方、他のクロックに走行を許します。

アイドル動作はMCUにタイマのオーバーフローやUSARTの送信完了などの内部割り込みだけでなく、外部で起動された割り込みからの起動も可能にします。アナログ比較器割り込みからの起動が必要とされないならば、アナログ比較器制御/ステータスレジスタ(ACSR)のアナログ比較器禁止(ACD)ビットをセット(1)することにより、アナログ比較器は電源断にできます。これはアイドル動作での消費電力を削減します。A/D変換が許可されるならば、この動作に移行すると変換が自動的に始まります。

A/D変換ノイズ低減動作

SM2~0ビットが001を書かれるとき、SLEEP命令はMCUをA/D変換ノイズ低減動作へ移行させ、CPUを停止しますが、A/D変換器、外部割り込み、2線シリアルインターフェースのアドレス監視、タイマ/カウンタ、ウォッチドッグの許可されていれば継続動作を許します。このスリープ動作は基本的にclkI/O、clkCPU、clkFLASHを停止する一方、他のクロックに走行を許します。

これはA/D変換に対するノイズ環境を改善し、より高い分解能の測定を可能にします。A/D変換器が許可されている場合、この動作に移行すると、変換が自動的に始まります。A/D変換完了割り込みからの他、外部リセット、ウォッチドッグリセット、低電圧検出(BOD)リセット、2線シリアルインターフェースのアドレス一致割り込み、タイマ/カウンタ0の割り込み、SPM/EEPROM操作可割り込み、NT7~4の外部レベル割り込み、NT3~0の外部割り込みだけが、A/D変換ノイズ低減動作からMCUを起動できます。

パワーダウン動作

スリーフ種別選択 (SM2~ 0)ビットが 010 を書かれると、SLEEP命令はMCUをパワーダウン動作へ移行させます。この動作では外部発振器が停止される一方、外部割り込み、2線シリアルインターフェースのアドレス監視、ウォッチドッグ機能は許可されていれば継続して動作します。外部リセット、ウォッチドッグリセット、低電圧検出 (BOD)リセット、2線シリアルインターフェースのアドレス一致割り込み、NT7~ 4の外部レベル割り込み、NT3~ 0の外部割り込みだけがMCUを起動できます。このスリーフ動作は基本的に生成した全てのクロックを停止し、非同期部の動作だけを許します。

レベルで起動した割り込みがパワーダウン動作からの復帰に使用される場合、MCUを起動するためには変更したレベルが一定時間保持されなければならないことに注意してください。詳細については5頁の「外部割り込み」を参照してください。

パワーダウン動作から起動するとき、起動条件が起きてから起動の効果が現れるまで遅延があります。これは停止されてしまっている後の再始動と安定になることをクロックに許します。この起動遅延時間は2頁の「クロック」で記述されるように、リセット遅延時間を定義するのと同じCKSELヒューズにより定義されます。

パワーセーフ動作

SM2~ 0ビットが 011 を書かれると、SLEEP命令はMCUをパワーセーフ動作へ移行させます。この動作は次の1つの例外を除いてパワーダウン動作と同じです。

タイマ/カウンタ0が非同期にクロック駆動されると、換言するとタイマ/カウンタ0非同期ステータスレジスタ (ASSR) の非同期クロック (AS0) ビットがセット(1)されると、タイマ/カウンタ0はスリーフ中、走行動作します。ステータスレジスタ (SREG) の全割り込み許可 (I) ビットがセット(1)され、タイマ/カウンタ0割り込みマスクレジスタ (TMSK) のタイマ/カウンタ0オーバーフロー割り込み許可 (TOE0) ビットまたは比較割り込み許可 (OCIE0) ビットがセット(1)されるなら、デバイスに対応するどちらの割り込みからでも起動できます。

タイマ/カウンタ0が非同期にクロック駆動されないならば、パワーセーフ動作での起動復帰後のタイマ/カウンタ0のレジスタ内容はASSRのAS0=0でも不定とみなすべきなので、パワーダウン動作をパワーセーフ動作の代わりにすることが推奨されます。

このスリーフ動作は基本的にckASY以外の全てのクロックを停止し、非同期にクロック駆動されるならタイマ/カウンタ0を含め、非同期部の動作だけを許します。

スタンバイ動作

外部水晶発振子/セラミック振動子クロック種別が選択され、SM2~ 0ビットが 110 のとき、SLEEP命令はMCUをスタンバイ動作へ移行させます。この動作は外部水晶用発振器が走行動作を保たれる例外を除いてパワーダウン動作と同じです。デバイスはスタンバイ動作から6クロックサイクルで起動します。

拡張スタンバイ動作

外部水晶発振子/セラミック振動子クロック種別が選択され、SM2~ 0ビットが 111 のとき、SLEEP命令はMCUを拡張スタンバイ動作へ移行させます。この動作は外部水晶用発振器が走行動作を保たれる例外を除いてパワーセーフ動作と同じです。デバイスは拡張スタンバイ動作から6クロックサイクルで起動します。

表 18.各スリーフ動作における動作クロック範囲と復帰起動要因

スリーフ種別	動作クロック範囲					動作発振器		復帰起動要因 (割り込み)					
	ck CPU	ck FLASH	ck D	ck ADC	ck ASY	主クロック供給元	タイマ用発振器	NTn	TWI アドレス一致	タイマ/カウンタ0	SPM EEPROM 操作可	A/D 変換完了	その他 I/O
アイドル			○	○	○	○		○	○	○	○	○	○
A/D変換ノイズ低減				○	○	○			○	○	○	○	
パワーダウン									○				
パワーセーフ									○				
スタンバイ(注1)						○			○				
拡張スタンバイ(注1)						○			○				

注 1: クロックとして外部水晶発振子またはセラミック振動子が選択された場合です。
 タイマ/カウンタ0非同期ステータスレジスタ (ASSR) の非同期クロック (AS0) ビットがセット(1)された場合です。
 NT3~ 0の割り込み、または NT7~ 4のレベル割り込みだけです。

消費電力の最小化

これらは AVR が制御するシステムで消費電力の最小化を試みる際に考慮するためのそれぞれの検討点です。一般的にスリーフ動作は可能な限り多く使用されるべきで、スリーフ種別は動作するデバイス機能が可能な限り少なくなるために選択されるべきです。必要とされない全ての機能は禁止されるべきです。特に次の機能部は最低可能消費電力の達成を試みる際に、特別な考慮を必要とするでしょう。

A/D変換器 (ADC)

許可したなら、A/D変換器は全スリーフ動作で許可されます。電力を節約するため、スリーフ動作の何れかへ移行する前に、A/D変換器は禁止されるべきです。A/D変換器がOFFそして再びONに切り替えられると、次の最初の変換は延長された初回変換になります。A/D変換器操作の詳細については [153頁の「A/D変換器」](#)を参照してください。

アナログ比較器

アイドル動作へ移行するとき、アナログ比較器は使用されないならば禁止されるべきです。A/D変換ノイズ削減動作へ移行するとき、アナログ比較器は禁止されるべきです。その他のスリーフ動作でのアナログ比較器は自動的に禁止されます。しかしアナログ比較器が入力として内部基準電圧を使用する設定の場合、全スリーフ動作でアナログ比較器は禁止されるべきです。さもなければ内部基準電圧はスリーフ動作と無関係に許可されます。アナログ比較器設定法の詳細については [15頁の「アナログ比較器」](#)を参照してください。

低電圧検出器 (BOD)

低電圧検出器 (BOD) が応用で必要とされないなら、この部署はOFFにされるべきです。低電圧検出器が [BODENヒューズ](#)により許可されていると全スリーフ動作で許可され、故に常時電力を消費します。これはより深いスリーフ動作での総消費電流にとって重要な一因になります。低電圧検出器 (BOD) 設定法の詳細については [3頁の「低電圧検出 \(BOD\)」](#)を参照してください。

内部基準電圧

内部基準電圧は低電圧検出器 (BOD)、アナログ比較器、A/D変換器により必要とされる時に許可されます。これら部署が上の項目で記述されたように禁止されると、内部基準電圧は禁止され、電力を消費しません。再び許可する場合、この出力が使用される前に、使用者は基準電圧へ起動安定時間を与えなければなりません。基準電圧がスリーフ動作でON保持される場合、この出力は直ちに使用できます。起動時間の詳細については [32頁の「内部基準電圧」](#)を参照してください。

ウォッチドッグ タイマ

ウォッチドッグ タイマが応用で必要とされないならば、この部署はOFFにされるべきです。ウォッチドッグ タイマが許可されていると全スリーフ動作で許可され、故に常時電力を消費します。これはより深いスリーフ動作での総消費電流にとって重要な一因になります。ウォッチドッグ タイマ設定法の詳細については [33頁の「ウォッチドッグ タイマ」](#)を参照してください。

ポートピン

スリーフ動作へ移行するとき、全てのポートピンは最小電力使用に設定されるべきです。最も重要なことはその時にピンが抵抗性負荷を駆動しないことを保証することです。I/Oクロック (CK_{I/O}) と A/D変換クロック (CK_{ADC}) の両方が停止されるスリーフ動作では、デバイスの入力バッファが禁止されます。これは必要とされないときに入力論理回路により電力が消費されないことを保証します。いくつかの場合で入力論理回路は起動条件を検出するために必要とされ、その時は許可されます。どのピンが許可されるかの詳細については [41頁の「デジタル入力許可とスリーフ動作」](#)を参照してください。入力バッファが許可され、入力信号が浮いている状態のままか、またはアナログ信号電圧が VCC/2 付近の場合、入力バッファは過大な電力を使用するでしょう。

JTAGインターフェースと内蔵デバッグ機能 (OCD)

内蔵デバッグ機能が [OCDENヒューズ](#)により許可され、チップがハワーダウンまたはハワーセーフのスリーフ動作へ移行すると、主クロック元は許可に留まります。これらのスリーフ動作では、これが総消費電流にとって重要な一因になります。これを避けるには、3通りの方法があります。

OCDENヒューズを禁止 非プログラム (1 設定)

JTAGENヒューズを禁止 非プログラム (1 設定)

MCU制御 / ステータスレジスタ (MCUCSR) の JTAG禁止 (JTD)ビットへの 1書き込み

JTAGインターフェースが許可され、JTAG TAP制御器がデバッグをシフトしていないと、TDOピンは浮き状態 (フローティング)のままにされます。TDOピンに接続したハードウェアが論理レベルをプルアップしないなら、消費電力が増加するでしょう。走査チェーン内の次のデバイスのTDピンがこの問題を避けるプルアップを含むことに注意してください。MCUCSRのJTDビットに 1を書きか、またはJTAGENヒューズを非プログラムのままにすることがJTAGインターフェースを禁止します。

システム制御とリセット

AVRのリセット

リセット中、全ての I/Oレジスタはそれらの初期値に設定され、プログラムはリセット後から実行を開始します。リセット後に配置される命令はきつとリセット処理ルーチンへの **JMP 絶対分岐** 命令でしょう。プログラムが決して割り込み元を許可しないなら、割り込み後には使用されず、これらの位置に通常のプログラムコードが配置できます。これはリセット後が応用領域の一方、割り込み後がブレイク領域の場合やその逆も同様です。図 22 の回路構成図はリセット論理回路を示します。表 19 はリセット回路の電気的特性を定義します。

AVR の I/Oポートはリセットが有効になると直ちにそれらの初期状態にリセットされます。これはどのポートの走行も必要ありません。すべてのリセットが無効にされた後、遅延カウンタタイマが始動され、内部リセットを引き伸ばします。これは通常動作開始前に安定電圧へ達することを電源に許します。遅延タイマの遅延時間は **CKSEL** キューを通じて使用者により定義されます。この遅延時間についての各種選択は 22 頁の「リセット」で示されます。

リセット要因

ATmega128には次の 5 つのリセットがあります。

- 電源 ON リセット …… 供給電圧が電源 ON リセット閾値電圧 (VPOT) 以下で MCU がリセットされます。
- 外部リセット …… RESET ピンが最小パルス幅以上 Low レベルに保たれると、MCU がリセットされます。
- ウォッチドッグ リセット …… ウォッチドッグが許可され、ウォッチドッグ タイマが終了すると、MCU がリセットされます。
- 低電圧リセット …… 低電圧検出器 (BOD) が許可され、供給電圧 (VCC) が低電圧検出電圧 (VBOT) 以下で MCU がリセットされます。
- JTAG AVR リセット …… JTAG システムの走査チェーンの 1 つとしてリセットレジスタ内に論理 1 がある間中、MCU がリセットされます。詳細については 166 頁の「EEE 1149.1 (JTAG) 境界走査」を参照してください。

図 22. リセット回路構成

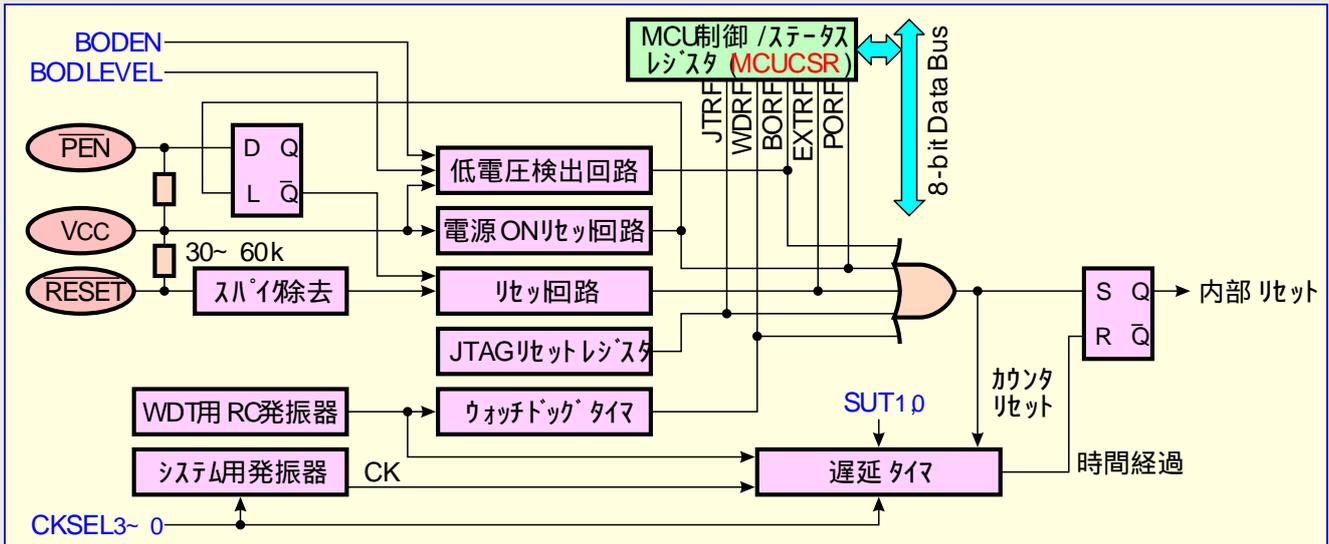


表 19. リセット電気的特性

シンボル	項目	Min	Typ	Max	単位
VPOT	上昇時電源 ON リセット閾値電圧		1.4	2.3	V
	下降時電源 ON リセット閾値電圧 (注 1)		1.3	2.3	
VRST	RESET ピン閾値電圧	0.2VCC		0.85VCC	
tRST	リセットパルス幅	15			μs
VBOT	低電圧検出閾値電圧 (注 2)	BODLEVEL=非プログラム (1)	2.4	2.6	V
		BODLEVEL=プログラム (0)	3.7	4.0	
tBOT	最小低電圧検出時間	BODLEVEL=非プログラム (1)		2	μs
		BODLEVEL=プログラム (0)		2	
VHYS	低電圧検出ヒステリシス電圧		100		mV

注 1 供給電圧がこの電圧以下にならないと、上昇時の電源 ON リセットは動作しません。

注 2: VBOT はいくつかのデバイスについて公称最小動作電圧以下かもしれません。この状態のデバイスについて、そのデバイスは製造検査中に VCC=VBOT へ落として検査されます。これは VCC がマイクログランドへの正しい動作がもはや保証されない電圧へ落ちる前に低電圧 (BOD) リセットが起きることを保証します。この検査は ATmega128U については BODLEVEL=1、ATmega128 については BODLEVEL=0 を使用して実行されます。ATmega128 に対して BODLEVEL=1 は適用できません。

電源ONリセット

電源ONリセット(POR)パルスはチップ上の検出回路により生成されます。検出電圧は表 19で定義されます。POR信号はVCCが検出電圧以下の時は必ず活性(有効)にされます。POR回路は供給電圧異常検出は勿論、始動リセットの起動にも使用できます。

電源ONリセット回路はデバイスが電源投入でリセットされることを保証します。電源ONリセット閾値電圧(VPOT)への到達は、VCCの立ち上がり後にデバイスがどのくらいリセットを保つかを決める遅延カウンタ(タイマ)を起動します。VCCがこの検出電圧以下に低下すると、リセット信号はどんな遅延もなく再び有効にされます。

図 23.内蔵電源ONリセット (RESETはVCCに接続)

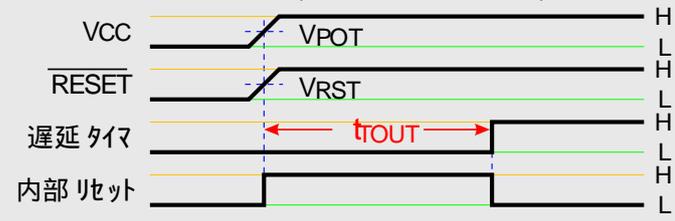
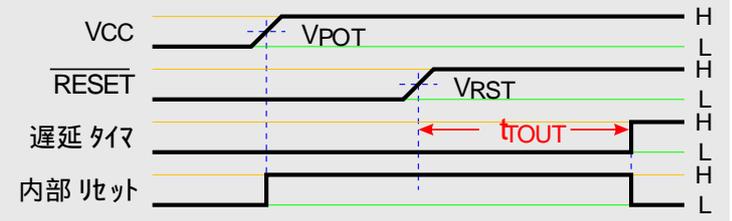


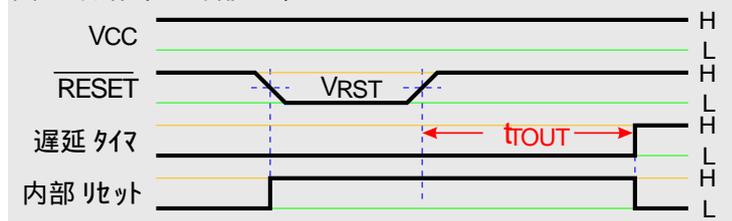
図 24.外部RESET信号による延長電源ONリセット



外部リセット

外部リセットはRESETピンのLowレベルにより生成されます。例えばクックが動いていなくても、最小パルス幅(表 19参照)以上のリセットパルスはリセットを生成します。短すぎるパルスはリセットの生成が保証されません。印加された信号の立ち上がり(リセット閾値電圧(VRST)に達すると遅延タイマが起動され)遅延タイマは遅延時間(tROUT)経過後、MCUを始動します。

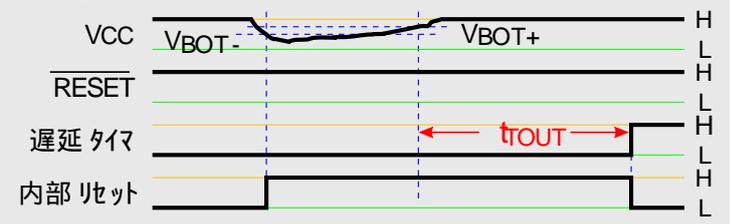
図 25.動作中の外部リセット



低電圧(ブラウナウト)検出

ATmega128には固定化された起動検出電圧と比較することにより動作中のVCCを監視するチップ上の低電圧検出(BOD回路)があります。BODの起動電圧はBODLEVELレジスタにより、2.7V(非プログラム(1))または4.0V(プログラム(0))を選択できます。この起動電圧はスライク対策BODを保证するためにヒステリシスを持ちます。検出電圧のヒステリシスは、 $V_{BOT+}=V_{BOT}+V_{HYST}/2$ 、 $V_{BOT-}=V_{BOT}-V_{HYST}/2$ と解釈すべきです。

図 26.動作中の低電圧リセット



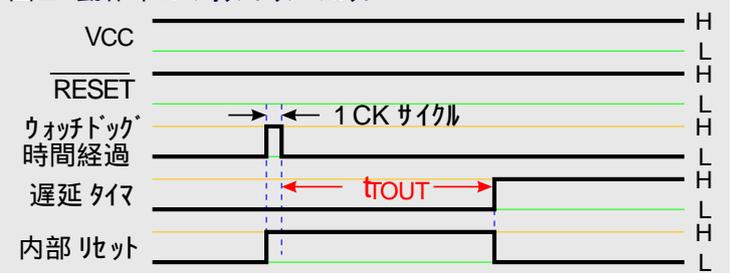
BOD回路はBODENレジスタにより許可/禁止ができます。BODが許可(BODEN=プログラム(0))され、VCCが起動電圧以下の値に下降すると図 26のVBOT-)低電圧リセットが直ちに有効とされます。VCCが起動電圧以上に上昇すると図 26のVBOT+)遅延タイマが起動され、遅延タイマは遅延時間(tROUT)経過後、MCUを始動します。

BOD回路は、電圧が表 19で与えられるtBOD時間より長く(起動電圧以下に留まる場合のみ、VCCでの低下を検出します。

ウォッチドッグリセット

ウォッチドッグ時間経過時、(内部的に)1CKサイクル幅の短いリセットパルスを生成します。このパルスの立ち下りエッジで、遅延タイマは遅延時間(tROUT)の計時を始めます。ウォッチドッグタイマ操作の詳細については33頁を参照してください。

図 27.動作中のウォッチドッグリセット



MCU制御 /ステータス レジスタ (MCU Control and Status Register) MCUCSR

MCU制御 /ステータス レジスタは、どのリセットがMCUリセットを起こしたかの情報を提供します。

ビット	7	6	5	4	3	2	1	0	
\$34 (\$54)	JTD	-	-	JTRF	WDRF	BORF	EXTRF	PORF	MCUCSR
Read/Write	R/W	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	内容参照	内容参照	内容参照	内容参照	内容参照	

注 : ATmega103互換動作では EXTRFとPORFだけ利用可能です。

ビット4 - JTRF : JTAG リセットフラグ (JTAG Reset Flag)

このビットはリセットが JTAG命令 AVR_RESETで選択された JTAG リセットレジスタ内の論理 1により引き起こされるとセット(1)されます。このビットは電源ONリセットまたは、このフラグへの論理 0書き込みによりリセット(0)されます。

ビット3 - WDRF : ウォッチドッグ リセットフラグ (Watchdog Reset Flag)

このビットはウォッチドッグ リセットが起こるとセット(1)されます。このビットは電源ONリセットまたは、このフラグへの論理 0書き込みによりリセット(0)されます。

ビット2 - BORF : 低電圧 リセットフラグ (Brown-Out Reset Flag)

このビットは低電圧 リセットが起こるとセット(1)されます。このビットは電源ONリセットまたは、このフラグへの論理 0書き込みによりリセット(0)されます。

ビット1 - EXTRF : 外部 リセットフラグ (External Reset Flag)

このビットは外部 リセットが起こるとセット(1)されます。このビットは電源ONリセットまたは、このフラグへの論理 0書き込みによりリセット(0)されます。

ビット0 - PORF : 電源ONリセットフラグ (Power-on Reset Flag)

このビットは電源ONリセットが起こるとセット(1)されます。このビットはこのフラグへの論理 0書き込みによってのみリセット(0)されます。

リセット条件の確認にリセットフラグを使用するには、使用者はプログラム内で可能な限り早くMCUCSRを読み、それからクリア(0)すべきです。別のリセットが起こる前にこのレジスタがクリア(0)されると、リセットはリセットフラグを調べることで得られます。

内部基準電圧

ATmega128は内部基準電圧が特徴です。この基準電圧は低電圧検出 (BOD)に使用され、A/D変換やアナログ比較器の入力としても使用できます。A/D変換器への2.56V基準電圧は内部基準電圧(1.23V)から生成されます。

基準電圧許可信号と起動時間

この基準電圧には使用されるべき方法に影響を及ぼすかもしれない起動時間があります。この起動時間は表 20で与えられます。節電のために、この基準電圧は常にONではありません。この基準電圧は次の状態中ONです。

低電圧検出 リセット許可時 (BODENヒューズ=プログラム(0))

アナログ比較器基準電圧接続時 (アナログ比較器 制御 /ステータス レジスタ(ACSR)の基準電圧入力選択 (ACBG)=1)

A/D変換部動作許可時 (A/D変換制御 /ステータス レジスタ(ADCSRA)のA/D動作許可 (ADEN)=1)

従って低電圧検出 (BOD)が許可されていないと、ACBGの設定 (=1)またはA/D変換部許可 (ADEN=1)後、使用者はアナログ比較器またはA/D変換器出力が使用される前に、基準電圧へ起動時間を与えなければなりません。ハワーダウン動作での消費電力を減らすため、使用者はハワーダウン動作へ移行する前に基準電圧がOFFされることを保証することで、上の3つの状態を避けられます。

表 20. 内部基準電圧特性

シンボル	項目	Min	Typ	Max	単位
V _{BG}	基準電圧	1.15	1.23	1.40	V
t _{BG}	起動時間		40	70	μs
I _{BG}	消費電流		10		μA

ウォッチドッグ タイマ

ウォッチドッグ タイマは 1MHzで動く独立したチップ上の発振器からクロック駆動されます。これは VCC=5Vでの代表値です。他の VCC電圧での代表値については [特性データ](#)をご覧ください。ウォッチドッグ タイマ前置分周器の制御により、ウォッチドッグ リセット間隔は [34頁の表 22](#)で示されるように調整できます。ウォッチドッグ リセット(WDR)命令はウォッチドッグ タイマをリセットします。ウォッチドッグ タイマはそれが禁止される時とチップ リセットが起こる時もリセットされます。8つの異なるクロックサイクル周期は、このリセット周期を決めるために選択できます。別のウォッチドッグ リセットなしにリセット周期が経過すると、ATmega128はリセットし、リセット後から実行します。ウォッチドッグ リセットの詳細タイミングについては [3頁](#)を参照してください。

予期せぬウォッチドッグ禁止や予期せぬ計時周期変更を防ぐため、3つの異なる安全レベルが表 21で示されるWDTONとM103Cヒューズにより選択されます。安全レベルはATmega103での設定に相当します。どの安全レベルでもWDTの許可に制限はありません。詳細については [34頁の「ウォッチドッグ タイマ設定変更の時間制限手順」](#)を参照してください。

図 28.ウォッチドッグ タイマ構成図

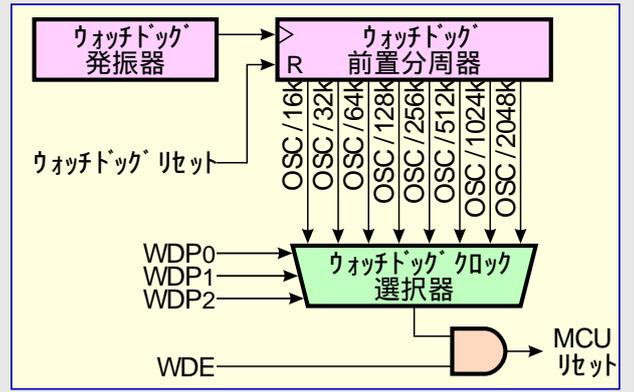


表 21.M103CとWDTONヒューズ設定によるウォッチドッグ機能設定

M103C ヒューズ	WDTON ヒューズ	安全レベル	WDT初期状態	WDT禁止方法	計時時間変更方法
非プログラム (1)	非プログラム (1)	1	禁止	時間制限	時間制限
非プログラム (1)	プログラム (0)	2	許可	なし(常時許可)	時間制限
プログラム (0)	非プログラム (1)	0	禁止	時間制限	制限なし
プログラム (0)	プログラム (0)	2	許可	なし(常時許可)	時間制限

ウォッチドッグ タイマ制御レジスタ (Watchdog Timer Control Register) WDTCR

ビット	7	6	5	4	3	2	1	0	
\$21 (\$41)	-	-	-	WDCE	WDE	WDP2	WDP1	WDP0	WDTCR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~ 5 - Res :予約 (Reserved)

これらのビットは予約されており、常に 0として読まれます。

ビット4 - WDCE :ウォッチドッグ変更許可 (Watchdog Change Enable)

ウォッチドッグ許可 (WDE)ビットが論理 0を書かれるとき、このビットはセット(1)されなければなりません。さもなければ、ウォッチドッグは禁止されません。一旦 1を書かれると、ハードウェアが 4クロックサイクル後、このビットをクリア (0)します。ウォッチドッグ禁止手順についてはWDEビットの記述を参照してください。安全レベル1と2では前置分周選択ビットを変更する時も、このビットがセット(1)されなければなりません。34頁の「ウォッチドッグ タイマ設定変更の時間制限手順」をご覧ください。

ビット3 - WDE :ウォッチドッグ許可 (Watchdog Enable)

ウォッチドッグ許可 (WDE)が論理 1を書かれるとウォッチドッグ タイマが許可され、WDEが論理 0を書かれるとウォッチドッグ タイマ機能が禁止されます。WDEはウォッチドッグ変更許可 (WDCE)ビットが論理レベル 1を持つ場合だけクリア (0)できます。許可されているウォッチドッグ タイマを禁止するには、次の手順に従わなければなりません。

同じ操作 命令 内で、ウォッチドッグ変更許可 (WDCE)ビットとウォッチドッグ許可 (WDE)ビットに論理 1を書きます。例え禁止操作を始める前のWDEが 1に設定されていても、論理 1がWDEに書かれなければなりません。

次からの 4クロックサイクル内で、論理 0をWDEに書きます。これがウォッチドッグを禁止します。

安全レベル2では上記の手順でもウォッチドッグ タイマを禁止することができません。34頁の「ウォッチドッグ タイマ設定変更の時間制限手順」をご覧ください。

ビット2,1,0 - WDP2WDP1WDP0 : ウォッチドッグ タイム前置分周選択 (Watchdog Timer Prescaler 2,1 and 0)

このWDP2~ 0ビットはウォッチドッグ タイムが許可される時のウォッチドッグ タイムの前置分周を決めます。異なる前置分周値と対応する計時完了周期は表 22に示されます。

表 22. ウォッチドッグ前置分周選択

WDP2	WDP1	WDP0	WDT発振サイクル数	代表的な計時完了周期	
				VCC=3.0V	VCC=5.0V
0	0	0	16k (16,384)	14.8ms	14.0ms
0	0	1	32k (32,768)	29.6ms	28.1ms
0	1	0	64k (65,536)	59.1ms	56.2ms
0	1	1	128k (131,072)	0.12s	0.11s
1	0	0	256k (262,144)	0.24s	0.22s
1	0	1	512k (524,288)	0.47s	0.45s
1	1	0	1024k (1,048,576)	0.95s	0.9s
1	1	1	2048k (2,097,152)	1.9s	1.8s

次のコード例はウォッチドッグ(WDT)をOFFに切り替えるアセンブリ言語とC言語の関数を示します。本例は (例えば全割り込み禁止により) 割り込みが制御され、それ故これらの関数実行中に割り込みが起きない前提です。

アセンブリ言語プログラム例

```

WDT_OFF:   WDR           ;ウォッチドッグ タイム リセット
           IN            R16,WDTCR
           ORI           R16,(1<<WDCE)|(1<<WDE) ;現WDTCR値を取得
           OUT           WDTCR,R16           ;WDCEとWDEに論理 1値を設定
           LDI           R16,(0<<WDE)       ;WDCEとWDEに論理 1書き込み
           OUT           WDTCR,R16           ;WD論理 0値を取得
           RET           ;ウォッチドッグ禁止
           ;呼び出し元へ復帰
    
```

C言語プログラム例

```

void WDT_off(void)
{
    __watchdog_reset();           /* ウォッチドッグ タイム リセット */
    WDTCR |= (1<<WDCE)|(1<<WDE);  /* WDCEとWDEに論理 1書き込み */
    WDTCR = 0x00;                 /* ウォッチドッグ禁止 */
}
    
```

ウォッチドッグ タイム設定変更の時間制限手順

ウォッチドッグ設定変更手順は安全レベル間で僅かに異なります。各レベルに対して独立した手順が記述されます。

安全レベル0 この動作種別はATmega103にみられるウォッチドッグ操作と互換性があります。ウォッチドッグ タイムは初めに禁止されますが、どんな制限もなくウォッチドッグ許可(WDE)ビットに 1を書くことにより許可できます。ウォッチドッグ計時完了周期は制限なしに何時でも変更できます。許可したウォッチドッグを禁止するには [33頁で記述した手順 \(WDEビット内容\)](#) に従わなければなりません。

安全レベル1 この動作種別ではウォッチドッグ タイムが初めに禁止されますが、どんな制限もなくウォッチドッグ許可(WDE)ビットに 1を書くことにより許可できます。ウォッチドッグ計時完了周期を変更または許可したウォッチドッグ タイムを禁止する時に時間制限手順が必要とされます。許可したウォッチドッグ タイムを禁止や、ウォッチドッグ計時完了周期を変更するには、次の手順に従わなければなりません。

同じ操作 命令 でウォッチドッグ変更許可(WDCE)とWDEに論理 1を書きます。WDEビットの直前の値に拘らず、論理 1がWDEに書かれなければなりません。

次からの 4クロックサイクル内に同じ操作 命令 で欲したWDEとウォッチドッグ タイム前置分周選択(WDP2~ 0)ビットを書きますが、WDCEビットはクリア(0)されてです。

安全レベル2 この動作種別ではウォッチドッグ タイムが常に許可され、WDEビットは常に 1として読めます。時間制限手順はウォッチドッグ計時完了周期を変更する時に必要とされます。ウォッチドッグ計時完了周期を変更するには、次の手順に従わなければなりません。

同じ操作 命令 でWDCEとWDEに論理 1を書きます。WDEビットが常にセット(1)されていて、WDEは時間制限手順を開始するために 1を書かれなければなりません。

次からの 4クロックサイクル内に同じ操作 命令 で欲したWDP2~ 0ビットを書きますが、WDCEビットはクリア(0)されてです。WDEビットに書かれた値は無関係です。

割り込み

本項は ATmega128 により実行される割り込み操作の詳細を記述します。AVR 割り込み操作の一般説明については 9 頁の「リセット割り込みの扱い」を参照してください。

ATmega128 の割り込みベクタ

表 23. リセット割り込みのベクタ

ベクタ番号	プログラム アドレス (注2)	発生元	備考
1	\$0000 (注1)	リセット	電源 ON, WDT, BOD 等の各種 リセット
2	\$0002	NT0	外部割り込み要求 0
3	\$0004	NT1	外部割り込み要求 1
4	\$0006	NT2	外部割り込み要求 2
5	\$0008	NT3	外部割り込み要求 3
6	\$000A	NT4	外部割り込み要求 4
7	\$000C	NT5	外部割り込み要求 5
8	\$000E	NT6	外部割り込み要求 6
9	\$0010	NT7	外部割り込み要求 7
10	\$0012	タイマ/カウンタ2 COMP2	タイマ/カウンタ2 比較一致
11	\$0014	タイマ/カウンタ2 OVF2	タイマ/カウンタ2 オーバーフロー
12	\$0016	タイマ/カウンタ1 CAPT1	タイマ/カウンタ1 捕獲 (キャプチャ発生)
13	\$0018	タイマ/カウンタ1 COMP1A	タイマ/カウンタ1 比較 A 一致
14	\$001A	タイマ/カウンタ1 COMP1B	タイマ/カウンタ1 比較 B 一致
15	\$001C	タイマ/カウンタ1 OVF1	タイマ/カウンタ1 オーバーフロー
16	\$001E	タイマ/カウンタ0 COMP0	タイマ/カウンタ0 比較一致
17	\$0020	タイマ/カウンタ0 OVF0	タイマ/カウンタ0 オーバーフロー
18	\$0022	SPI STC	SP 転送完了
19	\$0024	USART0 RX	USART0 受信完了
20	\$0026	USART0 UDRE	USART0 送信バッファ空き
21	\$0028	USART0 TX	USART0 送信完了
22	\$002A	A/D 変換器 ADC	A/D 変換完了
23	\$002C	EEPROM EE RDY	EEPROM 操作可
24	\$002E	アナログ比較器 ANA COMP	アナログ比較器出力遷移
25	\$0030 (注3)	タイマ/カウンタ1 COMP1C	タイマ/カウンタ1 比較 C 一致
26	\$0032 (注3)	タイマ/カウンタ3 CAPT3	タイマ/カウンタ3 捕獲 (キャプチャ発生)
27	\$0034 (注3)	タイマ/カウンタ3 COMP3A	タイマ/カウンタ3 比較 A 一致
28	\$0036 (注3)	タイマ/カウンタ3 COMP3B	タイマ/カウンタ3 比較 B 一致
29	\$0038 (注3)	タイマ/カウンタ3 COMP3C	タイマ/カウンタ3 比較 C 一致
30	\$003A (注3)	タイマ/カウンタ3 OVF3	タイマ/カウンタ3 オーバーフロー
31	\$003C (注3)	USART1 RX	USART1 受信完了
32	\$003E (注3)	USART1 UDRE	USART1 送信バッファ空き
33	\$0040 (注3)	USART1 TX	USART1 送信完了
34	\$0042 (注3)	2線シリアル インターフェイス TWI	2線シリアル インターフェイス状態変化
35	\$0044 (注3)	SPM 命令 SPM RDY	SPM 命令操作可

注 1: BOOTRST (ヒューズ) がプログラム (0) されると、デフォルトはリセットでブートローダ アドレスへ飛びます。17 頁の「ブートローダ書き込み中読み出し可能な自己プログラミング」をご覧ください。

注 2: MCU 制御レジスタ MCUCR の割り込みベクタ選択 (MSEL) ビットがセット (1) されると、割り込みベクタはブートフラッシュ領域先頭部) へ移動されます。そして各割り込みベクタのアドレスは、この表のアドレスがブートフラッシュ領域の先頭アドレスに加算されます。

注 3: アドレス \$0030 ~ \$0044 の割り込みは ATmega103 互換動作では存在しません。

表 24 は BOOTRST (ヒューズ) と MSEL 割り込みベクタ選択ビットの様々な組み合わせに対するリセット割り込みベクタの配置を示します。プログラムが決して割り込み元を許可しないなら、割り込みベクタは使用されず、これらの位置に通常のプログラムコードが置けます。これはリセットベクタが応用領域の一方、割り込みベクタがブー領域、またはその逆の場合でも同様です。

表 24. リセット割り込みベクタの配置

BOOTRST	MSEL	リセットベクタアドレス	割り込みベクタ先頭アドレス
非プログラム (1)	0	\$0000	\$0002
	1	\$0000	ブー領域先頭アドレス + \$0002
プログラム (0)	0	ブー領域先頭アドレス	\$0002
	1	ブー領域先頭アドレス	ブー領域先頭アドレス + \$0002

注: ブー領域先頭アドレスは 185 頁の表 112 で示されます。

ATmega128での最も代表的かつ一般的なリセット割り込みのベクタアドレス用設定を次に示します。

アドレス	ラベル	命令	コメント
\$0000		JMP RESET	;各種リセット
\$0002		JMP EXT_INT0	;外部割り込み要求 0
\$0004		JMP EXT_INT1	;外部割り込み要求 1
\$0006		JMP EXT_INT2	;外部割り込み要求 2
\$0008		JMP EXT_INT3	;外部割り込み要求 3
\$000A		JMP EXT_INT4	;外部割り込み要求 4
\$000C		JMP EXT_INT5	;外部割り込み要求 5
\$000E		JMP EXT_INT6	;外部割り込み要求 6
\$0010		JMP EXT_INT7	;外部割り込み要求 7
\$0012		JMP TIM2_COMP	;タイマ/カウンタ2比較一致
\$0014		JMP TIM2_OVF	;タイマ/カウンタ2オーバーフロー
\$0016		JMP TIM1_CAPT	;タイマ/カウンタ1捕獲 (キャプチャ発生)
\$0018		JMP TIM1_COMPA	;タイマ/カウンタ1比較 A一致
\$001A		JMP TIM1_COMPB	;タイマ/カウンタ1比較 B一致
\$001C		JMP TIM1_OVF	;タイマ/カウンタ1オーバーフロー
\$001E		JMP TIM0_COMP	;タイマ/カウンタ0比較一致
\$0020		JMP TIM0_OVF	;タイマ/カウンタ0オーバーフロー
\$0022		JMP SPI_STC	;SP転送完了
\$0024		JMP USART0_RXC	;USART0受信完了
\$0026		JMP USART0_DRE	;USART0送信バッファ空
\$0028		JMP USART0_TXC	;USART0送信完了
\$002A		JMP ADC	;A/D変換完了
\$002C		JMP EE_RDY	;EEPROM操作可
\$002E		JMP ANA_COMP	;アナログ比較器出力遷移
\$0030		JMP TIM1_COMPC	;タイマ/カウンタ1比較 C一致
\$0032		JMP TIM3_CAPT	;タイマ/カウンタ3捕獲 (キャプチャ発生)
\$0034		JMP TIM3_COMPA	;タイマ/カウンタ3比較 A一致
\$0036		JMP TIM3_COMPB	;タイマ/カウンタ3比較 B一致
\$0038		JMP TIM3_COMPC	;タイマ/カウンタ3比較 C一致
\$003A		JMP TIM3_OVF	;タイマ/カウンタ3オーバーフロー
\$003C		JMP USART1_RXC	;USART1受信完了
\$003E		JMP USART1_DRE	;USART1送信バッファ空
\$0040		JMP USART1_TXC	;USART1送信完了
\$0042		JMP TWI	;2線シリアルインターフェース状態変化
\$0044		JMP SPM_RDY	;SPM命令操作可
;			
\$0046	RESET:	LDI R16, HIGH(RAVEND)	;RAM最終アドレス上位を取得
\$0047		OUT SPH, R16	;スタックポインタ上位を初期化
\$0048		LDI R16, LOW(RAVEND)	;RAM最終アドレス下位を取得
\$0049		OUT SPL, R16	;スタックポインタ下位を初期化
			;以下、I/O初期化など

BOOTRSTヒューズが非プログラム (1) フラッシュ領域容量が 8Kバイトに設定され、どの割り込みが許可されるのにも先立ちMCU制御レジスタ (MCUCR) の割り込みベクタ選択 (MSEL) ビットがセット (1) される時の、最も代表的かつ一般的なリセット割り込みのベクタアドレス用設定を次に示します。

アドレス	ラベル	命令	コメント
\$0000	RESET:	LDI R16, HIGH(RAVEND)	;RAM最終アドレス上位を取得 (応用プログラム開始)
\$0001		OUT SPH, R16	;スタックポインタ上位を初期化
\$0002		LDI R16, LOW(RAVEND)	;RAM最終アドレス下位を取得
\$0003		OUT SPL, R16	;スタックポインタ下位を初期化
			;以下、I/O初期化など
		.ORG \$F002	;ブートプログラム領域が 8Kバイトの場合
\$F002		JMP EXT_INT0	;外部割り込み要求 0
\$F004		JMP EXT_INT1	;外部割り込み要求 1
\$F044		JMP SPM_RDY	;SPM命令操作可

BOOTRSTヒューズがプログラム(0)、ブート領域容量が8Kバイトに設定されるとき、最も代表的かつ一般的なリセット割り込みのベクタアドレス用設定を次に示します。

アドレス	ラベル	命令	コメント
		.ORG \$0002	;割り込みベクタ先頭
\$0002		JMP EXT_INT0	外部割り込み要求 0
\$0004		JMP EXT_INT1	外部割り込み要求 1
\$0044		JMP SPM_RDY	;SPM命令操作可 ;以下、プログラムなど
		.ORG \$F000	;ブートプログラム領域が8Kバイトの場合
\$F000	RESET:	LDI R16,HIGH(RAVEND)	;RAM最終アドレス上位を取得 (プログラム開始)
\$F001		OUT SPH,R16	;スタックポインタ上位を初期化
\$F002		LDI R16,LOW(RAVEND)	;RAM最終アドレス下位を取得
\$F003		OUT SPL,R16	;スタックポインタ下位を初期化 ;以下、I/O初期化など

BOOTRSTヒューズがプログラム(0)、ブート領域容量が8Kバイトに設定され、どの割り込みが許可されるのにも先立ちMCU制御レジスタ(MCUCR)の割り込みベクタ選択(MSEL)ビットがセット(1)されるときの、最も代表的かつ一般的なリセット割り込みのベクタアドレス用設定を次に示します。

アドレス	ラベル	命令	コメント
		.ORG \$F000	;ブートプログラム領域が8Kバイトの場合
\$F000		JMP RESET	各種リセット (BOOTRSTヒューズ=0)
\$F002		JMP EXT_INT0	外部割り込み要求 0
\$F004		JMP EXT_INT1	外部割り込み要求 1
\$F044		JMP SPM_RDY	;SPM命令操作可
\$F046	RESET:	LDI R16,HIGH(RAVEND)	;RAM最終アドレス上位を取得 (プログラム開始)
\$F047		OUT SPH,R16	;スタックポインタ上位を初期化
\$F048		LDI R16,LOW(RAVEND)	;RAM最終アドレス下位を取得
\$F049		OUT SPL,R16	;スタックポインタ下位を初期化 ;以下、I/O初期化など

応用領域とブート領域間の割り込みベクタ移動

MCU制御レジスタ(MCUCR)は割り込みベクタテーブルの配置を制御します。

MCU制御レジスタ (MCU Control Register) MCUCR

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	SRE	SRW10	SE	SM1	SM0	SM2	MSEL	MCE	MCUCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット1 - MSEL :割り込みベクタ選択 (Interrupt Vector Select)

MSELビットがクリア(0)されると、割り込みベクタはフラッシュメモリの先頭に配置されます。このビットがセット(1)されると、割り込みベクタはフラッシュメモリのブートローダ領域の始まりへ移動されます。ブートフラッシュ領域先頭の実際のアドレスは [BOOTSZレジスタ](#) により決定されます。詳細については [17頁の「ブートローダ書き込み中読み出し可能な自己プログラミング」項目を参照](#) してください。割り込みベクタテーブルの予期せぬ変更を防ぐため、MSELビットの変更は特別な書き込み手順に従わなければなりません。

割り込みベクタ変更許可 (MCE)ビットに 1を書きます。

4サイクル内に、欲した値を MSELに書き、同時に 0を MCEへ書きます。

この手順が実行される間、割り込みは自動的に禁止されます。割り込みは MCEがセット(1)されるサイクルで禁止され、後続の MSELに書く命令の後まで禁止されたままです。MSELが書かれなければ、割り込みは 4サイクルに対して禁止されたままです。[ステータスレジスタ\(SREG\)の全割り込み許可 \(I\)ビット](#)は、この自動禁止により影響されません。

注 :割り込みベクタがブートローダ領域に配置され、BLB02ブートロックビットがプログラム(0)されると、応用領域から実行する間中、割り込みが禁止されます。割り込みベクタが応用領域に配置され、BLB12ブートロックビットがプログラム(0)されると、ブートローダ領域から実行する間中、割り込みが禁止されます。ブートロックビットの詳細については、[17頁の「ブートローダ書き込み中読み出し可能な自己プログラミング」](#)を参照してください。

ビット0 - MCE :割り込みベクタ変更許可 (Interrupt Vector Change Enable)

MCEビットは割り込みベクタ選択 (MSEL)ビットの変更を許可するために、論理 1を書かれなければなりません。MCEは MSELが書かれる時、または MCEが書かれた後の 4サイクル後、ハードウェアによりクリア(0)されます。上記 MSELで説明されるように MCEビットのセット(1)は割り込みを一時的に禁止します。以下のコード例をご覧ください。

アセンブリ言語プログラム例

```

MOVE_IVT:  LDI    R16, (1<<IVCE)           ; MCE論理 1値を取得
           OUT    MCUCR,R16              ; MCEに論理 1書き込み
           LDI    R16, (1<<IVSEL)        ; MSEL論理 1値を取得
           OUT    MCUCR,R16              ; ブ-領域へ割り込みベクタを移動
           RET                             ; 呼び出し元へ復帰
    
```

C言語プログラム例

```

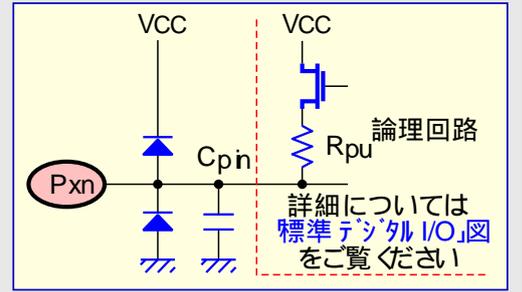
void Move_interrupts(void)
{
    MCUCR = (1<<IVCE);           /* MCEに論理 1書き込み */
    MCUCR = (1<<IVSEL);          /* ブ-領域へ割り込みベクタを移動 */
}
    
```

入出力ポート

序説

すべてのAVRのポートは標準デジタルI/Oポートとして使用されるとき、真の読み-変更-書き(リード-モディファイ-ライト)を機能的に持ちます。これはSBとCB命令で他のどの方向をも無意識に変更することなく、一つのポートピンの方向を変更できることを意味します。出力として設定されていれば駆動値を変更、または(入力として設定されていればプルアップ抵抗を許可/禁止するときにも同じく適用されます。各出力バッファは高い吐き出し(ソース)と引き込み(シンク)能力の両方で対称的な駆動特性を持ちます。このピンドライバはLED表示器を直接駆動するのに十分な強さです。すべてのポートピンは個別に選択可能な、供給電圧で抵抗値が変化しないプルアップ抵抗を持っています。すべてのI/Oピンは図29で示されるようにVCCとGNDの両方に保護ダイオードを持っています。各値の完全な一覧については205頁の「電気的特性」を参照してください。

図 29. 入出力ピン等価回路



本項内の全てのレジスタとビットの参照は一般形で記されます。小文字のxはポート番号文字、小文字のnはビット番号を表します。けれどもプログラム内でレジスタやビット定義を使用するとき、正確な形式(例えば、ここで一般に記されたPORTxnがポートnのビットxに対してはPORTB3が使用されなければなりません。物理的なI/Oレジスタとビット位置は5頁の「I/Oポート用レジスタ」で一覧されます。

各々一つの出力レジスタ(PORTx)、方向レジスタ(DDRx)、入力レジスタ(PNx)の各ポートに対して、32 I/Oメモリアドレス位置が割り当てられます。入力レジスタのI/O位置は読むだけで、一方出力レジスタと方向レジスタは読み書き両方です。加えて特殊I/O機能レジスタ(SFOR)のプルアップ禁止(PUD)ビットはセット(1)されると、全ポートで全ビットに対してプルアップ機能を禁止します。

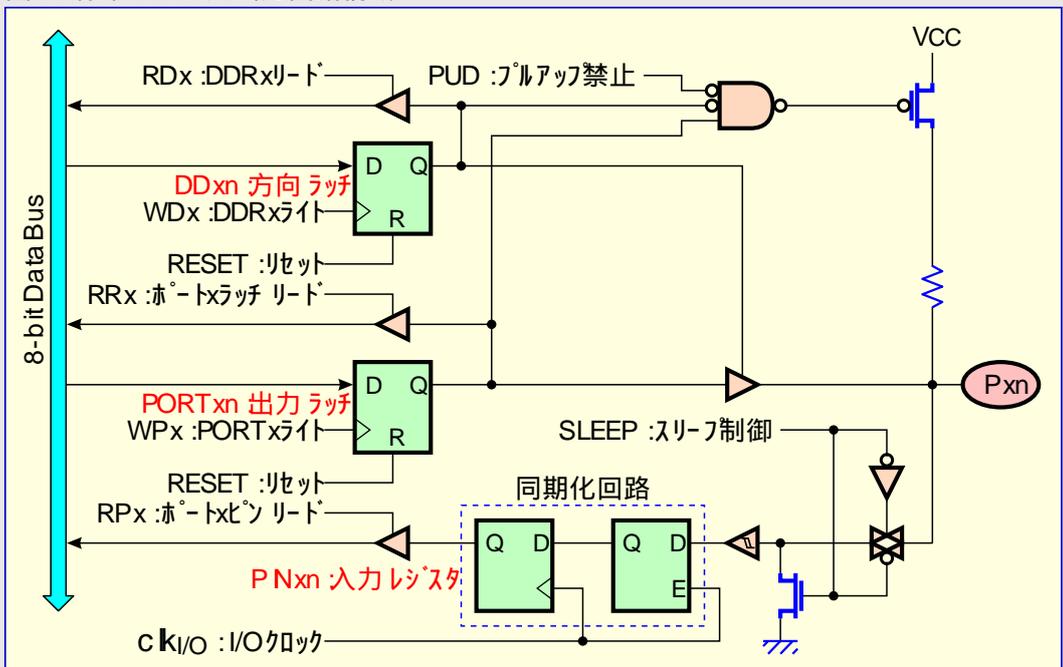
標準デジタルI/OとしてのI/Oポートの使用は次の「標準デジタル入出力としてのポート」で記述されます。多くのポートピンはデバイスの周辺機能用の兼用機能と多重化されます。ポートピンとの各兼用機能のインターフェース法は4頁の「兼用ポート機能」で記述されます。兼用機能の完全な記述については個別機能部項目を参照してください。

ポートピンのいくつかの兼用機能の許可は、そのポート内の他のピンの標準デジタル入出力としての使用に影響しないことに注意してください。

標準デジタル入出力としてのポート

このポートは任意の内部プルアップ付き双方向I/Oポートです。図30は、ここで属にPxnと呼ばれるI/Oポートピンの一つの機能説明を示します。

図 30. 標準デジタル入出力回路構成



注: WPx, WDx, RRx, RPx, RDxは同一ポート内の全ピンで共通です。
cK_I/O, SLEEP, PUDは全ポートで共通です。

ピン設定

各ポートピンは3つのレジスタビット DDx_n $PORTx_n$ $PINx_n$ から成ります。54頁の「I/Oポート用レジスタ」で示されるように、 DDx_n ビットは DDR_x I/Oアドレス、 $PORTx_n$ ビットは $PORT_x$ I/Oアドレス、 $PINx_n$ ビットは PIN_x I/Oアドレスでアクセスされます。

DDR_x レジスタ内の DDx_n ビットは、そのピンの方向を選択します。 DDx_n が論理 1 を書かれると Px_n は出力ピンとして設定されます。 DDx_n が論理 0 を書かれると Px_n は入力ピンとして設定されます。

そのピンが入力ピンとして設定されるとき、 $PORTx_n$ が論理 1 を書かれると、プルアップ抵抗が活性 (有効) にされます。プルアップ抵抗を OFF に切り替えるには、 $PORTx_n$ が論理 0 を書かれるか、またはそのピンが出力ピンとして設定されなければなりません。ポートピンは例えばスイッチが動いていなくても、スイッチ条件が活性 (有効) になると Hi-Z にされます。

そのピンが出力ピンとして設定されるとき、 $PORTx_n$ が論理 1 を書かれると、そのポートピンは High (1) に駆動されます。そのピンが出力ピンとして設定されるとき、 $PORTx_n$ が論理 0 を書かれると、そのポートピンは Low (0) に駆動されます。

Hi-Z 入力 ($DDx_n=0, PORTx_n=0$) と High 出力 ($DDx_n=1, PORTx_n=1$) 間の切り替え時、プルアップ許可入力 ($DDx_n=0, PORTx_n=1$) または Low 出力 ($DDx_n=1, PORTx_n=0$) のどちらかの中間状態が生じるに違いありません。通常、ハイインピーダンス環境は強力な High (ソース) ドライバとプルアップ間の違いに気付かないので、プルアップが許可された状態は十分受け入れられます。この事例でないならば、全ポートの全プルアップを禁止するために、特殊 I/O 機能レジスタ (SFDR) のプルアップ禁止 (PUD) ビットがセット (1) できます。

プルアップ入力と Low 出力間の切り替えは同じ問題を発生します。使用者は中間状態として Hi-Z 入力 ($DDx_n=0, PORTx_n=0$) または High 出力 ($DDx_n=1, PORTx_n=1$) のどちらかを使用しなければなりません。

表 25 はピン値に対する制御信号の一覧を示します。

表 25. ポートピンの設定

DDx_n	$PORTx_n$	PUD (SFDR)	入出力	プルアップ抵抗	備考
0	0	X	入力	なし	ハイインピーダンス (Hi-Z)
0	1	0	入力	あり	Px_n に外部から Low を入力するとソース電流が流れます。
0	1	1	入力	なし	ハイインピーダンス (Hi-Z)
1	0	X	出力	なし	Low (シンク出力)
1	1	X	出力	なし	High (ソース出力)

ピン値の読み込み

DDx_n 方向ビットの設定に関係なく、ポートピンは $PINx_n$ レジスタビットを通して読めます。図 30 で示されるように $PINx_n$ レジスタビットと先行するラッチは同期化回路を構成します。これは物理ピンが内部クロックのエッジ付近で値を変える場合の未定義状態 (メタステーブル) を避けるために必要とされますが、それは遅延も持ち込みます。図 31 は外部的に加えられたピン値を読むときの同期化タイミング図を示します。伝播遅延の最小と最大は各々 t_{pdmin} と t_{pdmax} で示されます。

図 31 でシステムクロックの最初の立ち下りエッジのすぐ後から始まるクロック周期を考察してください。このラッチはクロックが Low のときに閉じ、クロックが High のとき同期ラッチ信号の斜線部分で示されるように通過 (トランスパレント) となります。この信号値はシステムクロックが Low になるときに保持 (ラッチ) されます。それが続くクロックの立ち上りエッジで $PINx_n$ レジスタに取り込まれます。2つの矢印 t_{pdmin} と t_{pdmax} により示されるように、ピン上の単一信号遷移は、出現時点に依存して 0.5~1.5 システムクロック周期遅らされます。

ソフトウェアが指定したピン値を読み戻すとき、図 32 で示されるように NOP 命令が挿入されなければなりません。OUT 命令はシステムクロックの立ち上りエッジで同期ラッチを設定します。この場合、同期化回路を通過する遅延時間 (t_{pd}) は 1 システムクロック周期です。

図 31. 外部供給ピン値読み込み時の同期化

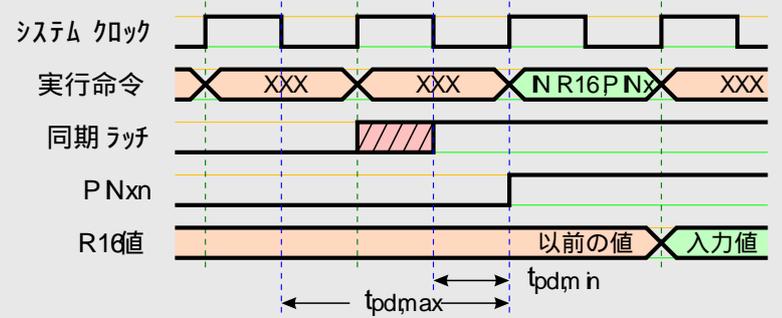
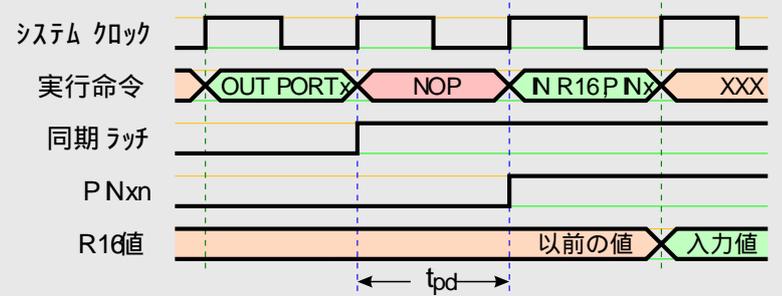


図 32. プログラムで設定したピン値読み戻し時の同期化



次のコード例はポートBの0と1をHigh出力、2と3をLow出力、6と7をプルアップ指定として4~5を入力に設定する方法を示します。結果のピン値が再び読み戻されますが、前記で検討されたように、いくつかのピンへ直前に指定された値を読み戻すことができるようにNOP命令が挿入されます。

```

アセンブリ言語プログラム例
~
LDI    R16, (1<<PB7)|(1<<PB6)|(1<<PB1)|(1<<PB0) ;プルアップとHigh値を取得
LDI    R17, (1<<DDB3)|(1<<DDB2)|(1<<DDB1)|(1<<DDB0);出力ビット値を取得
OUT    PORTB,R16 ;プルアップとHigh値を設定
OUT    DDRB,R17 ;入出力方向を設定
NOP    ;同期化遅延対処
IN     R16,PINB ;ピン値読み戻し
~
;

C言語プログラム例
unsigned char i;
~
PORTB = (1<<PB7)|(1<<PB6)|(1<<PB1)|(1<<PB0); /* プルアップとHigh値を設定 */
DDRB = (1<<DDB3)|(1<<DDB2)|(1<<DDB1)|(1<<DDB0); /* 入出力方向を設定 */
__no_operation(); /* 同期化遅延対処 */
i = PINB; /* ピン値読み戻し */
~
/* */

```

注 :アセンブリ言語プログラムについてはプルアップがピン0,1,6,7に設定されてから、ビット0と1の強力なHighドライブとしての再定義、ビット2と3のLowドライブとしての定義、方向ビットが正しく設定されるまでの時間を最小とするために2つの一時レジスタが使用されます。

デジタル入力許可とスリープ動作

図30で示されるように、デジタル入力信号はシュミットトリガの入力をGNDにクランプできます。この図でSLEEPと印された信号は、入力信号のいくつかが開放のまま、またはVCC/2付近のアナログ信号電圧を持つ場合の高消費電力を避けるため、**パワーダウン動作**、**パワーセーフ動作**、**スタンバイ動作**、**拡張スタンバイ動作**でMCUSLEEP制御器によりセット(1)されます。

SLEEPは外部割り込みピンとして許可されたポートピンに対しては無視されます。外部割り込み要求が許可されないならば、SLEEPは他のピンについてと同様に有効です。SLEEPは42頁の**兼用ポート機能**で記載されるように様々な他の兼用機能によっても無視されます。

外部割り込みが許可されていない"立ち上りエッジ、立ち下りエッジまたは論理変化(両エッジ)割り込み"として設定された非同期外部割り込みピンに論理1が存在すると、上で言及したスリープ動作から復帰再開するとき、これらスリープ動作でのクランプが要求された論理変化を生ずるので、対応する外部割り込み要求フラグが設定されます。

未接続ピン

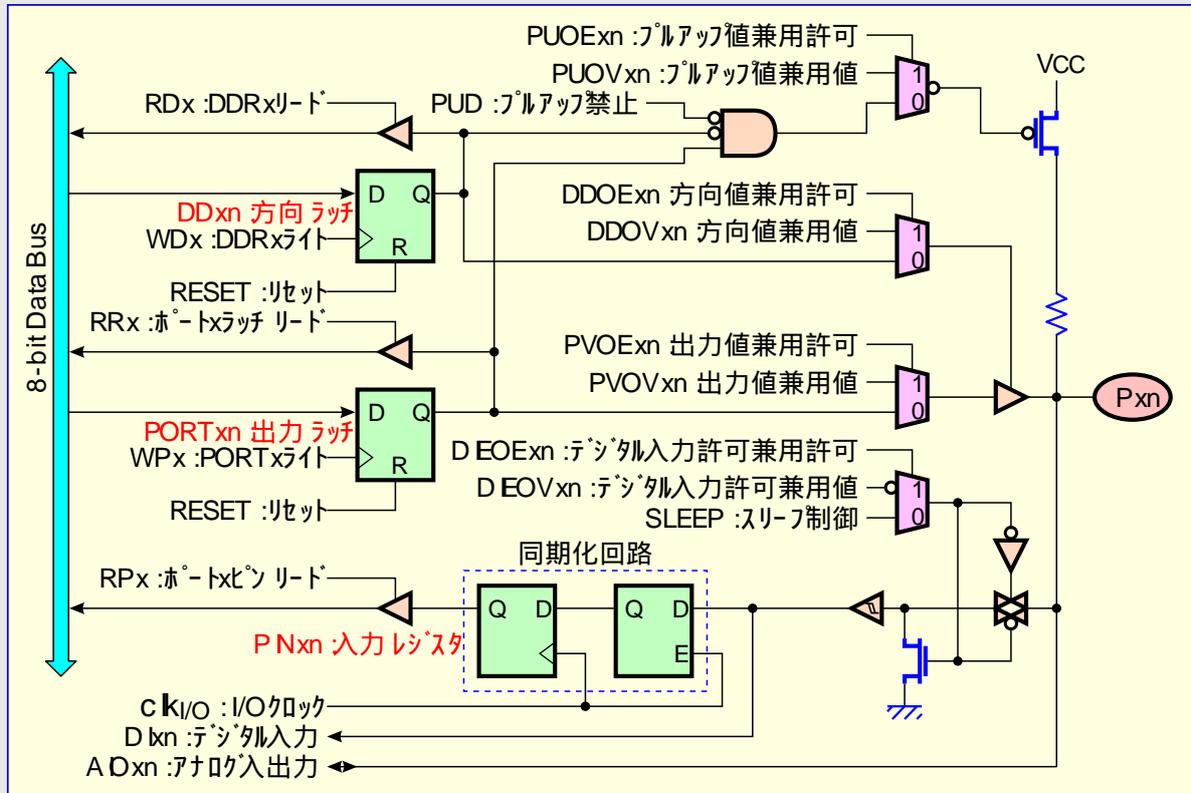
いくつかのピンが未使用にされる場合、それらのピンが定義されたレベルを持つことを保証することが推奨されます。例えば上記のような深いスリープ動作で多くのデジタル入力が禁止されるとしても、デジタル入力が許可される他の全ての動作(リセット、通常動作、アイドル動作)で消費電流削減のため、フローティング入力は避けられるべきです。

未使用ピンの定義されたレベルを保証する最も簡単な方法は内部プルアップを許可することです。この場合、リセット中のプルアップは禁止されます。リセット中の低消費電力が重要ならば、外部プルアップまたはプルダウンを使用することが推奨されます。未使用ピンを直接GNDまたはVCCに接続することは、ピンが偶然に出力として設定されると過電流を引き起こす可能性があるため推奨されません。

兼用ポート機能

多くのポートピンには標準デジタル入出力に加え兼用機能があります。図 33は単純化された図 30でのポートピン制御信号が兼用機能により、どう重複できるかを示します。この重複信号は全てのポートピンに存在する訳ではありませんが、この図はAVRマイクロコントローラファミリの全ポートピンに適用できる一般的な記述として取り扱います。

図 33 兼用ポート機能入出力回路構成



注 : WPx, WDx, RRx, RPx, RDxは同一ポート内の全ピンで共通です。
c k_{I/O}, SLEEP, PUDは全ポートで共通です。他の信号は各ピン固有です。

表 26は重複兼用信号の機能一覧を示します。図 33で示すピンとポートは次表で示されません。重複兼用信号は兼用機能を持つ機能部で内部的に生成されます。

表 26 兼用機能用兼用信号の一般定義

信号略名	信号名	意味
PUOE	プルアップ値兼用許可	1で、プルアップ許可はPUOV信号で制御され、0の場合、DDxn=0, PORTxn=1, PUD=0でプルアップが許可されます。
PUOV	プルアップ値兼用値	PUOE=1時、DDxn, PORTxn, PUDの値に関係なく、プルアップの有(1)/無(0)を指定します。
DDOE	方向値兼用許可	1で、出力ドライバはDDOV信号で制御され、0の場合、DDxnレジスタ値で制御されます。
DDOV	方向値兼用値	DDOE=1時、DDxnレジスタ値に関係なく、出力ドライバのON(1)/OFF(0)を制御します。
PVOE	出力値兼用許可	1で出力ドライバがONならば、ポート値はPVOV信号で制御されます。出力ドライバがONで0の場合、ポート値はPORTxnレジスタ値で制御されます。
PVOV	出力値兼用値	PVOE=1時、PORTxnレジスタ値に関係なく、ポート値を制御(1/0)します。
DIOE	デジタル入力許可兼用許可	1で、デジタル入力許可はDIOV信号で制御され、0の場合、MCUの状態(通常動作、スリープ動作)により決定されます。
DIOV	デジタル入力許可兼用値	DIOE=1時、MCUの状態(通常動作、スリープ動作)に関係なく、デジタル入力を許可(1)/禁止(0)します。
DI	デジタル入力	兼用機能用デジタル入力です。この信号は図上でシュミットトリカ出力に接続されていますが、これは同期化前となります。この信号はクックとしての使用を除き、各兼用機能自身が同期化します。
AD	アナログ入出力	兼用機能用アナログ入出力です。この信号はピンに直接接続され、双方向使用ができます。

次節は兼用機能に関連する重複兼用信号と各ポートの兼用機能を簡単に記述します。さらに先の詳細については兼用機能の記述を参照してください。

特殊 I/O機能レジスタ (Special Function I/O Register) SFDR

ビット	7	6	5	4	3	2	1	0	
\$20 (\$40)	TSM	-	-	-	ACME	PUD	PSR0	PSR321	SFDR
Read/Write	R/W	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット2 - PUD :プルアップ禁止 (Pull-up Disable)

このビットが1を書かれると、例えばDDxnとPORTxnレジスタがプルアップを許可 (DDxn=0, PORTxn=1) に設定されていても、I/Oポートのプルアップは禁止されます。この特徴についてより多くの詳細に関しては4頁の「[ピンの設定](#)」をご覧ください。

ポートAの兼用機能

ポートAには外部メモリインターフェイス用のアドレス下位ハイビタ信号線としての兼用機能があります。

表 27. ポートAピンの兼用機能

ポートピン	兼用機能
PA7	AD7 外部メモリインターフェイスアドレス/データビット7)
PA6	AD6 外部メモリインターフェイスアドレス/データビット6)
PA5	AD5 外部メモリインターフェイスアドレス/データビット5)
PA4	AD4 外部メモリインターフェイスアドレス/データビット4)
PA3	AD3 外部メモリインターフェイスアドレス/データビット3)
PA2	AD2 外部メモリインターフェイスアドレス/データビット2)
PA1	AD1 外部メモリインターフェイスアドレス/データビット1)
PA0	AD0 外部メモリインターフェイスアドレス/データビット0)

表 28と表 29はポートAの兼用機能を4頁の図 33で示される兼用信号に関連付けます。

表 28. ポートA7~ 4の兼用機能用兼用信号

信号名	PA7/AD7	PA6/AD6	PA5/AD5	PA4/AD4
PUOE	SRE	SRE	SRE	SRE
PUOV	$\overline{WR} \cdot \overline{ADA} \cdot \text{PORTA7} \cdot \text{PUD}$	$\overline{WR} \cdot \overline{ADA} \cdot \text{PORTA6} \cdot \text{PUD}$	$\overline{WR} \cdot \overline{ADA} \cdot \text{PORTA5} \cdot \text{PUD}$	$\overline{WR} \cdot \overline{ADA} \cdot \text{PORTA4} \cdot \text{PUD}$
DDOE	SRE	SRE	SRE	SRE
DDOV	$\overline{WR} \cdot \overline{ADA}$	$\overline{WR} \cdot \overline{ADA}$	$\overline{WR} \cdot \overline{ADA}$	$\overline{WR} \cdot \overline{ADA}$
PVOE	SRE	SRE	SRE	SRE
PVOV	A7·ADA D出力 $\cdot \overline{WR}$	A6·ADA D出力 $\cdot \overline{WR}$	A5·ADA D出力 $\cdot \overline{WR}$	A4·ADA D出力 $\cdot \overline{WR}$
DEOE	0	0	0	0
DEOV	0	0	0	0
DI	D7入力	D6入力	D5入力	D4入力
AD	-	-	-	-

表 29. ポートA3~ 0の兼用機能用兼用信号

信号名	PA3/AD3	PA2/AD2	PA1/AD1	PA0/AD0
PUOE	SRE	SRE	SRE	SRE
PUOV	$\overline{WR} \cdot \overline{ADA} \cdot \text{PORTA3} \cdot \text{PUD}$	$\overline{WR} \cdot \overline{ADA} \cdot \text{PORTA2} \cdot \text{PUD}$	$\overline{WR} \cdot \overline{ADA} \cdot \text{PORTA1} \cdot \text{PUD}$	$\overline{WR} \cdot \overline{ADA} \cdot \text{PORTA0} \cdot \text{PUD}$
DDOE	SRE	SRE	SRE	SRE
DDOV	$\overline{WR} \cdot \overline{ADA}$	$\overline{WR} \cdot \overline{ADA}$	$\overline{WR} \cdot \overline{ADA}$	$\overline{WR} \cdot \overline{ADA}$
PVOE	SRE	SRE	SRE	SRE
PVOV	A3·ADA D出力 $\cdot \overline{WR}$	A2·ADA D出力 $\cdot \overline{WR}$	A1·ADA D出力 $\cdot \overline{WR}$	A0·ADA D出力 $\cdot \overline{WR}$
DEOE	0	0	0	0
DEOV	0	0	0	0
DI	D3入力	D2入力	D1入力	D0入力
AD	-	-	-	-

注 : ADAはアドレス有効 (Address Active)の略でアドレスが出力される時を表します。16頁の「[外部メモリインターフェイス](#)」をご覧ください。

ポートBの兼用機能

ポートBの兼用機能は表 30で示されます。

表 30. ポートBの兼用機能

ポートピン	兼用機能
PB7	OC2 (タイマ/カウンタ2比較一致出力) OC1C (タイマ/カウンタ1比較C一致出力) 注1)
PB6	OC1B (タイマ/カウンタ1比較B一致出力)
PB5	OC1A (タイマ/カウンタ1比較A一致出力)
PB4	OC0 (タイマ/カウンタ0比較一致出力)
PB3	MISO (SPIマスタ側データ入力/スレーブ側データ出力)
PB2	MOSI (SPIマスタ側データ出力/スレーブ側データ入力)
PB1	SCK (SPIシリアルクロックマスタ側出力/スレーブ側入力)
PB0	\overline{SS} (SPIスレーブ選択入力)

注 1: OC1CはATmega103互換動作で利用できません。

兼用ピンの設定は次のとおりです。

OC2/OC1C - ポートBビット7 (PB7) :タイマ/カウンタ2比較一致出力 / タイマ/カウンタ1比較C一致出力

OC2 :タイマ/カウンタ2の比較一致出力。PB7ピンはタイマ/カウンタ2の比較一致用外部出力として扱えます。この機能を扱うため、このピンは出力として設定 ($DDB7=1$) されなければなりません。このOC2ピンはタイマ機能のPWM動作出力ピンでもあります。

OC1C :タイマ/カウンタ1の比較C一致出力。PB7ピンはタイマ/カウンタ1の比較C一致用外部出力として扱えます。この機能を扱うため、このピンは出力として設定 ($DDB7=1$) されなければなりません。このOC1Cピンはタイマ機能のPWM動作出力ピンでもあります。

OC1B - ポートBビット6 (PB6) :タイマ/カウンタ1比較B一致出力

OC1B :タイマ/カウンタ1の比較B一致出力。PB6ピンはタイマ/カウンタ1の比較B一致用外部出力として扱えます。この機能を扱うため、このピンは出力として設定 ($DDB6=1$) されなければなりません。このOC1Bピンはタイマ機能のPWM動作出力ピンでもあります。

OC1A - ポートBビット5 (PB5) :タイマ/カウンタ1比較A一致出力

OC1A :タイマ/カウンタ1の比較A一致出力。PB5ピンはタイマ/カウンタ1の比較A一致用外部出力として扱えます。この機能を扱うため、このピンは出力として設定 ($DDB5=1$) されなければなりません。このOC1Aピンはタイマ機能のPWM動作出力ピンでもあります。

OC0 - ポートBビット4 (PB4) :タイマ/カウンタ0比較一致出力

OC0 :タイマ/カウンタ0の比較一致出力。PB4ピンはタイマ/カウンタ0の比較一致用外部出力として扱えます。この機能を扱うため、このピンは出力として設定 ($DDB4=1$) されなければなりません。このOC0ピンはタイマ機能のPWM動作出力ピンでもあります。

MISO - ポートBビット3 (PB3) :SPIシリアルデータ入力/出力

MISO :SPチャンネル用のマスタデータ入力、スレーブデータ出力。SPがマスタとして許可されると、このピンはポートB方向レジスタ(DDRB)のDDB3の設定に拘らず、入力として設定されます。SPがスレーブとして許可されると、このピンのデータ方向はDDB3により制御されます。このピンがSPにより入力を強制される時、プルアップは未だポートB出力レジスタ(PORTB)のPORTB3により制御できます。

MOSI - ポートBビット2 (PB2) :SPIシリアルデータ出力/入力

MOSI :SPチャンネル用のマスタデータ出力、スレーブデータ入力。SPがスレーブとして許可されると、このピンはポートB方向レジスタ(DDRB)のDDB2の設定に拘らず、入力として設定されます。SPがマスタとして許可されると、このピンのデータ方向はDDB2により制御されます。このピンがSPにより入力を強制される時、プルアップは未だポートB出力レジスタ(PORTB)のPORTB2により制御できます。

SCK - ポートBビット1 (PB1) :SPIシリアルクロック入出力

SCK :SPチャンネル用のマスタクロック出力、スレーブクロック入力。SPがスレーブとして許可されると、このピンはポートB方向レジスタ(DDRB)のDDB1の設定に拘らず、入力として設定されます。SPがマスタとして許可されると、このピンのデータ方向はDDB1により制御されます。このピンがSPにより入力を強制される時、プルアップは未だポートB出力レジスタ(PORTB)のPORTB1により制御できます。

\overline{SS} - ポートBビット0 (PB0) :SPIスレーブ選択入力

\overline{SS} :SPIスレーブ選択入力。SPがスレーブとして許可されると、このピンはポートB方向レジスタ(DDRB)のDDB0の設定に拘らず、入力として設定されます。スレーブとして、このピンがLowに駆動されるとSP機能が活性有効にされます。SPがマスタとして許可されると、このピンのデータ方向はDDB0により制御されます。このピンがSPにより入力を強制される時、プルアップは未だポートB出力レジスタ(PORTB)のPORTB0により制御できます。

表 31と表 32は \bar{H} - \bar{B} の兼用機能を42頁の図 33で示される兼用信号に関連付けます。SP Rス出力とSP \bar{I} - \bar{P} 出力がMISOを構成し、一方MOSはSP Rス出力とSP \bar{I} - \bar{P} 入力に分けられます。

表 31. \bar{H} - \bar{B} 7~ 4の兼用機能用兼用信号

信号名	PB7/OC2/OC1C	PB6/OC1B	PB5/OC1A	PB4/OC0
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	OC2/OC1C許可 (注 1)	OC1B許可	OC1A許可	OC0許可
PVOV	OC2/OC1C (注 1)	OC1B	OC1A	OC0
DEOE	0	0	0	0
DEOV	0	0	0	0
DI	-	-	-	-
AD	-	-	-	-

注 1: 詳細については108頁の「比較出力変調器 (COM1C2)」をご覧ください。ATmega103互換動作にOC1Cは存在しません。

表 32. \bar{H} - \bar{B} 3~ 0の兼用機能用兼用信号

信号名	PB3/MISO	PB2/MOSI	PB1/SCK	PB0/ \bar{SS}
PUOE	SPE· \bar{MSTR}	SPE· \bar{MSTR}	SPE· \bar{MSTR}	SPE· \bar{MSTR}
PUOV	PORTB3· \bar{PUD}	PORTB2· \bar{PUD}	PORTB1· \bar{PUD}	PORTB0· \bar{PUD}
DDOE	SPE· \bar{MSTR}	SPE· \bar{MSTR}	SPE· \bar{MSTR}	SPE· \bar{MSTR}
DDOV	0	0	0	0
PVOE	SPE· \bar{MSTR}	SPE· \bar{MSTR}	SPE· \bar{MSTR}	0
PVOV	SP \bar{I} - \bar{P} 出力	SP Rス出力	SCK出力	0
DEOE	0	0	0	0
DEOV	0	0	0	0
DI	SP Rス出力	SP \bar{I} - \bar{P} 入力	SCK入力	SP \bar{I} \bar{SS}
AD	-	-	-	-

ホ-ICの兼用機能

ATmega103互換動作でのホ-ICは出力専用です。ATmega128は既定によりATmega103互換動作で出荷されます。従ってPCBへ設置される前に (ATmega103互換禁止に) プログラミングされない場合、ATmega103互換動作が禁止されるまで、ホ-ICは初回通電で出力になります。ホ-ICには外部メモリインターフェイス用のアドレス上位ハイビとしての兼用機能があります。

表 33. ホ-ICの兼用機能

ホ-ICピン	兼用機能
PC7	A15 外部メモリアドレスビット15)
PC6	A14 外部メモリアドレスビット14)
PC5	A13 外部メモリアドレスビット13)
PC4	A12 外部メモリアドレスビット12)
PC3	A11 外部メモリアドレスビット11)
PC2	A10 外部メモリアドレスビット10)
PC1	A9 外部メモリアドレスビット9)
PC0	A8 外部メモリアドレスビット8)

表 34と表 35はホ-ICの兼用機能を42頁の図 33で示される兼用信号に関連付けます。

表 34. ホ-IC7~ 4の兼用機能用兼用信号

信号名	PC7/A15	PC6/A14	PC5/A13	PC4/A12
PUOE	SRE・(XMM<1)	SRE・(XMM<2)	SRE・(XMM<3)	SRE・(XMM<4)
PUOV	0	0	0	0
DDOE	SRE・(XMM<1)	SRE・(XMM<2)	SRE・(XMM<3)	SRE・(XMM<4)
DDOV	1	1	1	1
PVOE	SRE・(XMM<1)	SRE・(XMM<2)	SRE・(XMM<3)	SRE・(XMM<4)
PVOV	A15	A14	A13	A12
DEOE	0	0	0	0
DEOV	0	0	0	0
DI	-	-	-	-
AD	-	-	-	-

注 1: ATmega103互換動作では XMM=0です。

表 35. ホ-IC3~ 0の兼用機能用兼用信号

信号名	PC3/A11	PC2/A10	PC1/A9	PC0/A8
PUOE	SRE・(XMM<5)	SRE・(XMM<6)	SRE・(XMM<7)	SRE・(XMM<7)
PUOV	0	0	0	0
DDOE	SRE・(XMM<5)	SRE・(XMM<6)	SRE・(XMM<7)	SRE・(XMM<7)
DDOV	1	1	1	1
PVOE	SRE・(XMM<5)	SRE・(XMM<6)	SRE・(XMM<7)	SRE・(XMM<7)
PVOV	A11	A10	A9	A8
DEOE	0	0	0	0
DEOV	0	0	0	0
DI	-	-	-	-
AD	-	-	-	-

注 1: ATmega103互換動作では XMM=0です。

ポートDの兼用機能

ポートDの兼用機能は表 36で示されます。

表 36. ポートDの兼用機能

ポートピン	兼用機能
PD7	T2 (タイマ/カウンタ2外部 クロック入力)
PD6	T1 (タイマ/カウンタ1外部 クロック入力)
PD5	XCK1 (USART1外部 クロック入出力) (注 1)
PD4	CP1 (タイマ/カウンタ1捕獲 (キャプチャ) 起動入力)
PD3	NT3 外部割り込み 3入力) TXD1 (USART1送信 テーアウト出力) (注 1)
PD2	NT2 外部割り込み 2入力) RXD1 (USART1受信 テーアウト入力) (注 1)
PD1	NT1 外部割り込み 1入力) SDA (2線シリアルバス テーアウト入出力) (注 1)
PD0	NT0 外部割り込み 0入力) SCL (2線シリアルバス クロック入出力) (注 1)

注 1: XCK1, TXD1, RXD1, SDA, SCLは ATmega103互換動作では利用できません。

兼用ピンの設定は次のとおりです。

T2 - ポートDビット7 (PD7) : タイマ/カウンタ2外部 クロック入力

T2 : タイマ/カウンタ2の外部 クロック入力ピンです。

T1 - ポートDビット6 (PD6) : タイマ/カウンタ1外部 クロック入力

T1 : タイマ/カウンタ1の外部 クロック入力ピンです。

XCK1 - ポートDビット5 (PD5) : USART1外部 クロック入出力

XCK1 : USART1の外部 クロック入出力。ポートD方向レジスタ(DDRD)のDDD5は、このクロックが入力(DDD5=0)または出力(DDD5=1)のどちらかを制御します。XCK1ピンはUSARTが同期種別で動作する時だけ活動します(有効です)。

CP1 - ポートDビット4 (PD4) : タイマ/カウンタ1捕獲 (キャプチャ) 起動入力

CP1 : タイマ/カウンタ1の捕獲起動入力。PD4ピンはタイマ/カウンタ1用捕獲起動入力ピンとして動作できます。

NT3/TXD1 - ポートDビット3 (PD3) : 外部割り込み 3入力 / USART1送信 テーアウト出力

NT3 外部割り込み 3入力。PD3ピンはMCUへの外部割り込み元として扱えます。

TXD1 送信 テーアウト(USART1用 テーアウト出力ピン) USART送信部が許可されると、このピンはポートD方向レジスタ(DDRD)のDDD3の値に拘らず、出力として設定されます。

NT2/RXD1 - ポートDビット2 (PD2) : 外部割り込み 2入力 / USART1受信 テーアウト入力

NT2 外部割り込み 2入力。PD2ピンはMCUへの外部割り込み元として扱えます。

RXD1 受信 テーアウト(USART1用 テーアウト入力ピン) USART受信部が許可されると、このピンはDDRDのDDD2の値に拘らず、入力として設定されます。USARTがこのピンを入力に強制するとき、プルアップは未だPORTD2ビットにより制御できます。

NT1/SDA - ポートDビット1 (PD1) : 外部割り込み 1入力 / 2線シリアルバス テーアウト入出力

NT1 外部割り込み 1入力。PD1ピンはMCUへの外部割り込み元として扱えます。

SDA : 2線シリアル インターフェイス テーアウト 2線シリアル インターフェイスを許可するために、2線シリアル インターフェイス制御レジスタ(TWCR)の2線シリアル インターフェイス動作許可 (TWEN)ビットがセット(1)されると、PD1は通常のポートDから切り離されて2線シリアル インターフェイス用シリアル テーアウト出力ピンになります。この動作では入力信号上の50nsより短いスパイク(インパルス ノイズ)を除去するためにスパイク除去器があり、スレーブ立ち上り立ち下り速度 制限付きオープンドレインドライバにより駆動されます。このピンが2線シリアル インターフェイスにより使用されるとき、プルアップは未だPORTD1により制御できます (訳注 共通性から本行追加)

NT0/SCL - ポートDビット0 (PD0) : 外部割り込み 0入力 / 2線シリアルバス クロック入出力

NT0 外部割り込み 0入力。PD0ピンはMCUへの外部割り込み元として扱えます。

SCL : 2線シリアル インターフェイス クロック 2線シリアル インターフェイスを許可するために、2線シリアル インターフェイス制御レジスタ(TWCR)の2線シリアル インターフェイス動作許可 (TWEN)ビットがセット(1)されると、PD0は通常のポートDから切り離されて2線シリアル インターフェイス用シリアル クロック入出力ピンになります。この動作では入力信号上の50nsより短いスパイク(インパルス ノイズ)を除去するためにスパイク除去器があり、スレーブ立ち上り立ち下り速度 制限付きオープンドレインドライバにより駆動されます。このピンが2線シリアル インターフェイスにより使用されるとき、プルアップは未だPORTD0ビットにより制御できます (訳注 共通性から本行追加)

表 37と表 38はホ⁺-IDの兼用機能を42頁の図 33で示される兼用信号に関連付けます。

表 37.ホ⁺-ID7~ 4の兼用機能用兼用信号

信号名	PD7/T2	PD6/T1	PD5/XCK1	PD4/CP1
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	UMSEL1	0
PVOV	0	0	XCK1出力	0
DEOE	0	0	0	0
DEOV	0	0	0	0
DI	T2入力	T1入力	XCK1入力	CP1入力
AD	-	-	-	-

表 38.ホ⁺-ID3~ 0の兼用機能用兼用信号

信号名	PD3/INT3/TXD1	PD2/INT2/RXD1	PD1/INT1/SDA	PD0/INT0/SCL
PUOE	TXEN1	RXEN1	TWEN	TWEN
PUOV	0	PORTD2·PUD	PORTD1·PUD	PORTD0·PUD
DDOE	TXEN1	RXEN1	TWEN	TWEN
DDOV	1	0	SDA出力	SCL出力
PVOE	TXEN1	0	TWEN	TWEN
PVOV	TXD1	0	0	0
DEOE	INT3許可	INT2許可	INT1許可	INT0許可
DEOV	1	1	1	1
DI	INT3入力	INT2入力/RXD1	INT1入力	INT0入力
AD	-	-	SDA入力	SCL入力

注:許可されると、線シリアルインターフェースはPD0とPD1出力のスレーブ制御を許可します。これは図で示されていません。加えて、ホ⁺-図で示されるAD出力と線シリアルインターフェース(TW)間にスライブ除去器が接続されます。

ポートHの兼用機能

ポートHの兼用機能は表 39で示されます。

表 39. ポートHの兼用機能

ポートピン	兼用機能	ポートピン	兼用機能
PE7	NT7 外部割り込み 7入力) CP3 (タイマ/カウンタ3捕獲起動入力) (注1)	PE3	AN1 (アナログ比較器反転入力) OC3A (タイマ/カウンタ3比較A一致出力) (注1)
PE6	NT6 外部割り込み 6入力) T3 (タイマ/カウンタ3外部 クロック入力) (注1)	PE2	AN0 (アナログ比較器非反転入力) XCK0 (USART0外部 クロック入出力) (注1)
PE5	NT5 外部割り込み 5入力) OC3C (タイマ/カウンタ3比較C一致出力) (注1)	PE1	TXD0 (USART0送信データ出力) PDO (シリアルプログラミングデータ出力)
PE4	NT4 外部割り込み 4入力) OC3B (タイマ/カウンタ3比較B一致出力) (注1)	PE0	RXD0 (USART0受信データ入力) PDI (シリアルプログラミングデータ入力)

注 1: CP3, T3, OC3C, OC3B, OC3A, XCK0は ATmega103互換動作では利用できません。

兼用ピンの設定は次のとおりです。

NT7/CP3 - ポートHビット7 (PE7) :外部割り込み 7入力 / タイマ/カウンタ3捕獲 (キャプチャ) 起動入力

NT7 外部割り込み 7入力。PE7ピンはMCUへの外部割り込み元として扱えます。

CP3 :タイマ/カウンタ3の捕獲起動入力。PE7ピンはタイマ/カウンタ3用捕獲起動入力ピンとして動作できます。

NT6/T3 - ポートHビット6 (PE6) :外部割り込み 6入力 / タイマ/カウンタ3外部 クロック入力

NT6 外部割り込み 6入力。PE6ピンはMCUへの外部割り込み元として扱えます。

T3 :タイマ/カウンタ3の外部 クロック入力ピンです。

NT5/OC3C - ポートHビット5 (PE5) :外部割り込み 5入力 / タイマ/カウンタ3比較C一致出力

NT5 外部割り込み 5入力。PE5ピンはMCUへの外部割り込み元として扱えます。

OC3C :タイマ/カウンタ3の比較C一致出力。PE5ピンはタイマ/カウンタ3の比較C一致用外部出力として扱えます。この機能を扱うため、このピンは出力として設定 (**DDE5=1**) されなければなりません。このOC3Cピンはタイマ機能のPWM動作出力ピンでもあります。

NT4/OC3B - ポートHビット4 (PE4) :外部割り込み 4入力 / タイマ/カウンタ3比較B一致出力

NT4 外部割り込み 4入力。PE4ピンはMCUへの外部割り込み元として扱えます。

OC3B :タイマ/カウンタ3の比較B一致出力。PE4ピンはタイマ/カウンタ3の比較B一致用外部出力として扱えます。この機能を扱うため、このピンは出力として設定 (**DDE4=1**) されなければなりません。このOC3Bピンはタイマ機能のPWM動作出力ピンでもあります。

AN1/OC3A - ポートHビット3 (PE3) :アナログ比較器反転入力 / タイマ/カウンタ3比較A一致出力

AN1 :アナログ比較器の反転入力。このピンはアナログ比較器の反転入力に直接接続されます。

OC3A :タイマ/カウンタ3の比較A一致出力。PE3ピンはタイマ/カウンタ3の比較A一致用外部出力として扱えます。この機能を扱うため、このピンは出力として設定 (**DDE3=1**) されなければなりません。このOC3Aピンはタイマ機能のPWM動作出力ピンでもあります。

AN0/XCK0 - ポートHビット2 (PE2) :アナログ比較器非反転入力 / USART0外部 クロック入出力

AN0 :アナログ比較器の非反転入力。このピンはアナログ比較器の非反転入力に直接接続されます。

XCK0 :USART0の外部 クロック入出力。ポートH方向レジスタ (DDRE) の **DDE2** は、このクロックが入力 (**DDE2=0**) または出力 (**DDE2=1**) のどちらかを制御します。XCK0ピンはUSART0が同期種別で動作する時だけ活動します (有効です)。

TXD0/PDO - ポートHビット1 (PE1) :USART0送信データ出力 / シリアルプログラミングデータ出力

TXD0 送信データ (USART0用データ出力ピン)。USART0送信部が許可されると、このピンはポートH方向レジスタ (DDRE) の **DDE1** の値に拘らず、出力として設定されます。

PDO :シリアルプログラミングデータ出力。シリアルプログラミング中、このピンはATmega128のデータ出力線として使用されます。

RXD0/PDI - ポートHビット0 (PE0) :USART0受信データ入力 / シリアルプログラミングデータ入力

RXD0 受信データ (USART0用データ入力ピン)。USART0受信部が許可されると、このピンはDDREの **DDE0** の値に拘らず、入力として設定されます。USART0がこのピンを入力に強制するとき、**PORTE0** ビットの論理 1は内部プルアップをON (有効) にします。

PDI :シリアルプログラミングデータ入力。シリアルプログラミング中、このピンはATmega128のデータ入力線として使用されます。

表 40と表 41はホ[°]-HEの兼用機能を42頁の図 33で示される兼用信号に関連付けます。

表 40.ホ[°]-HE7~ 4の兼用機能用兼用信号

信号名	PE7/ NT7/ CP3	PE6/ NT6/T3	PE5/ NT5/OC3C	PE4/ NT4/OC3B
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	OC3C許可	OC3B許可
PVOV	0	0	OC3C	OC3B
DEOE	NT7許可	NT6許可	NT5許可	NT4許可
DEOV	1	1	1	1
DI	NT7入力 / CP3入力	NT6入力 / T3入力	NT5入力	NT4入力
AD	-	-	-	-

表 41.ホ[°]-HE3~ 0の兼用機能用兼用信号

信号名	PE3/A IN1/OC3A	PE2/A IN0/XCK0	PE1/TXD0/PDO	PE0/RXD0/PDI
PUOE	0	0	TXEN0	RXEN0
PUOV	0	0	0	PORTE0·PUD
DDOE	0	0	TXEN0	RXEN0
DDOV	0	0	1	0
PVOE	OC3A許可	UMSEL0	TXEN0	0
PVOV	OC3A	XCK0出力	TXD0	0
DEOE	0	0	0	0
DEOV	0	0	0	0
DI	-	XCK0入力	-	RXD0
AD	A IN1入力	A IN0入力	-	-

ホ-トの兼用機能

ホ-トには表 42に示されるようにA/D変換用アナログ入力としての兼用機能があります。ホ-トのいくつかが出来として設定される場合、A/D変換実行中の時にそれらを切り替えないことが重要です。これは変換結果を不正にするかもしれません。ATmega103互換動作でのホ-トは入力専用です。JTAGインターフェースが許可されると、リセットが起きてもPF7(TDI)、PF5(TMS)、PF4(TCK)ピンのプルアップ抵抗は活性(有効)にされます。

表 42. ホ-トの兼用機能

ホ-ト	兼用機能
PF7	ADC7 (A/D変換アナログ入力チャネル7) TDI (JTAG検査データ入力)
PF6	ADC6 (A/D変換アナログ入力チャネル6) TDO (JTAG検査データ出力)
PF5	ADC5 (A/D変換アナログ入力チャネル5) TMS (JTAG検査種別選択入力)
PF4	ADC4 (A/D変換アナログ入力チャネル4) TCK (JTAGクロック入力)
PF3	ADC3 (A/D変換アナログ入力チャネル3)
PF2	ADC2 (A/D変換アナログ入力チャネル2)
PF1	ADC1 (A/D変換アナログ入力チャネル1)
PF0	ADC0 (A/D変換アナログ入力チャネル0)

兼用ピンの設定は次のとおりです。

ADC7/TDI - ホ-トビット7 (PF7) :A/D変換チャネル7入力 / JTAG検査データ入力

ADC7 :PF7はA/D変換チャネル7入力としても使用されます。

TDI :JTAG検査データ入力。命令レジスタまたはデータレジスタを逐次チェーンにシフト入力されるシリアル入力データです。JTAGインターフェースが許可されると、このピンはI/Oピンとして使用できません。

ADC6/TDO - ホ-トビット6 (PF6) :A/D変換チャネル6入力 / JTAG検査データ出力

ADC6 :PF6はA/D変換チャネル6入力としても使用されます。

TDO :JTAG検査データ出力。命令レジスタまたはデータレジスタからシフト出力されるシリアル出力データです。JTAGインターフェースが許可されると、このピンはI/Oピンとして使用できません。TDOピンはデータがシフト出力されるTAP状態への移行を除いてHi-Zです。

ADC5/TMS - ホ-トビット5 (PF5) :A/D変換チャネル5入力 / JTAG検査種別選択入力

ADC5 :PF5はA/D変換チャネル5入力としても使用されます。

TMS :JTAG検査種別選択。このピンはTAP検査アクセスポート制御器状態機構を通しての操作に使用されます。JTAGインターフェースが許可されると、このピンはI/Oピンとして使用できません。

ADC4/TCK - ホ-トビット4 (PF4) :A/D変換チャネル4入力 / JTAGクロック入力

ADC4 :PF4はA/D変換チャネル4入力としても使用されます。

TCK :JTAGクロック。JTAG操作はTCKに同期します。JTAGインターフェースが許可されると、このピンはI/Oピンとして使用できません。

ADC3 - ホ-トビット3 (PF3) :A/D変換チャネル3入力

ADC3 :PF3はA/D変換チャネル3入力としても使用されます。

ADC2 - ホ-トビット2 (PF2) :A/D変換チャネル2入力

ADC2 :PF2はA/D変換チャネル2入力としても使用されます。

ADC1 - ホ-トビット1 (PF1) :A/D変換チャネル1入力

ADC1 :PF1はA/D変換チャネル1入力としても使用されます。

ADC0 - ホ-トビット0 (PF0) :A/D変換チャネル0入力

ADC0 :PF0はA/D変換チャネル0入力としても使用されます。

表 43と表 44はホ[°]-HFの兼用機能を42頁の図 33で示される兼用信号に関連付けます。

表 43.ホ[°]-HF7~ 4の兼用機能用兼用信号

信号名	PF7/ADC7/TDI	PF6/ADC/TDO	PF5/ADC5/TMS	PF4/ADC4/TCK
PUOE	JTAGEN	JTAGEN	JTAGEN	JTAGEN
PUOV	1	0	1	1
DDOE	JTAGEN	JTAGEN	JTAGEN	JTAGEN
DDOV	0	シフト_R+シフト_DR	0	0
PVOE	0	JTAGEN	0	0
PVOV	0	TDO	0	0
DEOE	JTAGEN	JTAGEN	JTAGEN	JTAGEN
DEOV	0	0	0	0
DI	-	-	-	-
AD	ADC7入力 /TD入力	ADC6入力	ADC5入力 /TMS入力	ADC4入力 /TCK入力

表 44.ホ[°]-HF3~ 0の兼用機能用兼用信号

信号名	PF3/ADC3	PF2/ADC2	PF1/ADC1	PF0/ADC0
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	0	0
PVOV	0	0	0	0
DEOE	0	0	0	0
DEOV	0	0	0	0
DI	-	-	-	-
AD	ADC3入力	ADC2入力	ADC1入力	ADC0入力

ホ-IGの兼用機能

ATmega103互換動作では兼用機能だけがホ-IGの既定で、ホ-IGは標準デジタルホ-トピンとして使用できません。兼用ピン設定は次のとおりです。

表 45. ホ-IGピンの兼用機能

ホ-トピン	兼用機能
PG4	TOSC1 (タイマ用発振増幅器入力)
PG3	TOSC2 (タイマ用発振増幅器出力)
PG2	ALE 外部メモリ用アドレスラッチ許可信号出力)
PG1	\overline{RD} 外部メモリ用読み出しストロ-フ信号出力)
PG0	\overline{WR} 外部メモリ用書き込みストロ-フ信号出力)

兼用ピンの設定は次のとおりです。

TOSC1 - ホ-IG ピット4 (PG4) :タイマ クロック1発振増幅器入力

TOSC1 :タイマ発振器ピン1。タイマ/カウンタ0の非同期クロック動作を許可するためにASSRの非同期許可 (AS0)ビットがセット(1)されると、PG4ピンはホ-から切り離され、発振用反転増幅器の入力になります。この動作では、このピンにクリスタル発振器が接続され、このピンはI/Oピンとして使用できません。

TOSC2 - ホ-IG ピット3 (PG3) :タイマ クロック2発振増幅器出力

TOSC2 :タイマ発振器ピン2。タイマ/カウンタ0の非同期クロック動作を許可するためにASSRの非同期許可 (AS0)ビットがセット(1)されると、PG3ピンはホ-から切り離され、発振用反転増幅器の出力になります。この動作では、このピンにクリスタル発振器が接続され、このピンはI/Oピンとして使用できません。

ALE - ホ-IG ピット2 (PG2) :外部メモリ用アドレスラッチ許可信号出力

ALE 外部メモリ用アドレスラッチ許可信号出力ピンです。

\overline{RD} - ホ-IG ピット1 (PG1) :外部メモリ用読み出しストロ-フ信号出力

\overline{RD} 外部メモリ用読み出し制御ストロ-フ信号出力ピンです。

\overline{WR} - ホ-IG ピット0 (PG0) :外部メモリ用書き込みストロ-フ信号出力

\overline{WR} 外部メモリ用書き込み制御ストロ-フ信号出力ピンです。

表 46はホ-IGの兼用機能を42頁の図 33で示される兼用信号に関連付けます。

表 46. ホ-IG4-0の兼用機能用兼用信号

信号名	PG4/TOSC1	PG3/TOSC2	PG2/ALE	PG1/ \overline{RD}	PG0/ \overline{WR}
PUOE	AS0	AS0	SRE	SRE	SRE
PUOV	0	0	0	0	0
DDOE	AS0	AS0	SRE	SRE	SRE
DDOV	0	0	1	1	1
PVOE	0	0	SRE	SRE	SRE
PVOV	0	0	ALE	RD	WR
DEOE	AS0	AS0	0	0	0
DEOV	0	0	0	0	0
DI	-	-	-	-	-
AD	T/C0用 発振増幅器入力	T/C0用 発振増幅器出力	-	-	-

訳注)原書の表 46と表 47は表 46として統合しました。

I/Oポート用レジスタ

ポートA出力レジスタ (Port A Data Register) PORTA

ビット	7	6	5	4	3	2	1	0	
\$1B (\$3B)	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	PORTA
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

ポートA方向レジスタ (Port A Data Direction Register) DDRA

ビット	7	6	5	4	3	2	1	0	
\$1A (\$3A)	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	DDRA
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

ポートA入力レジスタ (Port A Input Address) PNA

ビット	7	6	5	4	3	2	1	0	
\$19 (\$39)	PNA7	PNA6	PNA5	PNA4	PNA3	PNA2	PNA1	PNA0	PNA
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定								

ポートB出力レジスタ (Port B Data Register) PORTB

ビット	7	6	5	4	3	2	1	0	
\$18 (\$38)	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

ポートB方向レジスタ (Port B Data Direction Register) DDRB

ビット	7	6	5	4	3	2	1	0	
\$17 (\$37)	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

ポートB入力レジスタ (Port B Input Address) PNB

ビット	7	6	5	4	3	2	1	0	
\$16 (\$36)	PNB7	PNB6	PNB5	PNB4	PNB3	PNB2	PNB1	PNB0	PNB
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定								

ポートC出力レジスタ (Port C Data Register) PORTC

ビット	7	6	5	4	3	2	1	0	
\$15 (\$35)	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	PORTC
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

ポートC方向レジスタ (Port C Data Direction Register) DDRC

ビット	7	6	5	4	3	2	1	0	
\$14 (\$34)	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	DDRC
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

ポートC入力レジスタ (Port C Input Address) PNC

ビット	7	6	5	4	3	2	1	0	
\$13 (\$33)	PNC7	PNC6	PNC5	PNC4	PNC3	PNC2	PNC1	PNC0	PNC
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定								

ATmega103互換動作でのDDRCとPNCレジスタはプッシュプル0 (Low出力に初期化されます。ポートピンは例えばクックが走行していなくてもそれらの初期値になります。DDRCとPNCレジスタはATmega103互換動作でも利用可能ですが、過去との100%互換のためには使用されるべきでないことに注意してください。

ポートD出力レジスタ (Port D Data Register) PORTD

ビット	7	6	5	4	3	2	1	0	
\$12 (\$32)	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	PORTD
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

ポートD方向レジスタ (Port D Data Direction Register) DDRD

ビット	7	6	5	4	3	2	1	0	
\$11 (\$31)	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	DDRD
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

ポートD入力レジスタ (Port D Input Address) PND

ビット	7	6	5	4	3	2	1	0	
\$10 (\$30)	PND7	PND6	PND5	PND4	PND3	PND2	PND1	PND0	PND
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定								

ポートE出力レジスタ (Port E Data Register) PORTE

ビット	7	6	5	4	3	2	1	0	
\$03 (\$23)	PORTE7	PORTE6	PORTE5	PORTE4	PORTE3	PORTE2	PORTE1	PORTE0	PORTE
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

ポートE方向レジスタ (Port E Data Direction Register) DDRE

ビット	7	6	5	4	3	2	1	0	
\$02 (\$22)	DDE7	DDE6	DDE5	DDE4	DDE3	DDE2	DDE1	DDE0	DDRE
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

ポートE入力レジスタ (Port E Input Address) PNE

ビット	7	6	5	4	3	2	1	0	
\$01 (\$21)	PNE7	PNE6	PNE5	PNE4	PNE3	PNE2	PNE1	PNE0	PNE
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定								

ホ-ト出力レジスタ (Port F Data Register) PORTF

ビット	7	6	5	4	3	2	1	0	
(\$62)	PORTF7	PORTF6	PORTF5	PORTF4	PORTF3	PORTF2	PORTF1	PORTF0	PORTF
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

ホ-ト方向レジスタ (Port F Data Direction Register) DDRF

ビット	7	6	5	4	3	2	1	0	
(\$61)	DDF7	DDF6	DDF5	DDF4	DDF3	DDF2	DDF1	DDF0	DDRF
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

ホ-ト入力レジスタ (Port F Input Address) PNF

ビット	7	6	5	4	3	2	1	0	
\$00 (\$20)	PNF7	PNF6	PNF5	PNF4	PNF3	PNF2	PNF1	PNF0	PNF
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定								

ホ-トはデジタル入力のみとして扱うATmega103互換動作で、PORTFとDDRFレジスタが利用できないことに注意してください。

ホ-ト出力レジスタ (Port G Data Register) PORTG

ビット	7	6	5	4	3	2	1	0	
(\$65)	-	-	-	PORTG4	PORTG3	PORTG2	PORTG1	PORTG0	PORTG
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ホ-ト方向レジスタ (Port G Data Direction Register) DDRG

ビット	7	6	5	4	3	2	1	0	
(\$64)	-	-	-	DDG4	DDG3	DDG2	DDG1	DDG0	DDRG
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ホ-ト入力レジスタ (Port G Input Address) PNG

ビット	7	6	5	4	3	2	1	0	
(\$63)	-	-	-	PNG4	PNG3	PNG2	PNG1	PNG0	PNG
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	不定	不定	不定	不定	不定	

PORTG, DDRG, PNGレジスタがATmega103互換動作で利用できないことに注意してください。ATmega103互換動作でのホ-トは兼用機能 (TOSC1, TOSC2, ALE, RD, WR) だけを扱います。

外部割り込み

外部割り込みは NT7~ 0ピンにより起動されます。許可したなら、例え NT7~ 0ピンが出力として設定されても、割り込みが起動することに注目してください。この特徴はソフトウェア割り込みを生成する方法を提供します。外部割り込みは立ち上りまたは立ち下りエッジ(含む両エッジ)またはLowレベルにより起動できます。これは外部割り込み制御レジスタ EICRA (NT3~ 0)と EICRB (NT7~ 4)の詳述で示される設定です。外部割り込みがレベル起動として設定かつ許可されると、そのピンがLowに保持される限り、割り込みは継続的に起動します。NT7~ 4の立ち上りまたは立ち下りエッジ割り込みの認知は、22頁の「クロックシステムとその配給」で記述される I/Oクロックの存在を必要とすることに注意してください。NT7~ 4のLowレベル割り込みとNT3~ 0のエッジ割り込みは非同期に検知されます。これはそれらの割り込みがアイドル動作以外のスリープ動作からもデバイス起動のために使用できることを意味します。I/Oクロックはアイドル動作を除く全スリープ動作で停止されます。

レベル起動割り込みがパワーダウン動作からの起動に使用される場合、変化したレベルはMCUを起動するために一定時間保たなければならないことに注意してください。これはMCUのノイズ不安定性を減らします。変化したレベルはウォッチドック発振器クロックにより復取られます。ウォッチドック発振器の周期は 5.0V₂₅ で公称 1μsです。ウォッチドック発振器の周波数は 21頁の「代表特性」で示されるように電圧依存です。この採取の間、入力が必要としたレベルであるか、または起動時間の最後まで保たれれば、MCUは起動します。起動時間は 22頁の「システムクロックとクロック選択」で示されるように SUTヒューズで定義されます。このレベルがウォッチドック発振器クロックにより復取されるけれど、起動時間の最後に先立ち消滅すると、MCUは今までどおり起動しますが、割り込みが生成されません。この必要としたレベルはレベル割り込みを起動する完全な起動復帰のため、MCUに対して充分長く保たれなければならない。

外部割り込み制御レジスタA (External Interrupt Control Register A) EICRA

ビット (\$6A)	7	6	5	4	3	2	1	0	EICRA
	ISC31	ISC30	ISC21	ISC20	ISC11	ISC10	ISC01	ISC00	
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

このレジスタは ATmega103互換動作でやり取り(アクセス)できませんが、初期値は ATmega103と同じLowレベル割り込みとして NT3~ 0を定義(設定)します。

ビット7~ 0 - ISC31, ISC30~ ISC01, ISC00 :外部割り込み3~ 0条件制御 (External Interrupt3~ 0 Sense Control Bits)

外部割り込み3~ 0はステータスレジスタ(SREG)の全割り込み許可(1)ビットと外部割り込みマスクレジスタ(EMSK)の対応する割り込み許可ビットがセット(1)される場合の NT3~ 0外部ピンにより活性(有効)にされます。割り込みを活性にする外部 NT3~ 0ピンのエッジとレベルは表 48で定義されます。NT3~ 0のエッジは非同期に記録されます。表 49で与えられた最小パルス幅より広い NT3~ 0のパルスは割り込みを生成します。より短いパルスは割り込みの発生が保証されません。Lowレベル割り込みが選択される場合、Lowレベルは割り込みを生成するために現在実行している命令の完了まで保たれなければならない。許可したなら、レベルで起動する割り込みはそのピンがLowを保持される限り割り込み要求を継続的に生成します。ISCnビット変更時、割り込みが起き得ます。従って最初にEMSKの割り込み許可ビットをクリア(0)することでNTn割り込みを禁止することが推奨されます。その後ISCnビットは変更できます。最後にNTn割り込み要求フラグは割り込みが再び許可される前に外部割り込み要求フラグレジスタ(EFR)の外部割り込み要求(NTFn)フラグに論理1を書くことによりクリア(0)されるべきです。

表 48.外部割り込み3~ 0割り込み条件

ISCn1	ISCn0	割り込み発生条件
0	0	INTnピンのLowレベル
0	1	予約
1	0	INTnピンの立ち下りエッジ
1	1	INTnピンの立ち上りエッジ

注 : n=3~ 0

ISCn1~ 0ビット変更時、割り込みはEMSKで割り込み許可ビットのクリア(0)により禁止されなければならない。さもなければビットが変更される時に割り込みが起き得ます。

表 49.非同期外部割り込み特性

シンボル	項目	Min	Typ	Max	単位
t _{NT}	非同期外部割り込み最小パルス幅		50		ns

外部割り込み制御レジスタB (External Interrupt Control Register B) EICRB

ビット	7	6	5	4	3	2	1	0	
\$3A (\$5A)	SC71	SC70	SC61	SC60	SC51	SC50	SC41	SC40	EICRB
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

ビット7~ 0 - SC71, SC70~ SC41, SC40 :外部割り込み7~ 4条件制御 (External Interrupt7~ 4 Sense Control Bits)

外部割り込み7~ 4はステータスレジスタ(SREG)の全割り込み許可 (I)ビットと外部割り込みマスクレジスタ(EMSK)の対応する割り込み許可ビットがセット(1)される場合のNT7~ 4外部ピンにより活性(有効)にされます。割り込みを活性にする外部INT7~ 4ピンのエッジとレベルは表50で定義されます。INT7~ 4ピンの値はエッジ検知前に採取されています。エッジまたは論理変化割り込みが選択される場合、1クロック周期より長く留まるパルスは割り込みを生成します。より短いパルスは割り込みの発生が保証されません。XTAL分周器が許可される場合、CPUクロック周波数がXTAL周波数より低くできることを考慮してください。Lowレベル割り込みが選択される場合、Lowレベルは割り込みを生成するために現在実行している命令の完了まで保たなければなりません。許可したなら、レベルで起動する割り込みはそのピンがLowを保持される限り割り込み要求を連続的に生成します。

表50.外部割り込み7~ 4割り込み条件

SCn1	SCn0	割り込み発生条件
0	0	INTnピンのLowレベル
0	1	INTnピンの論理変化(両エッジ)
1	0	INTnピンの立ち下りエッジ
1	1	INTnピンの立ち上りエッジ

注:n=7~ 4

SCn1~ 0ビット変更時、割り込みはEMSKで割り込み許可ビットのクリア(0)により禁止されなければなりません。さもなければビットが変更される時に割り込みが起き得ます。

外部割り込みマスクレジスタ (External Interrupt Mask Register) EMSK

ビット	7	6	5	4	3	2	1	0	
\$39 (\$59)	NT7	NT6	NT5	NT4	NT3	NT2	NT1	NT0	EMSK
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

ビット7~ 0 - NT7~ NT0 :外部割り込み7~ 0許可 (External Interrupt Request 7~ 0 Enable)

ステータスレジスタ(SREG)の全割り込み許可 (I)ビットがセット(1)され、NT7~ 0ビットが1を書かれると、対応する外部ピン割り込みが許可されます。外部割り込み制御レジスタ(EICRAとEICRB)の割り込み条件制御n(SCn1, SCn0)ビットは、その外部割り込みが立ち上り、立ち下り、両エッジまたはLowレベルのどれで活性(有効)にされるかを定義します。例えそのピンが出力として設定されても、そのピンの動きは割り込み要求を引き起こします。これはソフトウェア割り込みを生成する方法を提供します。

外部割り込み要求フラグレジスタ (External Interrupt Flag Register) EIFR

ビット	7	6	5	4	3	2	1	0	
\$38 (\$58)	NTF7	NTF6	NTF5	NTF4	NTF3	NTF2	NTF1	NTF0	EIFR
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

ビット7~ 0 - NTF7~ NTF0 :外部割り込み7~ 0要求フラグ (External Interrupt Flag7~ 0)

NT7~ 0ピンのエッジまたは論理変化が割り込み要求を起動すると、NTF7~ 0がセット(1)になります。ステータスレジスタ(SREG)の全割り込み許可 (I)ビットと外部割り込みマスクレジスタ(EMSK)の対応する割り込み許可 (NT7~ 0)ビットがセット(1)ならば、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込みルーチンが実行されるとクリア(0)されます。代わりに、このフラグは論理1を書くことによってもクリア(0)できます。NT7~ 0がレベル割り込みとして設定されると、このフラグは常にクリア(0)されます。NT3~ 0割り込み禁止でスリープ動作へ移行すると、これらのピンの入力パルスが禁止されることに注意してください。これはNTF3~ 0フラグをセット(1)する内部信号の論理変化を起こすかもしれません。より多くの情報については4頁の「デジタル入力許可とスリープ動作」をご覧ください。

8ビットタイマ/カウンタ0 (PWM,非同期動作付き)

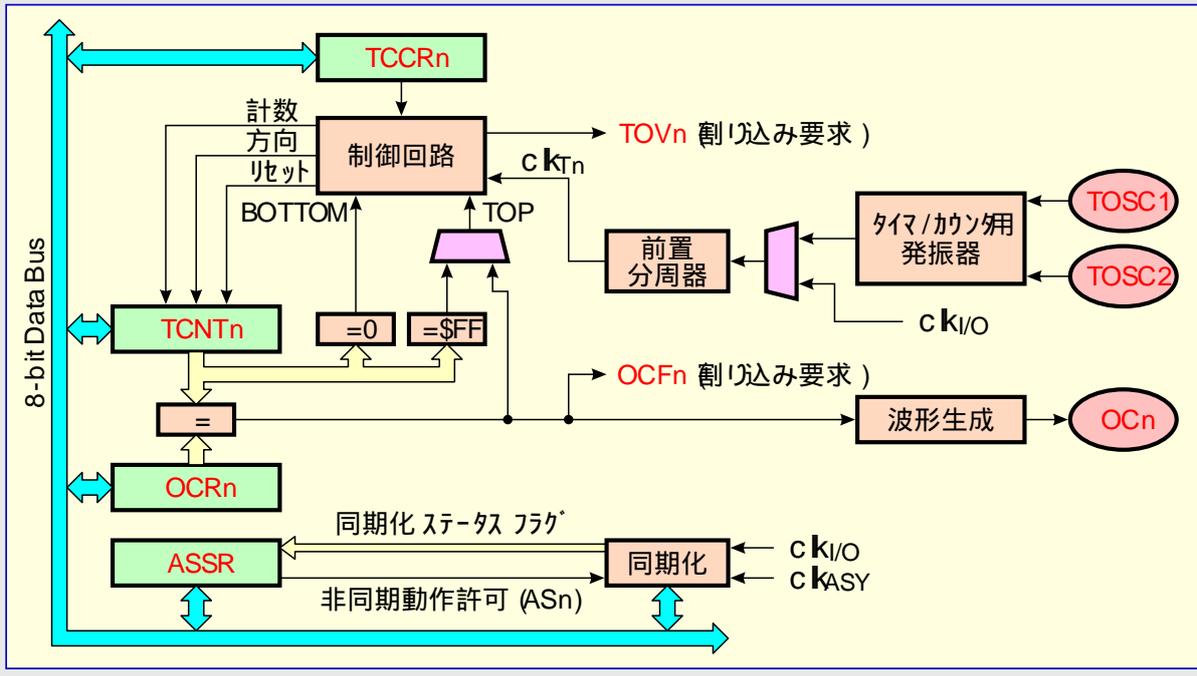
タイマ/カウンタ0は単一比較部付きチャンネルの汎用8ビットタイマ/カウンタ部です。主な特徴は次のとおりです。

- 単一比較部付きカウンタ
- 比較一致でのタイマ/カウンタクリア (自動再設定)
- クリッチなしで正しい位相のハルス幅変調器 (PWM)
- 周波数発生器
- クック用10ビット前置分周器
- オーバーフローと比較一致割り込み (TOV0とOCF0)
- I/O(システム)クックに依存しない1時計用外部32kHzクリスタルからのクック駆動可能

概要

この8ビットタイマ/カウンタの簡易化した構成図は図34で示されます。I/Oピン実際の配置については1頁の「ピン配置」を参照してください。CPUがアクセス可能な(I/OピンとI/Oレジスタを含む)I/Oレジスタは赤文字(訳注:原文は太字)で示されます。レジスタ仕様のI/Oレジスタとピン位置は6頁の「8ビットタイマ/カウンタ0用レジスタ」で一覧されます。

図34.8ビットタイマ/カウンタ構成図



関係レジスタ

タイマ/カウンタ(TCNT0)と比較レジスタ(OCR0)は8ビットのレジスタです。割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ(TFR)で全て見えます。すべての割り込みはタイマ/カウンタ割り込みマスクレジスタ(TMSK)で個別に遮蔽/禁止されます。TFRとTMSKは、これらのレジスタが他のタイマ/カウンタ部により共用されるため、この図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、または本項内後ろで詳述されるようにTOSC1/2ピンから非同期に、クック駆動されます。非同期動作は非同期ステータスレジスタ(ASSR)により制御されます。クック選択論理部はタイマ/カウンタ値を増加または減少するために使用するクック元を制御します。クック元が選択されないとき、このタイマ/カウンタは動きません。クック選択論理部からの出力はタイマ/カウンタクック(ckI/O)として参照されます。

ダブルハップ化した比較レジスタ(OCR0)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OC0)ピンでPWMまたは可変周波数出力を生成するための波形生成器により使用できます。詳細については6頁の「比較出力部」をご覧ください。この比較一致発生は比較出力割り込み要求の発生に使用できる比較一致割り込み要求フラグ(OCF0)をセット(1)します。

定義

本資料でのレジスタとビット参照の多くは一般形で書かれます。小文字の'n'はタイマ/カウンタ番号、この場合は0で置き換えます。けれどもプログラムでレジスタまたはビット定義を使用するときは正確な形式が使用されなければなりません(例えばタイマ/カウンタ0のカウンタ値のアクセスに対してのTCNT0のように)

表51の定義は本資料を通じて広範囲にわたっても使用されます。

表51.用語定義

用語	意味
BOTTOM	タイマ/カウンタが\$00に到達した時。
MAX	タイマ/カウンタが\$FF(255)に到達した時。
TOP	タイマ/カウンタが指定された固定値(\$FF)またはOCR0値に到達した時。この指定(TOP値は動作種別に依存します)。

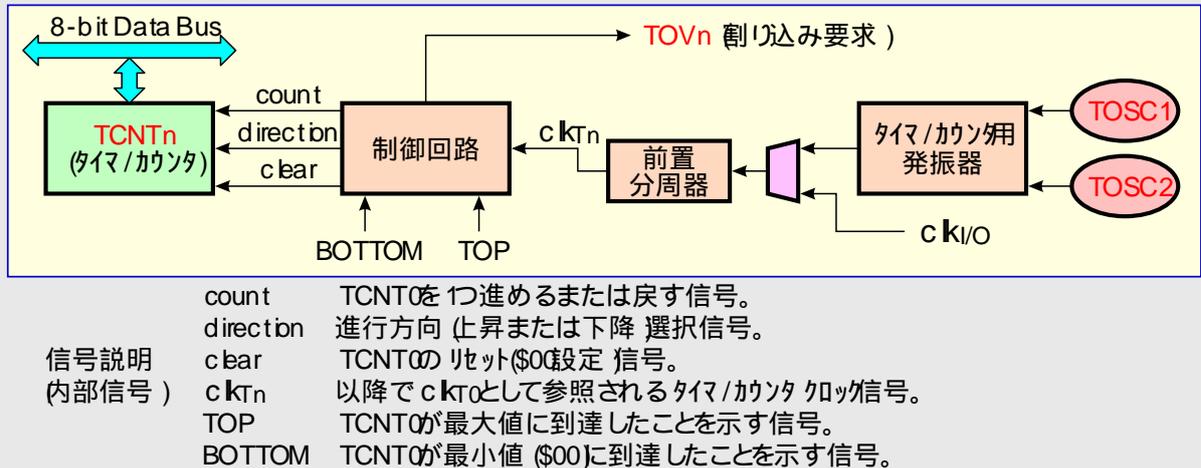
タイマ/カウンタのクック

このタイマ/カウンタは内部同期または外部非同期 クック元によりクック駆動できます。既定の クック元 (c k_{T0})はMCUクック(c k_{I/O})と同じです。非同期 ステータス レジスタ(ASR)の非同期動作許可 (AS0)ビットが論理 1を書かれると、クック元は TOSC1とTOSC2に接続されたタイマ/カウンタ用発振器から取得されます。非同期動作の詳細については 69頁の「非同期ステータス レジスタ(ASR)」をご覧ください。クック元と前置分周器の詳細については 7頁の「タイマ/カウンタの前置分周器」をご覧ください。

カウンタユニット

8ビットタイマ/カウンタの主な部分はプログラマブル双方向 カウンタです。図 35は、この カウンタとその周辺環境の構成図を示します。

図 35. カウンタ構成図



使用した動作種別に依存して、カウンタは各 タイマ/カウンタ クック(c k_{T0})でクリア (\$00)、増加 (+1) または減少 (-1) されます。c k_{T0}は クック元選択 (CS02~ 0)ビットにより選択された内部または外部の クック元から生成できます。クック元が選択されない (CS02~ 0=000)とき、タイマ/カウンタは停止されます。けれどもTCNT0値はタイマ/カウンタ クック(c k_{T0})が存在するしないに拘らず、CPUによりアクセスできます。CPU書き込みは全ての カウンタ クリアや計数動作を無視します (上位優先順位を持ちます)。

計数順序 (方法) はタイマ/カウンタ制御レジスタ(TCCR0)に配置された波形生成種別 (WGM01~ 0)ビットの設定により決定されます。これらは カウンタ動作 計数 方法とOC比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に関しては 63頁の「動作種別」をご覧ください。

タイマ/カウンタ オーバーフロー (TOV0)フラグはWGM01~ 0ビットにより選択された動作種別に従って設定 (=1) されます。TOV0はCPU割り込み発生に使用できます。

比較出力部

この8ビット比較器はTCNT0と比較レジスタOCR0を継続的に比較します。TCNT0とOCR0が等しければ比較器は一致を指示します。この一致は次のタイマ/カウンタクロックサイクルで比較割り込み要求フラグOCF0をセット(1)します。許可 (I=1, OCIE0=1)ならば、この比較割り込み要求フラグは比較割り込みが発生します。OCF0は割り込みが実行されると自動的にクリア(0)されます。代わりにOCF0はこのビット位置に論理1を書くことによりソフトウェアでクリア(0)できます。波形生成器は波形生成種別(WGM01~0)ビットと比較出力選択(COM01~0)ビットにより設定された動作種別に従った出力を生成するために、この一致信号を使用します。MAXとBOTTOM信号は動作種別(63頁の動作種別参照)のいくつかで両端値の特別な場合を扱うため、波形生成器により使用されます。

図36は比較出力部の構成図を示します。

OCR0はパルス幅変調(PWM)の何れかを使用するときダブルハフ化されます。標準動作と比較一致タイマ/カウンタクリア(CTC動作)についてはダブルハフ動作が禁止されます。ダブルハフ動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR0レジスタの更新を同期化します。この同期化は奇数長、非対称PWMパルスの発生を防ぎ、それによりグリッチなしの出力を作成します。

OCRのアクセスは複雑なように思えますが決してそんなことはありません。ダブルハフ動作が許可されるとCPUはOCR0ハフアクセスし、禁止されるとOCR0レジスタを直接アクセスします。

強制比較出力

非PWM波形生成動作での比較器の一致出力は、強制変更(FOC0)ビットに1を書くことにより強制変更できます。比較一致の強制は比較割り込み要求フラグOCF0のセット(1)やタイマ/カウンタの再設定/クリアを行いませんが、OC0は実際の比較一致が起きた場合と同様に更新されます(COM01~0ビット設定がOC0ビットのセット(1)、クリア(0)、1/0交互のどれかを定義)

TCNT0書き込みによる比較一致妨害

TCNT0への全てのCPU書き込みは、例えばタイマ/カウンタが停止されていても、次のタイマ/カウンタクロックサイクルで起こるどんな比較一致をも妨げます。この特質はタイマ/カウンタクロックが許可されている時に割り込みを起動することなく、TCNT0と同じ値に初期化されることをOCR0に許します。

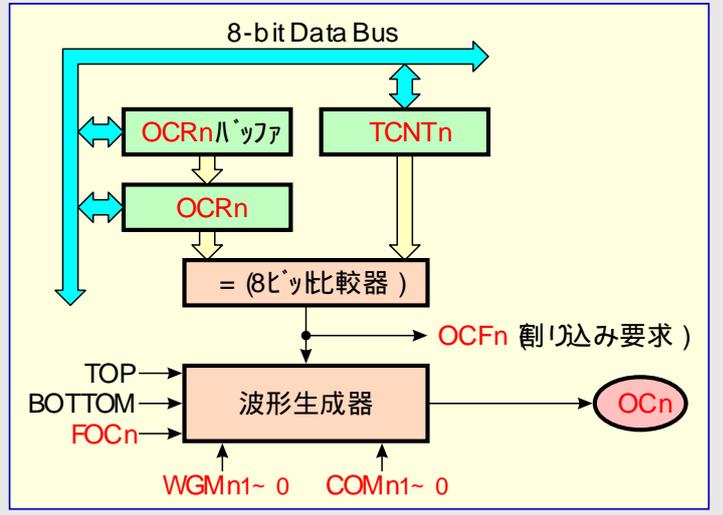
比較一致部の使用

どの動作種別でのTCNT0書き込みでも1タイマ/カウンタクロックサイクル間、全ての比較一致を妨げるため、タイマ/カウンタが走行中であるかないかに拘らず、比較出力部を使用する場合にTCNT0を変更するときは危険を伴います。TCNT0に書かれた値がOCR0値と同じ場合、比較一致は失われ(一致が発生せず)、不正な波形生成に終わります。同様にタイマ/カウンタが下降計数のとき、BOTTOMに等しいTCNT0値を書いてはいけません。

OC0の初期設定はポートピンに対するポート方向レジスタを出力に設定する前に行われるべきです。OC0値を設定する一番簡単な方法は標準動作で強制変更(FOC0)ストロブビットを使用することです。波形生成動作種別間を変更する時であっても、OC0(内部)レジスタはその値を保ちます。

比較出力選択(COM01~0)ビットが比較値(OCR0)と共にダブルハフされないことに気付いてください。COM01~0ビットの変更は直ちに有効となります。

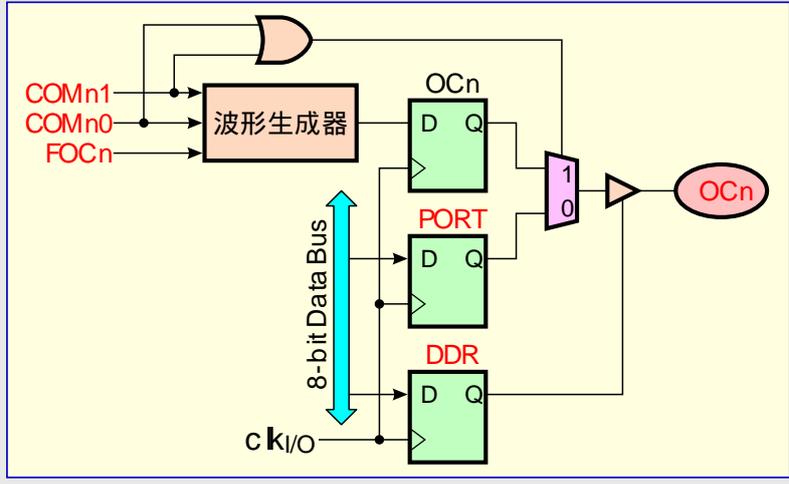
図36.比較出力部構成図



比較一致出力部

比較出力選択 (COM01~ 0)ビットは2つの機能を持ちます。波形生成器は次の比較一致での比較出力 (OC0)状態の定義にCOM01~ 0ビットを使用します。またCOM01~ 0ビットはOC0ピン出力元を制御します。図37はCOM01~ 0ビット設定により影響される論理回路の単純化した図を示します。図のI/Oレジスタ (I/Oビット、I/Oピン)は赤文字 (訳注 原文は太字)で示されます。COM01~ 0ビットにより影響を及ぼされる標準I/Oポート制御レジスタ (PORTとDDR)の部分だけが示されます。OCの状態を参照するとき、その参照はOC0ピンでなく内部OC0レジスタに対してです。

図 37.比較一致出力回路図



COM01~ 0ビットのどちらかがセット(1)されると、標準I/Oポート機能は波形生成器からの比較出力 (OC0)により無効にされます。けれどもOC0ピンの方向 (入出力)はポートピンに対するポート方向レジスタ(DDR)により未だ制御されます。OC0ピンに対するポート方向レジスタのビット(DDR_OC0)はOC0値がピンで見えるのに先立ち、出力として設定されなければなりません。このポートの兼用機能は波形生成種別と無関係です。

比較出力ピン論理回路の設計は出力が許可される前のOC0状態の初期化を許します。いくつかのCOM01~ 0ビット設定が或る種の動作種別に対して予約されることに注意してください。67頁の「8ビットタイマ/カウンタ用レジスタ」をご覧ください。

比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でCOM01~ 0ビットを違うふうに使います。全動作種別に対してCOM01~ 0=00設定は次の比較一致で実行すべきOC0レジスタの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については67頁の表53を参照してください。高速PWM動作については67頁の表54、位相基準PWMについては67頁の表55を参照してください。

COM01~ 0ビットの状態変更は、このビットが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更 (FOC0)ストロブビットを使用することにより直ちに効果を得ることを強制できます。

動作種別

動作種別、換言するとタイマ/カウンタと比較出力ピンの動作は波形生成種別 (WGM01~ 0)ビットと比較出力選択 (COM01~ 0)ビットの組み合わせにより定義されます。比較出力選択ビットは計数順序動作に影響を及ぼしませんが、一方波形生成種別ビットは影響を及ぼします。COM01~ 0ビットは生成されるPWM出力が反転されるべきか、されないべきか反転または非反転PWMどちらかを制御します。非PWM動作に対するCOM01~ 0ビットは比較一致で出力がクリア(0) セット(1) 1/C交互のどれにされるべきかを制御します (62頁の「比較一致出力部」をご覧ください)

タイミング情報の詳細については66頁の「タイマ/カウンタのタイミング」を参照してください。

標準動作

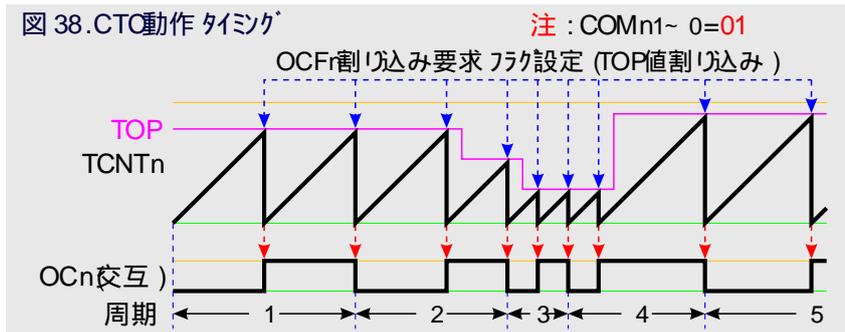
最も単純な動作種別が標準動作 (WGM01~ 0=00)です。この動作種別での計数方向は常に上昇 (+)で、カウンタクリアは実行されません。カウンタは8ビット最大値 (TOP=\$FF)を通過すると単に範囲を超え、そして\$00 (BOTTOM)から再び始めます。通常動作でのタイマ/カウンタオーバーフロー (TOV0)フラグはTCNT0が\$0dになる時と同じタイマ/カウンタクロックサイクルでセット(1)されます。この場合のTOV0フラグはセット(1)のみでクリア(0)されないことを除いて第9ビットのようになります。けれどもTOV0フラグを自動的にクリア(0)するタイマ/カウンタオーバーフロー割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアにより増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。

比較出力部は与えられた或る時間に割り込みを生成するために使用できます。標準動作で波形を生成するために比較出力を使用するのは、それが大変多くのCPU時間を占有するため推奨されません。

比較一致タイマ/カウンタクリア (CTC動作)

比較一致タイマ/カウンタクリア (CTC動作) (WGM01~ 0=10)では、OCRFがカウンタ分解能を操作するために使用されます。CTC動作では、カウンタ (TCNT0)値がOCR0と一致すると、カウンタは\$0dにクリアされます。OCRdはカウンタに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのタイミング図は図38で示されます。カウンタ (TCNT0)値はTCNT0とOCR間で比較一致が起こるまで増加し、そしてその後カウンタ (TCNT0)はクリア (\$0d)されます。



OCF0フラグを使用することにより、タイマ/カウンタ値がTOP値に到達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ルーチンはTOP値を更新するために使用できます。けれども前置分周なしまたは低い前置分周値でカウンタが走行している時にBOTTOMと近い値にTOPを変更することは、CTC動作がダブルハーフ機能を持たないために注意して行わなければなりません。OCRdに書かれた新しい値がTCNT0の現在値より低い (小さい) 場合、タイマ/カウンタはその回の比較一致を失います。その後カウンタは比較一致が起こるのに先立ち、最大値 (\$FF)へそして次に\$0dから始める計数をしなければならないでしょう。

CTC動作で波形出力を生成するため、OC出力は比較出力選択 (COM01~ 0)ビットを交互動作 (=01)に設定することによって各比較一致での論理レベル交互切り替えに設定できます。OCd値はそのピンに対するデフォルト方向が出力 (DDR_OC0=1)に設定されない限りポートピンで見えないでしょう。生成された波形はOCRdが0 (\$0d)に設定されるとき、f_{OC0}=f_{clk_I/O}/2dの最大周波数を得ます。生成波形周波数は次式により定義されます。

$$f_{OCn} = \frac{f_{clk_I/O}}{2 \times N \times (1 + OCRn)}$$

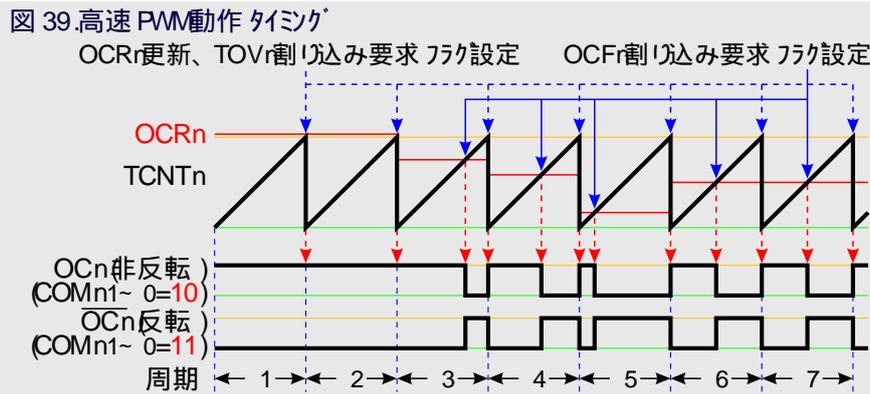
変数Nは前置分周数 (1, 8, 32, 64, 128, 256, 1024)を表します。

標準動作と同じように、タイマ/カウンタオーバーフロー (TOV0)フラグはカウンタがMAXから\$0dへ計数する同じタイマ/カウンタクロックサイクルでセット(1)されます。

高速 PWM動作

高速パルス幅変調 (PWM動作 WGM01~0=11)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜鋸波動作であることにより他のPWM動作と異なります。カウンタはBOTTOMからMAXまで計数し、その後BOTTOMから再び始めます。非反転比較出力動作 (COM01~0=10)での比較出力 (OC0)はTCNT0とOCR0間の比較一致でクリア(0)され、BOTTOMでセット(1)されます。反転出力動作 (COM01~0=11)の出力は比較一致でセット(1)され、BOTTOMでクリア(0)されます。単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜三角波動作を使用する位相基準PWM動作より倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(コイルやコンデンサ)を許し、従ってシステム総費用を削減します。

高速PWM動作でのタイマ/カウンタはタイマ/カウンタ値がMAX値と一致するまで増加されます。そしてタイマ/カウンタは(一致の次のタイマ/カウンタクロックサイクルでクリア(\$00)されます。高速PWM動作のタイミング図は図39で示されます。TCNT0値はタイミング図で単一傾斜動作鋸波を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR0値を示し、TCNT0値との交点(接点)がTCNT0とOCR0間の比較一致を示します(訳注: 図補正に伴い本行若干変更)比較割り込み要求フラグ(OCF0)はOCR0=MAXを除いて比較一致が起こるとセット(1)されます(訳注: 共通性のため本行追加)



タイマ/カウンタオーバ・フロー (TOV0)フラグはカウンタがMAXに到達する時毎にセット(1)されます。割り込みが許可されるならば、その割り込み処理ルーチンは比較値を更新するために使用できます。

高速PWM動作での比較部はOC0ピンでのPWM波形の生成を許します。COM01~0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM01~0を'11'に設定することで生成できます(6頁の表54をご覧ください)実際のOC0値はポートピンに対するデフォルト方向(DDR_OC0)が出力として設定される場合だけ見えるでしょう。PWM波形はTCNT0とOCR0間の比較一致でOC0(内部レジスタ)をセット(1)またはクリア(0)と、カウンタがクリア(\$00) MAXからBOTTOMへ変更されるタイマ/カウンタクロックサイクルでOC0レジスタをクリア(0)またはセット(1)することにより生成されます。

PWM出力周波数は次式により計算できます。

$$f_{OCnPWM} = \frac{f_{ck_I/O}}{N \times 256}$$

変数Nは前置分周数(1, 8, 32, 64, 128, 256, 1024)を表します。

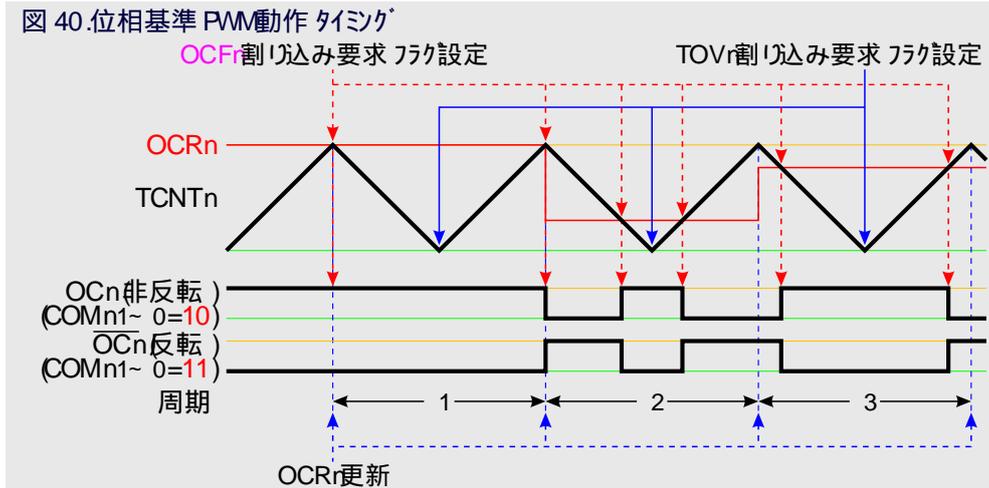
OCR0の両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合に当たります。OCR0がBOTTOM(\$00)と等しく設定されると、出力はMAX+1タイマ/カウンタクロックサイクル毎の狭いスパイク(パルス)になるでしょう。OCR0がMAXに等しく設定されると、(COM01~0)ビットにより設定される出力極性に依存して定常的なLowまたはHigh出力に終わるでしょう。

(訳注: 以下は本動作種別がTOP=MAX(\$FF)で固定のため基本的に不適切です。)高速PWM動作で(デューティ比50%周波数の波形出力は比較一致毎に論理反転するOC0設定 (COM01~0=01)により達成できます。生成された波形はOCR0が0(\$00)に設定されるときにOC0 = fck_I/O / 2の最大周波数でしょう。この特性は高速PWM動作で比較出力部のダブルハーフ機能が許可されることを除いて、CTC動作でのOC0交互出力 (COM01~0=01)と同じです。

位相基準PWM動作

位相基準パルス幅変調 (PWM 動作 $WGM01 \sim 0=01$) は高分解能で正しい位相の PWM 波形生成選択を提供します。位相基準 PWM 動作は両傾斜 三角波 動作を基準とします。カウンタは **BOTTOM** から **MAX** へそして次に **MAX** から **BOTTOM** へを繰り返し計数します。非反転比較出力動作 ($COM01 \sim 0=10$) での比較出力 (OC0) は上昇計数中の TCNT0 と OCR0 の比較一致でクリア (0) され、下降計数中の比較一致でセット (1) されます。反転出力動作 ($COM01 \sim 0=11$) での動作は逆にされます。両傾斜 三角波 動作は単一傾斜 鋸波 動作より低い最大動作周波数になります。けれども両傾斜 三角波 動作の対称特性のため、これらの動作種別は モーザ制御の応用に好まれます。

位相基準 PWM 動作の PWM 分解能は 8 ビットに固定されます。位相基準 PWM 動作での カウンタは カウンタ値が MAX と一致するまで増加されます。カウンタは MAX に到達すると計数方向を変更します。この TCNT0 値は 1 タイマ/カウンタ クロック サイクル間 MAX と等しくなります。位相基準 PWM 動作の タイミング図は 図 40 で示されます。TCNT0 値は タイミング図で両傾斜動作 三角波 を表す折れ線 グラフとして示されます。この図は非反転と反転の PWM 出力を含みます。細い赤線は OCR0 値を示し、TCNT0 値との交点 接点 が TCNT0 と OCR0 間の比較一致を示します (訳注 図補正に伴い本行若干変更)



タイマ/カウンタ オーバーフロー (TOV0) フラグはタイマ/カウンタが **BOTTOM** に到達する時毎にセット (1) されます。この割り込み要求 フラグは カウンタが **BOTTOM** 値に到達する毎に割り込みを発生するために使用できます。

位相基準 PWM 動作での比較部は OC0 ピンでの PWM 波形の生成を許します。COM01 ~ 0 ビットを **10** に設定することは非反転 PWM 出力を作成し、反転 PWM 出力は COM01 ~ 0 ビットを **11** に設定することで生成できます (6 頁の表 55 をご覧ください) 実際の OCR 値はそのポートピンに対する $\bar{D}DR_OC0$ が出力として設定される場合だけ見えます。PWM 波形は カウンタが増加するときの TCNT0 と OCR0 間の比較一致で OC0 (内部) レジスタをセット (1) またはクリア (0) と、カウンタが減少するときの TCNT0 と OCR0 間の比較一致で OC0 レジスタをクリア (0) またはセット (1) により生成されます。位相基準 PWM を使用するときの出力に対する PWM 周波数は次式により計算できます。

$$f_{OCnPCPWM} = \frac{f_{ck_I/O}}{N \times 510}$$

変数 N は前置分周数 (1, 8, 32, 64, 128, 256, 1024) を表します。

OCR0 の両端値は位相基準 PWM 動作で PWM 波形出力を生成する時の特別な場合に当たります。非反転 PWM 動作では OCR0 が **BOTTOM** (000) に等しく設定されると出力は定常的な **Low**、MAX に等しく設定されると定常的な **High** になるでしょう。反転 PWM に対する出力は逆の論理値になります。

図 40 の第 2 周期のその出発点において、例えば比較一致がないとしても、OCRn には **High** から **Low** への遷移があります。この遷移点は **BOTTOM** を挟む対称を保証するためです。比較一致なしに遷移を生ずるのは 2 つの場合です。

図 40 のように、OCR0 は MAX からその値を変更します。OCR0 値が MAX のとき、OCRn レジスタ値は下降計数での比較一致の結果と同じです (訳注: L → H 直前が H のため、常に H) **BOTTOM** を挟む対称を保証するため、変更直後の MAX 位置での OCRn 値は上昇計数での比較一致の結果 (H → L) と一致しなければなりません。

タイマ/カウンタが OCR0 値より高い値から数え始め、そしてその理屈のために比較一致、それ故上昇途中で起こされるであろう OCRn の変更を逃します。(訳注: 従って上記同様、MAX 位置で直前が H ならば H → L 遷移が生じます。)

タイマ/カウンタのタイミング

図 41 と図 42 はタイマ/カウンタ動作についてのタイミングデータを含みます。このタイマ/カウンタは同期設計で、従ってタイマ/カウンタクロック (ck_{T0}) がクロック許可信号として示されます。図は MAX 値近辺の計数の流れを示します。図 43 と図 44 は同じタイミングデータを示しますが、前置分周器が許可されています。この図は割り込み要求フラグがセット(1)される時を図解します。

以下の図は同期動作でのタイマ/カウンタを示し、従ってタイマ/カウンタクロック (ck_{T0}) が計数許可信号として示されます。非同期動作では $ck_{I/O}$ がタイマ/カウンタ発振器 (TOSC) クロックにより置換されるべきです。本図は割り込みフラグがセット(1)される時の情報を含みます。図 41 は基本的なタイマ/カウンタ動作についてのタイミングデータを示します。この図は位相基準 PWM 動作以外の全ての動作種別での MAX 値近辺の計数の流れを示します。

図 41. 前置分周なし (1/1) のタイマ/カウンタ タイミング

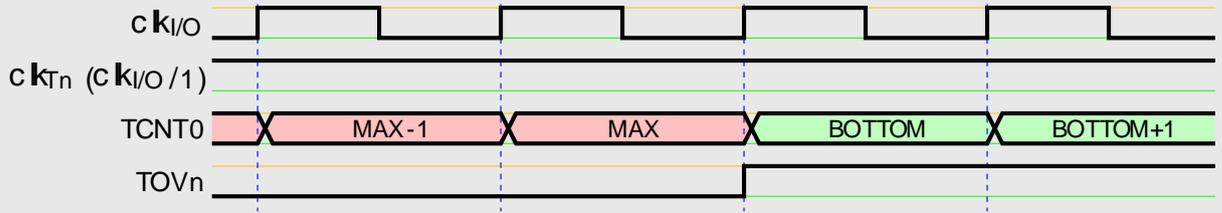


図 42 は同じタイミングデータを示しますが、前置分周器が許可されています。

図 42. 前置分周器 ($ck_{I/O}/8$) のタイマ/カウンタ タイミング

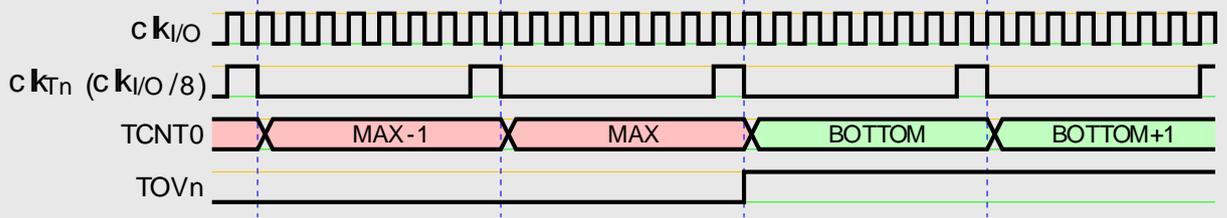


図 43 は CTC 動作を除く全ての動作種別での OCF の設定を示します。

図 43. 前置分周器 ($ck_{I/O}/8$) のタイマ/カウンタ OCF 設定 タイミング

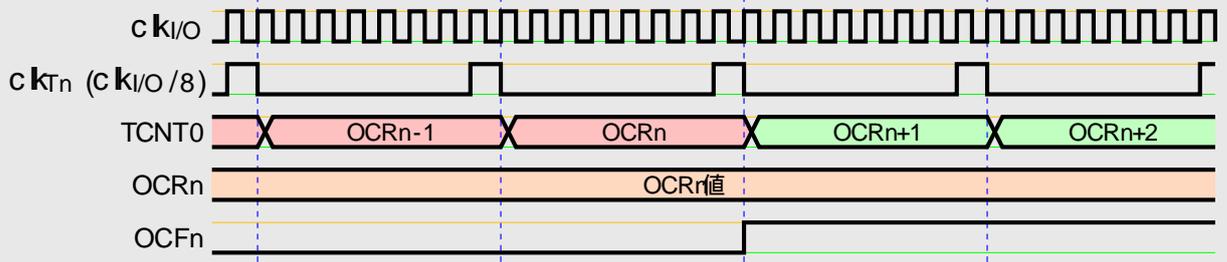
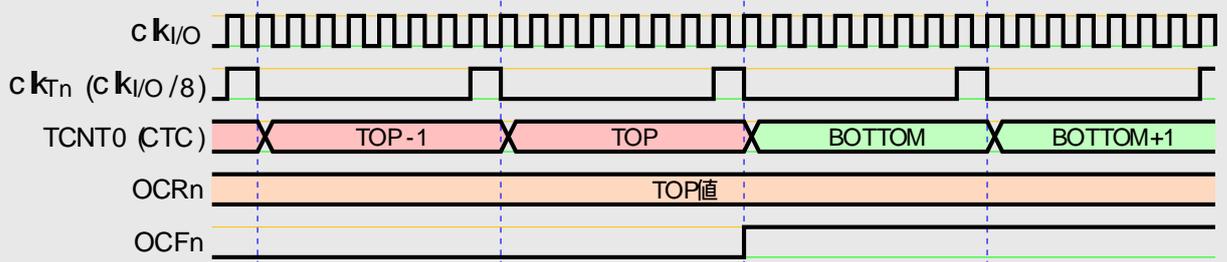


図 44 は CTC 動作での TCNT のクリアと OCF の設定を示します。

図 44. 前置分周器 ($ck_{I/O}/8$) のタイマ/カウンタ OCF 設定 タイミング



8ビットタイマ/カウンタ0用レジスタ

タイマ/カウンタ0制御レジスタ (Timer/Counter0 Control Register) TCCR0

ビット	7	6	5	4	3	2	1	0	
\$33 (\$53)	FOC0	WGM00	COM01	COM00	WGM01	CS02	CS01	CS00	TCCR0
Read/Write	W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - FOC0 :OC強制変更 (Force Output Compare 0)

FOC0ビットはWGM01~ 0ビットが非PWM動作を指示する時だけ有効です。けれども将来のデバイスとの共通性を保証するため、PWM動作で扱う時にTCCR0が書かれる場合、このビットは0に設定されなければなりません。FOC0ビットに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC0出力はCOM01~ 0ビット設定に従って変更されます。FOC0ビットがストロブとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM01~ 0ビットに存在する値です。

FOC0ストロブは何れの割り込みの生成もTOPとしてOCR0を使用する比較一致タイマクリア(CTC動作)でのタイマ/カウンタのクリア(\$00)も行いません。

FOC0ビットは常に0として読まれます。

ビット6,3 - WGM01,WGM00 :波形生成種別 (Waveform Generation Mode bit 1 and 0)

これらのビットはカウンタの計数順序(方向)最大(TOP)カウンタ値の供給元、使用されるべき波形生成のどの形式かを制御します。タイマ/カウンタ部によって支援される動作種別は標準動作、比較一致タイマ/カウンタクリア(CTC動作)と、2形式のパルス幅変調(PWM動作)です。表52と63頁の「動作種別」をご覧ください。

表 52. 波形生成種別選択

番号	WGM01 (CTC0)	WGM00 (PWM0)	タイマ/カウンタ動作種別	TOP値	OCR0更新時	TOV0設定時
0	0	0	標準動作	\$FF	即時	MAX
1	0	1	位相基準PWM動作	\$FF	TOP	BOTTOM
2	1	0	比較一致タイマ/カウンタクリア(CTC動作)	OCR0	即時	MAX
3	1	1	高速PWM動作	\$FF	TOP	MAX

注: CTC0とPWM0ビット定義名は旧名です。WGM01~ (定義を使用してください)。しかし、これらのビットの機能と位置は旧版のタイマ/カウンタと一致します。

ビット5,4 - COM01,COM00 :比較0出力選択 (Compare Match 0 Output Mode bit 1 and 0)

これらのビットはOC0比較出力ピンの動作を制御します。COM01~ 0ビットの1つまたは両方が1を書かれると、OC0出力はそのI/Oピンの通常ホート機能が無効にし、そのI/Oピンに接続されます。けれども出力ドライブを許可するため、OC0ピンに対応するホート方向レジスタ(DDR)のビットがセット(1)されなければならないことに注意してください。

OC0がピンに接続される時、COM01~ 0ビットの機能はWGM01~ 0ビット設定に依存します。

表53はWGM01~ 0ビットが標準動作またはCTC動作(つまりPWM以外)に設定されるときCOM01~ 0ビット機能を示します。

表54はWGM01~ 0ビットが高速PWM動作に設定されるときCOM01~ 0ビットの機能を示します。

表55はWGM01~ 0ビットが位相基準PWM動作に設定されるときCOM01~ 0ビットの機能を示します。

表 53. 非PWM動作での比較出力選択

COM01	COM00	意味
0	0	標準ホート動作 (OC0切断)
0	1	比較一致でOC0ピンが交互出力
1	0	比較一致でOC0ピンがLowレベル出力
1	1	比較一致でOC0ピンがHighレベル出力

表 54. 高速PWM動作での比較出力選択

COM01	COM00	意味
0	0	標準ホート動作 (OC0切断)
0	1	予約
1	0	比較一致でLow、TOPでHighをOC0ピンへ出力
1	1	比較一致でHigh、TOPでLowをOC0ピンへ出力

注: COM01がセット(1)され、OCR0がTOPと等しいときに特別な状態が起きます。この状態での比較一致は無視されますが、TOPでのセット(1)またはクリア(0)は行われます。より多くの詳細については64頁の「高速PWM動作」をご覧ください。

表 55. 位相基準PWM動作での比較出力選択

COM01	COM00	意味
0	0	標準ホート動作 (OC0切断)
0	1	予約
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC0ピンへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC0ピンへ出力

注: COM01がセット(1)され、OCR0がTOPと等しいときに特別な状態が起きます。この状態での比較一致は無視されますが、TOPでのセット(1)またはクリア(0)は行われます。より多くの詳細については65頁の「位相基準PWM動作」をご覧ください。

ビット2,1,0 - CS02 CS01 CS00 : クロック選択0 (Clock Select0, bit 2,1 and 0)

この3つのクロック選択ビットはタイマ/カウンタ(TCNT0)により使用されるクロック元を選択します。表56をご覧ください。

表56. タイマ/カウンタ0入力クロック選択

CS02	CS01	CS00	意味
0	0	0	停止 (タイマ/カウンタ動作停止)
0	0	1	clk _{TOS} 前置分周なし)
0	1	0	clk _{TOS} /8 (8分周)
0	1	1	clk _{TOS} /32 (32分周)
1	0	0	clk _{TOS} /64 (64分周)
1	0	1	clk _{TOS} /128 (128分周)
1	1	0	clk _{TOS} /256 (256分周)
1	1	1	clk _{TOS} /1024 (1024分周)

タイマ/カウンタ0 (Timer/Counter0) TCNT0

ビット	7	6	5	4	3	2	1	0		
\$32 (\$52)	MSB							LSB		TCNT0
Read/Write	RW	RW	RW	RW	RW	RW	RW	RW	RW	
初期値	0	0	0	0	0	0	0	0		

このタイマ/カウンタレジスタは読み書き両方の操作について、タイマ/カウンタの8ビットカウンタに直接アクセスします。TCNT0への書き込みは次のタイマ/カウンタクロックでの比較一致を妨害(除去)します。カウンタが走行中にカウンタ(TCNT0)を変更することは、TCNT0とOCR間の比較一致消失の危険を誘発します。

タイマ/カウンタ0比較レジスタ (Timer/Counter0 Output Compare Register) OCR0

ビット	7	6	5	4	3	2	1	0		
\$31 (\$51)	MSB							LSB		OCR0
Read/Write	RW	RW	RW	RW	RW	RW	RW	RW	RW	
初期値	0	0	0	0	0	0	0	0		

この比較レジスタは継続的にカウンタ(TCNT0)値と比較される8ビットの値を含みます。一致は比較一致割り込みやOC0ピンでの波形出力を生成するために使用できます。

タイマ/カウンタ割り込みマスクレジスタ (Timer/Counter Interrupt Mask Register) TMSK

ビット	7	6	5	4	3	2	1	0	
\$37 (\$57)	OCIE2	TOIE2	TCE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0	TMSK
Read/Write	RW	RW	RW	RW	RW	RW	RW	RW	RW
初期値	0	0	0	0	0	0	0	0	

ビット1 - OCIE0 : タイマ/カウンタ0比較割り込み許可 (Timer/Counter0 Output Compare Match Interrupt Enable)

OCIE0ビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットがセット(1)されると、タイマ/カウンタ0比較一致割り込みが許可されます。タイマ/カウンタ0で比較一致が起こる換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TFR)で比較割り込み要求フラグ(OCF0)がセット(1)されると、対応する割り込みが実行されます。

ビット0 - TOIE0 : タイマ/カウンタ0オーバーフロー割り込み許可 (Timer/Counter0 Overflow Interrupt Enable)

TOIE0ビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットがセット(1)されると、タイマ/カウンタ0オーバーフロー割り込みが許可されます。タイマ/カウンタ0でオーバーフローが起こる換言すると、タイマ/カウンタ割り込み要求フラグレジスタ(TFR)でタイマ/カウンタ0オーバーフロー割り込み要求(TOV0)フラグがセット(1)されると、対応する割り込みが実行されます。

タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter Interrupt Flag Register) TIFR

ビット	7	6	5	4	3	2	1	0	
\$36 (\$56)	OCF2	TOV2	CF1	OCF1A	OCF1B	TOV1	OCF0	TOV0	TIFR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット1 - OCF0 : タイマ/カウンタ0比較割り込み要求フラグ (Timer/Counter0, Output Compare Match Flag)

OCF0ビットは比較一致がタイマ/カウンタ(TCNT0)と比較レジスタ(OCR0)間で起こる時にセット(1)されます。対応する割り込み処理へクエを実行すると、OCF0はハードウェアによりクリア(0)されます。代わりにこのフラグへ論理1を書くことによってもOCF0はクリア(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込みマスクレジスタ(TMSK)のタイマ/カウンタ0比較一致割り込み許可(OC0E)ビット、OCF0がセット(1)されると、タイマ/カウンタ0比較一致割り込みが実行されます。

ビット0 - TOV0 : タイマ/カウンタ0オーバフロー割り込み要求フラグ (Timer/Counter0 Overflow Flag)

TOV0ビットはタイマ/カウンタ(TCNT0)でオーバフローが起こる時にセット(1)されます。対応する割り込み処理へクエを実行すると、TOV0はハードウェアによりクリア(0)されます。代わりにこのフラグへ論理1を書くことによってもTOV0はクリア(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込みマスクレジスタ(TMSK)のタイマ/カウンタ0オーバフロー割り込み許可(TOE0)ビット、OVF0がセット(1)されると、タイマ/カウンタ0オーバフロー割り込みが実行されます。PWM動作ではタイマ/カウンタ0が\$00で計数方向を変えると、このビットがセット(1)されます。

タイマ/カウンタ0の非同期動作

タイマ/カウンタ0非同期ステータスレジスタ (Timer/Counter0 Asynchronous Status Register) ASSR

ビット	7	6	5	4	3	2	1	0	
\$30 (\$50)	-	-	-	-	AS0	TCN0UB	OCR0UB	TCR0UB	ASSR
Read/Write	R	R	R	R	R/W	R	R	R	
初期値	0	0	0	0	0	0	0	0	

ビット3 - AS0 : タイマ/カウンタ0非同期動作許可 (Asynchronous Timer/Counter0)

AS0が0を書かれると、タイマ/カウンタ0はI/Oクロック(c_{kl}/I/O)からクロック駆動されます。AS0が1を書かれると、タイマ/カウンタ0はタイマ発振器(TOSC1, TOSC2)ビットに接続されたクリスタル発振器からクロック駆動されます。AS0の値が変更されると、タイマ/カウンタ0(TCNT0)、比較0レジスタ(OCR0)、タイマ/カウンタ制御レジスタ(TCCR0)の内容は不正にされるかもしれません。

ビット2 - TCN0UB : タイマ/カウンタ0更新中フラグ (Timer/Counter0 Update Busy)

タイマ/カウンタ0が非同期に動き、タイマ/カウンタ0(TCNT0)が書かれると、このビットがセット(1)になります。TCNT0が一時保存レジスタから更新されてしまうと、このビットはハードウェアによりクリア(0)されます。このビットの論理0はTCNT0が新しい値で更新される用意ができたことを示します。

ビット1 - OCR0UB : 比較0レジスタ更新中フラグ (Output Compare Register0 Update Busy)

タイマ/カウンタ0が非同期に動き、比較0レジスタ(OCR0)が書かれると、このビットがセット(1)になります。OCR0が一時保存レジスタから更新されてしまうと、このビットはハードウェアによりクリア(0)されます。このビットの論理0は比較0レジスタ(OCR0)が新しい値で更新される用意ができたことを示します。

ビット0 - TCR0UB : タイマ/カウンタ0制御レジスタ更新中フラグ (Timer/Counter0 Control Register Update Busy)

タイマ/カウンタ0が非同期に動き、タイマ/カウンタ0制御レジスタ(TCCR0)が書かれると、このビットがセット(1)になります。TCCR0が一時保存レジスタから更新されてしまうと、このビットはハードウェアによりクリア(0)されます。このビットの論理0はタイマ/カウンタ0制御レジスタ(TCCR0)が新しい値で更新される用意ができたことを示します。

更新中フラグがセット(1)中に3つのタイマ/カウンタ0レジスタの何れかに書き込みが実行されると、更新された値は不正にされ、予期せぬ割り込みを起こす原因になるかもしれません。

TCNT0、OCR0、TCCR0読み込みについての機構は異なります。TCNT0を読むときは実際のタイマ/カウンタ値が読まれ、OCR0またはTCCR0を読むときは一時保存レジスタの値が読まれます。

タイマ/カウンタ0非同期動作

タイマ/カウンタ0が非同期で動くとき、いくつかの考慮が成されなければなりません。

警告 : タイマ/カウンタ0の同期 / 非同期 クロック駆動間を切り替えると、**タイマ/カウンタ0 (TCNT0)**、**タイマ/カウンタ0比較レジスタ (OCR0)**、**タイマ/カウンタ0制御レジスタ (TCCR0)** が不正となるかもしれません。クロック元を切り替える安全な手順を次に示します。

タイマ/カウンタ0割り込みマスクレジスタ (TMSK) の OCIE0 と TOIE0 のクリア (0) により、タイマ/カウンタ0割り込みを禁止します。

非同期ステータスレジスタ (ASSR) の非同期動作許可 (AS0) 設定によりクロック元を適切に選択します。

TCNT0, OCR0, TCCR0 に新しい値を書きます。

非同期動作へ切り替えるには、TCN0UB, OCR0UB, TCR0UB について (=0) まで待機します。

タイマ/カウンタ0割り込み要求フラグレジスタ (IFR) の OCF0 と TOV0 フラグをクリア (0) します。

必要とされるなら、割り込みを許可します。

発振器は時計用 32.768kHz クリスタルで使用するために最適化されています。TOSC1ピンの外部クロックを印加することは不正なタイマ/カウンタ0動作に終わるかもしれません。CPU主クロック周波数は、この発振器周波数の4倍より高くなければなりません。

TCNT0, OCR0, TCCR0 レジスタの1つに書くとき、その値は一時レジスタへ転送され、TOSC1で2つの立ち上りエッジ後、実レジスタに設定されます。一時レジスタの内容がそれらの転送先へ転送されてしまう前に、新しい値を書くべきではありません。記載された3つのレジスタの各々がそれら個別の一時レジスタを持ちます。それは、例えば TCNT0書き込みが OCR0書き込みの実行を妨げないことを意味します。転送先レジスタへの転送が起きたことを検知するため、非同期ステータスレジスタ (ASSR) は実装されました。

TCNT0, OCR0, TCCR0 に書いた後で **パワーセーブ** または **拡張スタンバイ** 動作へ移行するとき、デバイス起動のためにタイマ/カウンタ0が使用される場合、使用者は書かれたレジスタが更新されてしまうまで待たなければなりません。さもなければMCUは変更が有効になる前に **スリープ** 動作へ移行するでしょう。タイマ/カウンタ0比較一致割り込みがデバイスを起動するために使用されると、TCNT0 または OCR0書き込み中の比較機能が禁止されるため、これは非常に重要です。書き込みサイクルが完了されず、OCR0UBが0に戻る前にMCUがスリープ動作へ移行すると、デバイスは決して比較一致割り込みを受け取らず、そしてMCUは起動しないでしょう。

パワーセーブ または **拡張スタンバイ** 動作からデバイスを起動するためにタイマ/カウンタ0が使用される場合、使用者がこれら動作へ復帰後、再移行することを欲するならば、予防処置を講じなければなりません。割り込み論理回路はリセットするために1TOSC1サイクルが必要です。起動とスリープ動作再移行間の時間が1TOSC1サイクル未満の場合、割り込みが起きず、デバイスは起動に失敗するでしょう。**パワーセーブ** または **拡張スタンバイ** 動作再移行前の時間が充分かどうか迷う場合、1TOSC1サイクルが経過されることを保証するために次の手順が使用できます。

TCNT0, OCR0, TCCR0 に値を書きます。

非同期ステータスレジスタ (ASSR) の対応する更新中フラグが0に戻るまで待ちます。

パワーセーブ または **拡張スタンバイ** 動作へ移行します。

非同期動作 が選択されるとき、タイマ/カウンタ0用 32.768kHz 発振器は **パワーダウン** と **スタンバイ** 動作を除いて常に動作します。電源投入リセット **パワーダウン** または **スタンバイ** 動作から起動後、この発振器が安定するために 秒程度かかるかもしれないことを使用者は承知すべきです。電源投入、**パワーダウン** または **スタンバイ** 動作から起動後、タイマ/カウンタ0を使用する前に少なくとも 秒待つことが推奨されます。この発振器の使用またはクロック信号が TOSC1ピンに印加されるかのどちらかに拘らず、起動時の不安定なクロック信号のため、**パワーダウン** または **スタンバイ** 動作からの起動復帰後、タイマ/カウンタ0の全レジスタの内容が失われたとみなされなければなりません。

タイマ/カウンタ0が非同期でクロック駆動される時の **パワーセーブ** または **拡張スタンバイ** 動作から起動の説明。割り込み条件が合致すると、タイマ/カウンタ0クロックの次のサイクルで起動処理が開始され、プロセッサがカウンタ値を読めるのに先立ち、タイマ/カウンタ0は常に最低1進行されます。起動後MCUは4サイクル停止され、割り込みルーチンを実行し、そして **SLEEP** 命令の次の命令から実行を再開します。

パワーセーブ 動作から起動直後の TCNT0 の読み込みは不正な結果を得るかもしれません。TCNT0 が非同期 TOSC クロックでクロック駆動されるため、TCNT0 読み込みは内部 I/O クロック領域に同期したレジスタを通して行われなければなりません。同期化は TOSC クロックの全立ち上りエッジで行われます。**パワーセーブ** 動作から起動し、I/O クロック (CLKI/O) が再び活性 (有効) になるとき、TCNT0 は TOSC クロックの次の立ち上りエッジまで以前 (**スリープ** 動作移行前) の値を読むでしょう。**パワーセーブ** 動作から起動後の TOSC クロックの位相は起動時間に依存するため本質的に特定できません。従って TCNT0 読み込みに対する推奨手順は次のとおりです。

OCR0 または TCCR0 のどちらかに何か値を書きます。

非同期ステータスレジスタ (ASSR) の対応する更新中フラグがクリア (0) されるまで待ちます。

TCNT0 を読みます。

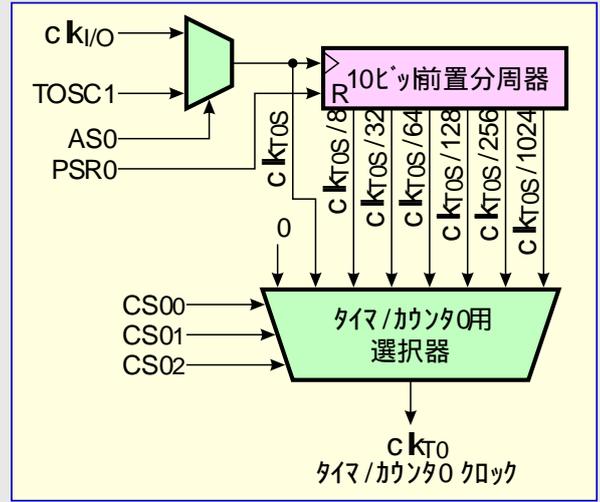
非同期動作の間中、非同期タイマ用割り込み要求フラグの同期化は 3プロセッサ サイクル + 1タイマ サイクルかかります。従ってプロセッサが割り込み要求フラグ設定の原因となったタイマ値を読めるのに先立ち、このタイマは最低1進行されます。比較出力ピンはタイマクロックで変更され、プロセッサクロックに同期されません。

タイマ/カウンタ0の前置分周器

タイマ/カウンタ0用クロックの名前は ck_{TOS} です。 ck_{TOS} は既定により主システム I/Oクロック ($ck_{I/O}$) に接続されます。 **タイマ/カウンタ0非同期ステータスレジスタ (ASSR) の非同期クロック (AS0) ビット** の設定 (1) により、タイマ/カウンタ0は TOSC1 ピンから非同期にクロック駆動されます。これはリアルタイムカウンタ (RTC) としてのタイマ/カウンタ0の使用を可能にします。 AS0 がセット (1) されると、TOSC1 と TOSC2 ピンはホートGから切り離されます。水晶発振器はタイマ/カウンタ0用の独立したクロックとして扱うため、TOSC1 と TOSC2 ピン間に接続できません。この発振器は 32.768kHz 水晶発振器を使用するために最適化されています。 TOSC1 に外部クロックを印加することは推奨されません。

タイマ/カウンタ0に対して可能な前置分周み選択は $ck_{TOS}/8$, $ck_{TOS}/32$, $ck_{TOS}/64$, $ck_{TOS}/128$, $ck_{TOS}/256$, $ck_{TOS}/1024$ です。加えて 0 (停止) は勿論 ck_{TOS} も選択可能です。 **特殊 I/O 機能レジスタ (SFDR) のタイマ/カウンタ0前置分周器リセット (PSR0) ビット** のセット (1) は前置分周器をリセットします。これは予測可能な前置分周器での操作を使用者に許します。

図 45. タイマ/カウンタ0前置分周器部構成



特殊 I/O 機能レジスタ (Special Function I/O Register) SFDR

ビット	7	6	5	4	3	2	1	0	
\$20 (\$40)	TSM	-	-	-	ACME	PUD	PSR0	PSR321	SFDR
Read/Write	R/W	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - TSM : タイマ/カウンタ同時動作 (Timer/Counter Synchronization Mode)

TSM ビットに 1 を書くことはタイマ/カウンタ同期化動作を活性 (有効) にします。この動作で PSR0 と PSR321 へ書かれる値は保持され、従って対応する前置分周器リセット信号の有効を保持します。これは対応するタイマ/カウンタを停止し、設定中にそれらの一つが進行する危険なしに同じ値に設定できることを保証します。 TSM ビットが 0 を書かれると、PSR0 と PSR321 ビットはハードウェアによりクリア (0) され、同時にタイマ/カウンタが計数を始めます。

ビット1 - PSR0 : タイマ/カウンタ0前置分周器リセット (Prescaler Reset Timer/Counter0)

このビットが 1 のとき、タイマ/カウンタ0の前置分周器はリセットします。通常、このビットはハードウェアにより直ちにクリア (0) されます。タイマ/カウンタ0が非同期動作のときに、このビットが (1) を書かれると、このビットは前置分周器がリセットされてしまうまで 1 に留まります。 TSM ビットがセット (1) される場合、このビットはハードウェアによりクリア (0) されません。

訳補) SFDR のビット4は元の ADHSM が削除されました。この結果、次の項目が必要と思われる。

ビット4 - Res : 予約 (Reserved Bit)

このビットは将来の使用に対して予約されています。将来のデバイスとの共通性のため、SFDR が書かれるとき、このビットは 0 が書かれなければならない。

16ビットタイマ/カウンタ (タイマ/カウンタ1とタイマ/カウンタ3)

この16ビットタイマ/カウンタは正確なプログラム実行タイミング(事象管理)、波形生成、信号タイミング計測を許します。主な特徴は次のとおりです。

真の16ビット設計 (換言すれば16ビットPWMの許容)
 3つの独立した比較出力部
 ダブルハーフの比較レジスタ
 1つの捕獲(キャプチャ)入力部
 捕獲入力ノイズ消去器
 比較一致でのタイマ/カウンタクリア(自動再設定)

クリップなしで正しい位相のパルス幅変調器(PWM)
 可変PWM周期
 周波数発生器
 外部事象カウンタ
 10種の独立した割り込み(TOV1,OCF1A,OCF1B,OCF1C,CF1,TOV3,OCF3A,OCF3B,OCF3C,CF3)

ATmega103互換動作での制限

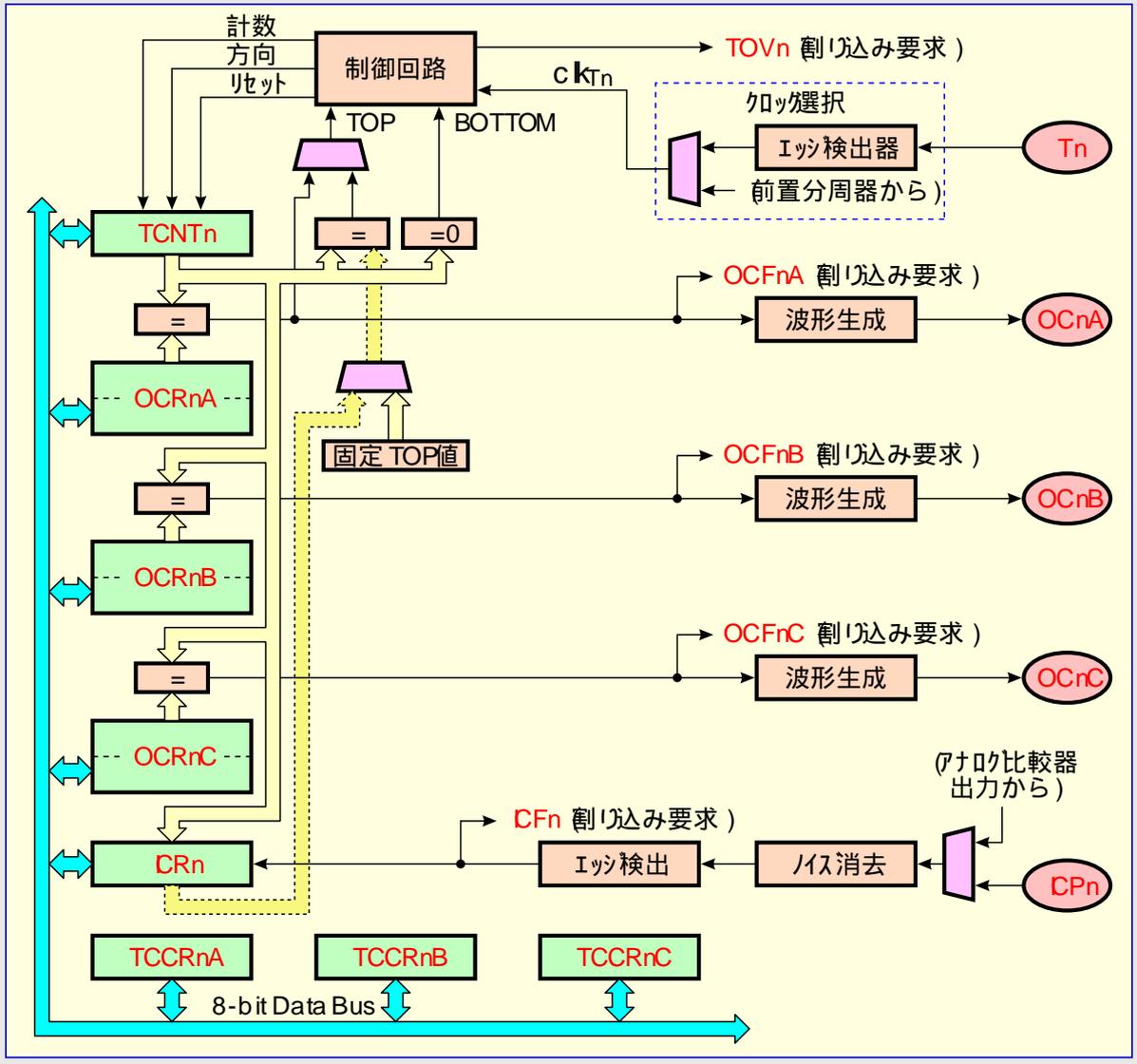
ATmega103互換動作では1つの16ビットタイマ/カウンタ(タイマ/カウンタ1)だけが利用可能なことに注意してください。同様にATmega103互換動作では2つの比較レジスタ比較Aと比較Bだけであることに注意してください。

概要

本資料でのレジスタとビット参照の多くは一般形で書かれます。小文字の n はタイマ/カウンタ番号、小文字の x は比較出力部の置き換えです。けれどもプログラムでレジスタまたはビット定義に使用するときは正確な形式が使用されなければなりません(例えばタイマ/カウンタ1のカウンタ値に対するアクセスのTCNT1のように)

この16ビットタイマ/カウンタの単純化した構成図は図46で示されます。CPUがアクセス可能な(I/OビットとI/Oピンを含む)I/Oレジスタは赤文字(訳注:原文太字)で示されます。デバイス仕様のI/Oレジスタとビット位置は86頁の「16ビットタイマ/カウンタ1用レジスタ」で示されます。

図46. 16ビットタイマ/カウンタ構成図



注: タイマ/カウンタ1と3のピン配置と説明については 4頁の「ピン配置」、44頁の表30、49頁の表39を参照してください。

関係レジスタ

タイマ/カウンタ(TCNTn)、比較レジスタ(OCRnA、OCRnB、OCRnC)、捕獲レジスタ(CRn)は全て16ビットレジスタです。16ビットレジスタをアクセスするとき、特別な手順に従わなければなりません。これらの手順は74頁の「16ビットレジスタのアクセス」項で記述されます。タイマ/カウンタ制御レジスタ(TCCRnA、TCCRnB、TCCRnC)は8ビットレジスタで、CPUアクセス制限はありません。割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ(IFR)と拡張タイマ/カウンタ割り込み要求レジスタ(ETFR)で全て見えます。すべての割り込みはタイマ/カウンタ割り込みマスクレジスタ(TMSK)と拡張タイマ/カウンタ割り込みマスクレジスタ(ETMSK)で個別に遮蔽禁止されます。(E)IFRと(E)TMSKは、これらのレジスタが他のタイマ/カウンタにより共用されるため、この図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、またはTnピン^①の外部クロックによりクロック駆動されます。クロック選択論理部はタイマ/カウンタが値を増加(または減少)するために使用するクロックとエッジを制御します。クロックが選択されないとき、タイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタクロック(CKtn)として参照されます。

ダブルハーフ化した比較レジスタ(OCRnA、OCRnB、OCRnC)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OCnA、OCnB、OCnC)ピンでPWMまたは可変周波数出力を生成するための波形生成器により使用できます。78頁の「比較出力部」をご覧ください。この比較一致発生は比較出力割り込み要求の発生に使用できる比較一致割り込み要求フラグ(OCFnA、OCFnB、OCFnC)もセット(1)します。

捕獲レジスタ(CRn)は捕獲起動(CPn)ピンまたはアナログ比較器出力(15頁の「アナログ比較器」参照)のどちらかの外部(エッジで起動された)事象でタイマ/カウンタ値を捕獲(ピン^①でできます。捕獲入力部はスパイクノイズを捕らえる機会を軽減するためにデジタル濾波部(ノイズ除去器)を含みます。

TOP値または最大タイマ/カウンタ値は、いくつかの動作種別で、OCRnA、CRn または一群の固定値の何れかにより定義できます。PWM動作でTOP値としてOCRnAを使用すると、OCRnAはPWM出力生成用に使用できません。けれどもこの場合、TOP値は動作中に変更されることをTOP値に許すダブルハーフ化します。固定的なTOP値が必要とされる場合、CRnが代わりに使用でき、PWM出力として使用されるべきOCRnAを開放します。

定義

次の定義は本資料を通じて広範囲に使用されます。

表 57 用語定義

用語	意味
BOTTOM	カウンタが \$0000 に到達した時。
MAX	カウンタが \$FFFF (65535) に到達した時。
TOP	カウンタが TOP 値に到達した時 (計数動作での最大値と等しくなった時) ; TOP 値は固定値 (\$00FF、\$01FF、\$03FF) ; OCRnA 値、CRn 値の何れか 1 つを指定できます。この指定は動作種別に依存します。

互換性

この16ビットタイマ/カウンタは旧版の16ビットAVRタイマ/カウンタから改良更新されてしまっています。この16ビットタイマ/カウンタは次の点に関して以前の版と完全な互換性があります。

- タイマ/カウンタ割り込み関係レジスタを含め、16ビットタイマ/カウンタに関連する全てのI/Oレジスタアドレスの位置。
- タイマ/カウンタ割り込み関係レジスタを含め、16ビットタイマ/カウンタに関連する全てのI/Oレジスタ内のビット位置。
- 割り込みベクタ

次の制御ビットは変更された名前を持ちますが、同じ機能とレジスタ位置を持ちます。

- PWMndはWGMndに変更。
- PWMn1はWGMn1に変更。
- CTCrはWGMn2に変更。

次のレジスタが16ビットタイマ/カウンタに追加されます。

- タイマ/カウンタ制御レジスタC(TCCRnC)
- OCRnCHとOCRnCLを組み合わせた比較nCレジスタ(OCRnC)

次の制御ビットが16ビットタイマ/カウンタ制御レジスタに追加されます。

- COMnC1~nがTCCRnAに追加。
- FOCnA、FOCnB、FOCnCが新規TCCRnClに追加。
- WGMn3がTCCRnBに追加。

この比較C出力用の割り込み要求フラグと割り込み許可ビットが追加されます。

この16ビットタイマ/カウンタには、いくつかの特別な状況で互換性に影響を及ぼす改良点があります。

16ビットレジスタのアクセス

TCNTn, OCRnA, OCRnB, OCRnC, CRnは 8ビットバス経由でAVR CPUによりアクセスできる 16ビットレジスタです。この 16ビットレジスタは 2回の読みまたは書き操作を使用してバイトアクセスされなければなりません。各々の 16ビットタイマ/カウンタは 16ビットアクセスの上位バイトの一時保存用に 1つの 8ビットレジスタを持ちます。16ビットタイマ/カウンタ内の全ての 16ビットレジスタ間で、この同一一時レジスタが共用されます。下位バイトアクセスが 16ビット読み書き動作を起動します。16ビットレジスタの下位バイトが CPUにより書かれると、一時レジスタに保存した上位バイトと書かれた下位バイトは同じクロックサイクルで 16ビットレジスタに両方コピーされます。16ビットレジスタの下位バイトが CPUにより読まれると、16ビットレジスタの上位バイトは下位バイトが読まれるのと同じクロックサイクルで一時レジスタにコピーされます。

すべての 16ビットアクセスが上位バイトに対して一時レジスタを使用する訳ではありません。OCRnA, OCRnB, OCRnCの 16ビットレジスタ読み込みは一時レジスタの使用に関係しません。

16ビット書き込みを行うために、上位バイトは下位バイトに先立ち書かれなければなりません。16ビット読み込みについては下位バイトが上位バイト前に読まれなければなりません。

次のコード例は割り込みが一時レジスタを更新しないことが前提の 16ビットタイマ/カウンタレジスタのアクセス法を示します。OCRnA, OCRnB, OCRnC, CRnレジスタのアクセスに対して同じ原理が直接的に使用できます。C言語を使用するとき、コンパイラが 16ビットアクセスを扱うことに注意してください。

アセンブリ言語プログラム例	
~	;
	; [16ビット(\$01FF)書き込み]
LDI R17, \$01	;\$01FFの上位バイト取得
LDI R16, \$FF	;\$01FFの下位バイト取得
OUT TCNTnH, R17	;上位バイト設定 (一時レジスタ)
OUT TCNTnL, R16	;下位バイト設定 (一時レジスタ 上位バイト)
	; [16ビット読み込み]
IN R16, TCNTnL	;下位バイト取得 (上位バイト 一時レジスタ)
IN R17, TCNTnH	;上位バイト取得 (一時レジスタ)
~	;
C言語プログラム例	
unsigned int i;	
~	/* */
TCNTn = 0x1FF;	/* 16ビット(\$01FF)書き込み */
i = TCNTn;	/* 16ビット読み込み */
~	/* */

注 : このコード例はデバイス定義ファイルがインクルードされることが前提です。

拡張 I/O領域に配置した I/Oレジスタに対し、N, OUT, SB S, SB C, CB I, SB命令は拡張 I/O領域へのアクセスを許す命令に置き換えられなければなりません。代表的には SBRS, SBRC, SBR, CBR命令と組み合わせた LDS, STS命令です。

アセンブリ言語コード例は R17:R16レジスタ対に TCNTn値を戻します。

16ビットレジスタアクセスが非分断操作であることに注意することが重要です。16ビットレジスタアクセスする 2命令間で割り込みが起き、割り込みコードがその 16ビットタイマ/カウンタレジスタの同じ若しくは他の何れかをアクセスすることにより一時レジスタを更新する場合、割り込み外のその後のアクセス結果は不正にされます。従って主コードと割り込みコードの両方が一時レジスタを更新するとき、主コードは 16ビットアクセス中の割り込みを禁止しなければなりません。

次のコード例は TCNTn レジスタ内容の非分断読み込み法を示します。同じ原理を使用することにより、OCRnA、OCRnB、OCRnC、CRn のどの読み込みも行えます。

アセンブリ言語プログラム例

```
RD_TCNTn:  IN    R18, SREG          現全割り込み許可フラグ (I)を保存
           CLI                    全割り込み禁止
           IN    R16, TCNTnL       ;TCNTn 下位バイト取得 (一時レジスタ)
           IN    R17, TCNTnH       ;TCNTn 上位バイト取得 (一時レジスタ)
           OUT   SREG, R18         全割り込み許可フラグ (I)を復帰
           RET                    呼び出し元へ復帰
```

C言語プログラム例

```
unsigned int TIM16_Read_TCNTn(void)
{
    unsigned char sreg;           /* ステータスレジスタ一時保存変数定義 */
    unsigned int i;              /* TCNTn読み出し変数定義 */
    sreg = SREG;                 /* 現全割り込み許可フラグ (I)を保存 */
    __disable_interrupt();       /* 全割り込み禁止 */
    i = TCNTn;                   /* TCNTn値を取得 */
    SREG = sreg;                 /* 全割り込み許可フラグ (I)を復帰 */
    return i;                    /* TCNTn値で呼び出し元へ復帰 */
}
```

注 :このコード例はデバイス定義ファイルがインクルードされることが前提です。

拡張 I/O 領域に配置した I/O レジスタに対し、N、OUT、SBIS、SBC、CBI、SB 命令は拡張 I/O 領域へのアクセスを許す命令に置き換えられなければなりません。代表的には SBRS、SBR、SBR、CBR 命令と組み合わせた LDS、STS 命令です。

アセンブリ言語コード例は R17:R16 レジスタ宛に TCNTn 値を戻します。

次のコード例は TCNTn レジスタ内容の非分断書き込み法を示します。同じ原理を使用することにより、OCRnA、OCRnB、OCRnC、CRn のどの書き込みも行えます。

アセンブリ言語プログラム例

```
WR_TCNTn:  IN    R18, SREG          現全割り込み許可フラグ (I)を保存
           CLI                    全割り込み禁止
           OUT   TCNTnH, R17       ;TCNTn 上位バイト設定 (一時レジスタ)
           OUT   TCNTnL, R16       ;TCNTn 下位バイト設定 (一時レジスタ 上位バイト)
           OUT   SREG, R18         全割り込み許可フラグ (I)を復帰
           RET                    呼び出し元へ復帰
```

C言語プログラム例

```
void TIM16_Write_TCNTn(unsigned int i)
{
    unsigned char sreg;           /* ステータスレジスタ一時保存変数定義 */
    unsigned int i;              /* TCNTn書き込み変数定義 */
    sreg = SREG;                 /* 現全割り込み許可フラグ (I)を保存 */
    __disable_interrupt();       /* 全割り込み禁止 */
    TCNTn = i;                   /* TCNTn値を設定 */
    SREG = sreg;                 /* 全割り込み許可フラグ (I)を復帰 */
}
```

注 :このコード例はデバイス定義ファイルがインクルードされることが前提です。

拡張 I/O 領域に配置した I/O レジスタに対し、N、OUT、SBIS、SBC、CBI、SB 命令は拡張 I/O 領域へのアクセスを許す命令に置き換えられなければなりません。代表的には SBRS、SBR、SBR、CBR 命令と組み合わせた LDS、STS 命令です。

アセンブリ言語コード例は R17:R16 レジスタ宛が TCNTn へ書かれるべき値を含むことが必要です。

上位バイト一時レジスタの再使用

書かれる全レジスタについて上位バイトが同じ複数 16ビットレジスタ書き込みならば、上位バイトは一度書かれることだけが必要です。けれども直前で記述した非分断操作の同じ規則が、この場合にも適用されることに注意してください。

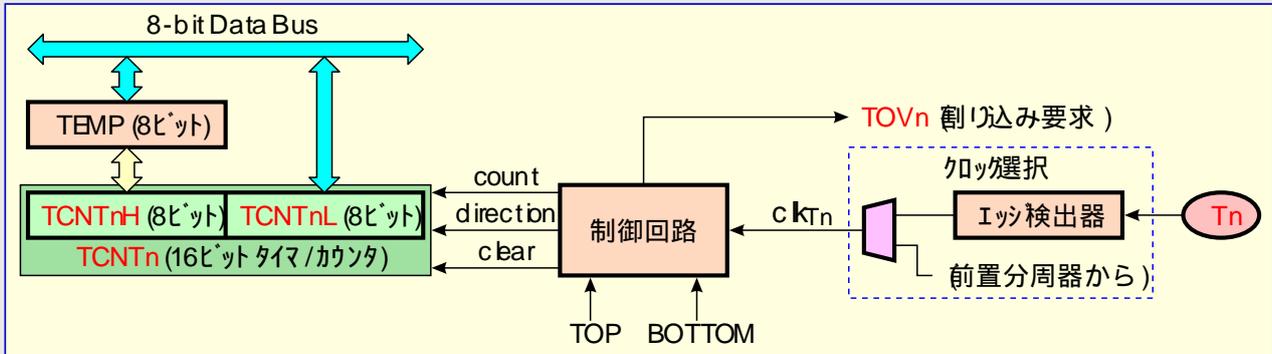
タイマ/カウンタのクック

このタイマ/カウンタは内部または外部のクック元によりクック駆動できます。このクック元はタイマ/カウンタ制御レジスタB (TCCRnB)に配置されたクック選択 (CSn2~ 0)ビットにより制御されるクック選択論理回路により選択されます。クック元と前置分周器の詳細については95頁の「タイマ/カウンタ1、タイマ/カウンタ2、タイマ/カウンタ3の前置分周器」をご覧ください。

カウンタユニット

16ビットタイマ/カウンタの主な部分はプログラマブル 16ビット双方向 カウンタ部です。図 47はこの カウンタとその周辺の構成図を示します。

図 47. カウンタ構成図



信号説明 (内部信号)	説明
count	TCNTnを1つ進めるまたは戻す信号。
direction	進行方向 (上昇または下降 選択信号)。
clear	TCNTnのリセット(\$0000)設定 信号。
clkTn	タイマ/カウンタ クック信号。
TOP	TCNTnが最大値に到達したことを示す信号。
BOTTOM	TCNTnが最小値 (\$0000)に到達したことを示す信号。
TEMP	一時レジスタ

この 16ビットカウンタはカウンタの上位 8ビットを含む カウンタ上位 (TCNTnH)と下位 8ビットを含む カウンタ下位 (TCNTnL)の 2つの 8ビット I/Oメモリ位置に配置されます。TCNTnHレジスタはCPUにより間接的なアクセスのみできます。CPUがTCNTnH I/O位置をアクセスするとき、CPUは上位バイト一時レジスタ(TEMP)をアクセスします。この一時レジスタはTCNTnLが読まれる時にTCNTnH値で更新され、TCNTnLが書かれる時にTCNTnHは一時レジスタ値で更新されます。これは 8ビットデータバス経由で1クックサイクル内の16ビットカウンタ値全体の読み書きをCPUに許します。予測不能な結果を与える、カウンタが計数中の時のTCNTn書き込みの特別な場合に注意することが重要です。この特別な場合はそれらが重要となる項目で記述されます。

使用した動作種別に依存して、カウンタは各タイマ/カウンタクック(c kTn)でリセット(\$0000) 増加 (+1) または減少 (-1) されます。c kTnはクック選択 (CSn2~ 0)ビットにより選択された内部または外部のクック元から生成できます。クック元が選択されない (CSn2~ 0=000)とき、カウンタは停止されます。けれどもTCNTn値はタイマ/カウンタクック(c kTn)が存在するしないに拘らず、CPUによりアクセスできます。CPU書き込みは全てのカウンタクリアや計数動作を無視します (上位優先順位を持ちます)。

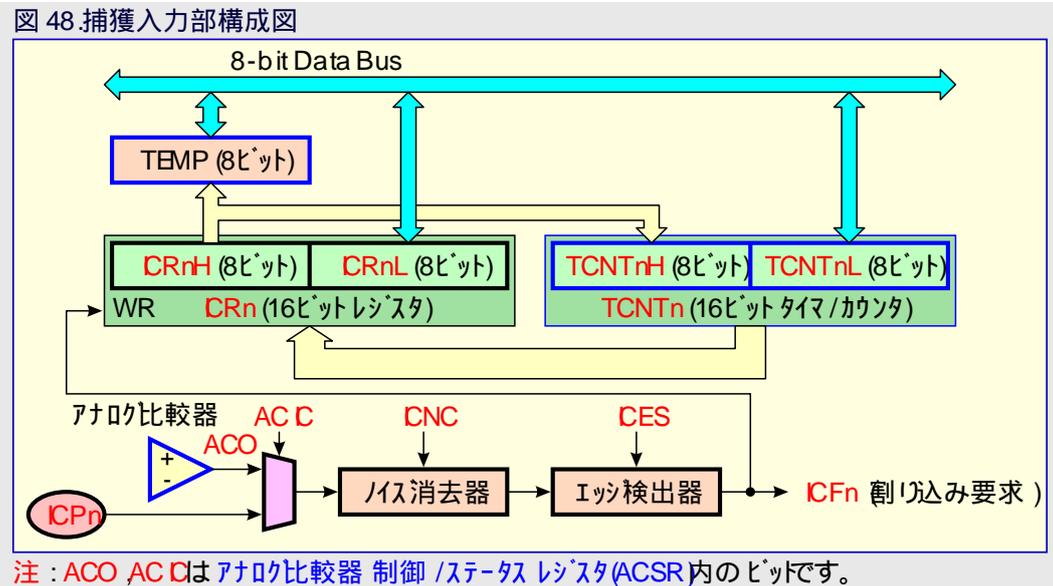
計数順序 (方法) はタイマ/カウンタ制御レジスタA (TCCRnA)とタイマ/カウンタ制御レジスタB (TCCRnB)に配置された波形生成種別 (WGMn3~ 0)ビットの設定により決定されます。これらはカウンタ動作 (計数) 方法と波形がOCn比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に対しては8頁の「動作種別」をご覧ください。

タイマ/カウンタオーバ-フロー-(TOVn)フラグはWGMn3~ 0ビットにより選択された動作種別に従って設定 (=1) されます。TOVnはCPU割り込み発生に使用できます。

捕獲 (キャプチャ) 入力部

タイマ/カウンタは外部の出来事を捕獲でき、発生時間を示す時間印 (タイマ/カウンタ値) を与える捕獲入力部と合体します。出来事または複数の出来事を示す外部信号は、CPn^レまたは代わりにアナログ比較器経由で印加できます。時間印はその後、周波数、デュティ比、印加された信号の他の特徴の計算に使用できます。代わりに時間印は出来事の記録作成にも使用できます。

捕獲入力部は図 48で示される構成図により図解されます。直接的な捕獲入力部の部分でない構成図の要素は青枠 (訳注 原文は灰色背景) で示されます。レジスタとビット名での小文字の nはタイマ/カウン番号を示します。



注: アナログ比較器出力 (ACO)はタイマ/カウンタ1のみ起動でき、タイマ/カウンタ3では使用できません。

捕獲起動入力 (CPn)レ^レ若しくは代わりにアナログ比較器出力 (ACO)で論理レベルの変化 (出来事) が起き、その変化がエッジ検出器の設定を追認すると、捕獲が起動されます。捕獲が起動されると、カウンタ (TCNTn)の 16ビット値が捕獲レジスタ (CRn)に書かれます。捕獲割り込み要求 フラグ (CFn)は TCNTn値が CRnに 0レ^レされるのと同じシステム クロックでセット (1)されます。許可 (E=1, TCEn=1)ならば捕獲割り込み要求 フラグは捕獲割り込みを発生します。CFnは割り込みが実行されると自動的にクリア (0)されます。代わりにこの I/O ビット位置に論理 1を書くことによりソフトウェアでクリア (0)できます。

捕獲レジスタ (CRn)の 16ビット値読み込みは、初めに下位バイト (CRnL) その後上位バイト (CRnH)を読むことにより行われます。下位バイトが読まれるとき、上位バイトが上位バイト一時レジスタ (TEMP)に 0レ^レされます。CPUが CRnH I/O位置を読むと、この一時レジスタをアクセスします。

CRnはカウンタの TOP値定義に CRnを使用する波形生成種別を使用するときだけ書けます。これらの場合、TOP値が CRnに書かれるであろう前に、波形生成種別 (WGMn3~ 0)ビットが設定されなければなりません。CRnに書くとき、下位バイトが CRnLに書かれる前に上位バイトが CRnH I/O位置に書かれなければなりません。

16ビットレジスタアクセス法により多くの情報については 74頁の「16ビットレジスタのアクセスを参照してください。

捕獲起動元

捕獲入力部用の主な起動元は捕獲起動入力 (CPn)レ^レです。タイマ/カウンタ1は捕獲入力部用起動元としてアナログ比較器出力を代わりに使用できます。アナログ比較器はアナログ比較器 制御 /ステータス レジスタ (ACSR)の アナログ比較器捕獲起動許可 (AC C)ビットの設定 (=1)により起動元として選択されます。起動元を変更することが捕獲を起動し得ることに気付いてください。従って捕獲割り込み要求 フラグ (CFn)は、その変更後にクリア (0)されなければなりません。

捕獲起動入力 (CPn)レ^レとアナログ比較器出力 (ACO)の両入力は、Tnレ^レ (95頁の図 59参照) について同じ技法を使用して採取されます。エッジ検出器も全く同じです。けれどもノイズ除去が許可されると、付加論理回路がエッジ検出器の前に挿入され、そして遅延を 4システム クロック サイクル増やします。タイマ/カウンタが TOP値定義に ICNを使用する波形生成種別に設定されないならば、ノイズ除去器とエッジ検出器の入力は常に許可されることに注意してください。

捕獲入力部は CPnレ^レの ホ^レ を制御することによりソフトウェアで起動できます。

ノイズ除去器

ノイズ除去器は簡単なデジタル濾波器機構を使用することによりノイズ耐性を改善します。ノイズ除去器の入力は 4採取に渡って監視され、エッジ検出器により使用される方向転換となる出力を変更するためには 4回すべてが同じでなければなりません。

ノイズ除去器はタイマ/カウンタ制御レジスタ B (TCCRnB)の捕獲入力ノイズ除去許可 (CNCn)ビットのセット (1)により許可されます。許可したとき、ノイズ除去器は入力に印加した変更から CRnの更新までに 4システム クロック サイクルの追加遅延をもたらします。ノイズ除去器はシステム クロックを使用し、従って前置分周器により影響されません。

捕獲 (キャプチャ) 入力の使用

捕獲入力機能を使用する主な要求 目的 は、入って来る出来事に対して十分なフレッツ能力を当てがうことです。2つの出来事間の時間が際どいとして、次の出来事が起こる前に捕獲した捕獲レジスタ(CRn)の値をフレッツが読めなかった場合、CRnは新しい値で書き込まれます。この場合、捕獲の結果は不正にされます。

捕獲割り込みを使用するとき、CRnは割り込み処理ルーチンで可能な限り早く読まれるべきです。捕獲割り込みが相対的に高い優先順位であっても、最大割り込み応答時間は他の割り込み要求の何れかを扱うために必要とされる最大クロックサイクル数に依存します。

動作中にTOP値 分解能 が積極的に変更されると、どの動作種別での捕獲入力部の使用も推奨されません。

外部信号のデューティ比測定は各捕獲後に起動エッジが変更されることを必要とします。検出エッジの変更はCRnが読まれてしまった後に可能な限り早く行われなければなりません。エッジの変更後、捕獲割り込み要求フラグ(CFn)は、ソフトウェア(I/Oビット位置への論理1書き込み)によりクリア(0)されなければなりません。誤補エッジ変更によりCFnがセット(1)されることを想定し、周波数のみの測定については、割り込み処理が使用される場合)CFnのクリア(0)は必要とされません。

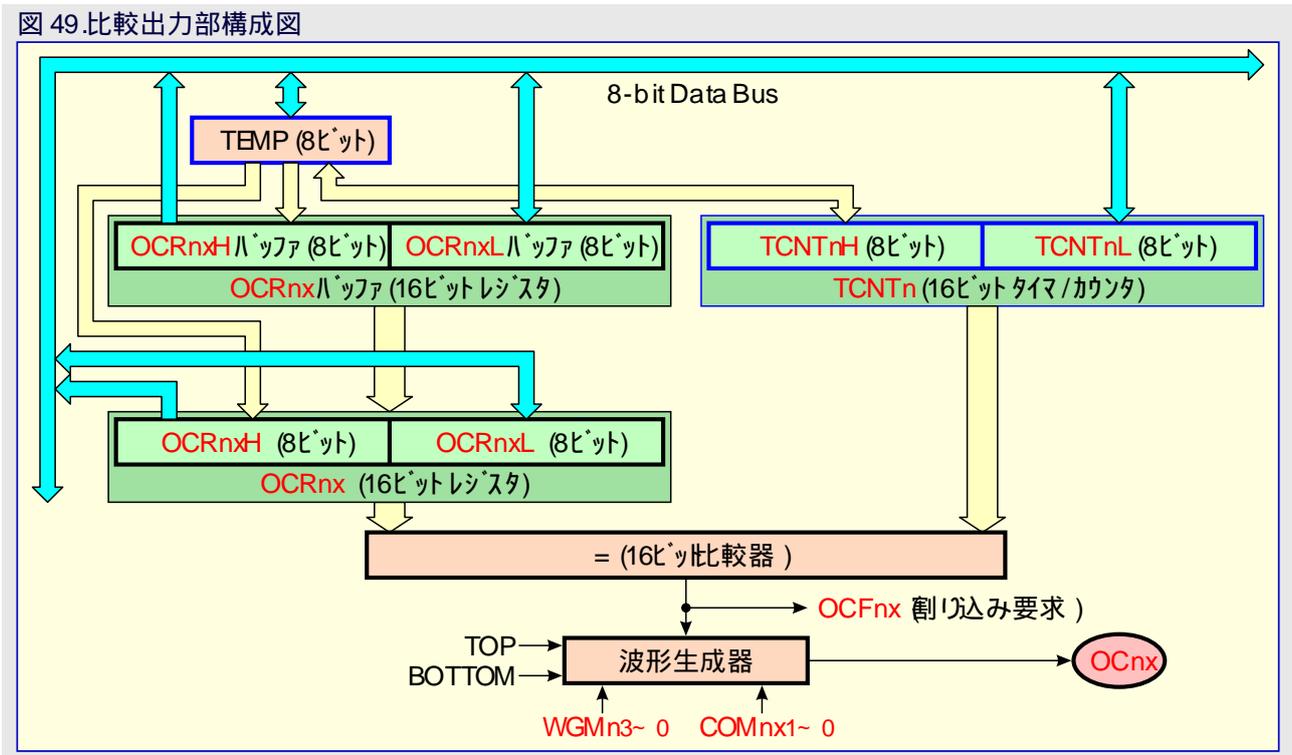
比較出力部

この16ビット比較器はTCNTnと比較レジスタOCRnxを継続的に比較します。TCNTnとOCRnxが等しければ、比較器は一致を指示します。この一致は次のタイマ/カウンタクロックサイクルで比較割り込み要求フラグ(OCFn)をセット(1)します。許可(IE1,OCEnx=1)ならば、この比較割り込み要求フラグは比較割り込みを発生します。OCFnは割り込みが実行されると自動的にクリア(0)されます。代わりにOCFnはこのI/Oビット位置に論理1を書くことによりソフトウェアでクリア(0)できます。波形生成器は波形生成種別(WGMn3~0)ビットと比較出力選択(COMnx1~0)ビットにより設定された動作種別に従った出力を生成するために、この一致信号を使用します。TOPとBOTTOM信号は動作種別(8頁の「動作種別」参照)のいくつかで両端値の特別な場合を扱うため、波形生成器により使用されます。

比較A出力部の特殊な特性はタイマ/カウンタのTOP値 換言するとカウンタの分解能 定義を許します。カウンタの分解能に加え、TOP値は波形生成器により生成された波形の周期時間を定義します。

図49は比較出力部の構成図を示します。レジスタとビット名の小文字のnはタイマ/カウンタ番号(タイマ/カウンタ1に対してはn=1)、小文字のxは比較出力部(A、BまたはC)を表します。直接的な比較出力部の部分でない構成図の要素は青枠 訳注 原文は灰色背景で示されます。

図 49.比較出力部構成図



OCRnxは1種類のパルス幅変調 (PWM) の何れかを使用するときダブルハフア化されます。標準動作と比較一致タイマ/カウンタクリア (CTC動作) についてはダブルハフ動作が禁止されます。ダブルハフ動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCRnxレジスタの更新を同期化します。この同期化は奇数長、非対称PWMパルスの発生を防ぎ、それによりグリッチなしの出力を作成します。

OCRnxのアクセスは複雑なように思えますが決してそんなことはありません。ダブルハフ動作が許可されるとCPUはOCRnxハフアをアクセスし、禁止されるとOCRnxレジスタを直接アクセスします。OCRnx(ハフアまたはレジスタの内容は書き込み操作によってのみ変更されます (タイマ/カウンタはTCNTnやCRrのようにOCRnxを自動的に更新しません) 従ってOCRnxは上位バイト一時レジスタ (TEMP経由で読まれません。けれども他の16ビットレジスタをアクセスするのと同じように下位バイトを先に読むのは良い習慣です。OCRnx書き込みは16ビット全ての比較が継続的に行われるため、一時レジスタ経由で行われなければなりません。上位バイト (OCRnxH) は先に書かれなければなりません。上位バイトI/O位置がCPUにより書かれると、一時レジスタは書かれた値で更新されます。その後下位バイト (OCRnxL) が下位8ビットを書かれると、一時レジスタ内の上位バイトは (下位バイト書き込みと同じシステムクロックサイクルでOCRnxハフアまたはOCRnxレジスタのどちらかにコピー) されます。

16ビットレジスタアクセス法のより多くの情報については74頁の「16ビットレジスタのアクセス」を参照してください。

訳注) ここでは比較nxレジスタ全体をOCRnx、OCRnxを構成するハフア部分をOCRnxハフア、実際の比較に使用されるレジスタ本体部分をOCRnxレジスタとして記述しています。他の部分での記述でも特に必要がある場合はこの記述方法を適用します。

強制比較出力

非PWM波形生成動作での比較器の一致出力は強制変更 (FOCnx)ビットに1を書くことにより強制変更できます。比較一致の強制は比較割り込み要求フラグOCFnxのセット(1)やタイマ/カウンタの再設定/クリアを行いませんが、OCnxビットは実際の比較一致が起きた場合と同様に更新されます (COMnx1~0ビット設定がOCnxビットのセット(1)、クリア(0)、1/(交互のどれかを定義))

TCNTn書き込みによる比較一致妨害

TCNTnへの全てのCPU書き込みは、例えばタイマ/カウンタが停止されていても、次のタイマ/カウンタクロックサイクルで起こるどんな比較一致をも妨げます。この特質はタイマ/カウンタクロックが許可されているときに、割り込みを起動することなく、TCNTnと同じ値に初期化されることをOCRnxに許します。

比較一致部の使用

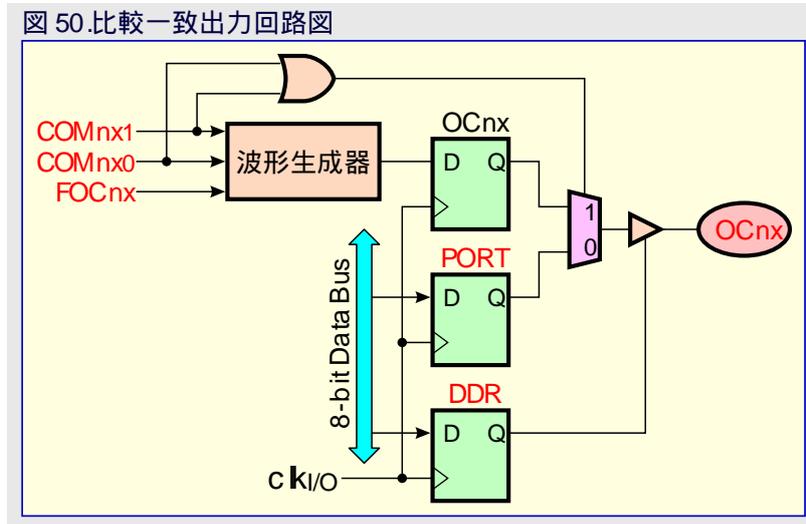
どの動作種別でのTCNTn書き込みでも1タイマ/カウンタクロックサイクル間、全ての比較一致を妨げるため、タイマ/カウンタが走行中であるかないかに拘らず、何れかの比較出力部を使用する場合にはTCNTnを変更するときは危険を伴います。TCNTnに書かれた値がOCRnx値と同じ場合、比較一致は失われ (一致が発生せず) 不正な波形生成に終わります。可変TOP値のPWM動作でTOPに等しいTCNTnを書いてはいけません。 (行った場合) TOPに対する比較一致は無視され、カウンタは\$FFFFへ計数を続けます。同様にカウンタが下降計数のとき、BOTTOMに等しいTCNTn値を書いてはいけません。

OCnxの初期設定はポートビットに対するポート方向レジスタを出力に設定する前に行われるべきです。OCnx値を設定する一番簡単な方法は標準動作で強制変更 (FOCnx)ストロブビットを使用することです。波形生成種別間を変更する時であっても、OCnx(内部)レジスタはその値を保ちます。

比較出力選択 (COMnx1~0)ビットが比較値 (OCRnx)と共にダブルハフアされないことに気付いてください。COMnx1~0ビットの変更は直ちに有効となります。

比較一致出力部

比較出力選択 (COMnx1~ 0)ビットは 2つの機能を持ちます。波形生成器は次の比較一致での比較出力 (OCnx)状態の定義に COMnx1~ 0ビットを使用します。次に COMnx1~ 0ビットは OCnxピン出力元を制御します。図 50は COMnx1~ 0ビット設定により影響される論理回路の簡便化した図を示します。図の I/Oレジスタ I/Oビット I/Oピンは赤文字 訳注 原文は太字 で示されます。COMnx1~ 0ビットにより影響を及ぼされる標準 I/Oポート制御レジスタ (PORTとDDR)の部分だけが示されます。OCnxの状態を参照するとき、その参照はOCnxピンでなく内部OCnxレジスタに対してです。システム リセットが起こると、OCnxレジスタは 0にリセットされます。



COMnx1~ 0ビットのどちらかがセット(1)されると、標準 I/Oポート機能は波形生成器からの比較出力 (OCnx)により無効にされます。けれどもOCnxピンの方向 (入出力はポートピンに対するポート方向レジスタ(DDR)により未だ制御されます。OCnxピンに対するポート方向レジスタのビット(DDR_OCnx)はOCnx値がピンで見えるのに先立ち、出力として設定されなければなりません。このポートの兼用機能は一般的に波形生成種別と無関係ですが、いくつかの例外があります。詳細については、表 58、表 59、表 60を参照してください。

比較出力ピン論理回路の設計は出力が許可される前のOCnx状態の初期化を許します。いくつかのCOMnx1~ 0ビット設定が或る種の動作種別に対して予約されることに注意してください。86頁の「16ビットタイマ/カウンタ3用レジスタ」をご覧ください。

COMnx1~ 0ビットは捕獲入力部での何の効果もありません。

比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でCOMnx1~ 0ビットを違うふうに使います。全動作種別に対してCOMnx1~ 0=0設定は、次の比較一致で実行すべきOCnxレジスタの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については 86頁の表 58を参照してください。高速PWM動作については 86頁の表 59、位相基準PWMと位相/周波数基準PWMについては 86頁の表 60を参照してください。

COMnx1~ 0ビットの状態変更は、このビットが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更 (FOCnx)レジスタビットを使用することにより直ちに効果を得ることを強制できます。

動作種別

動作種別、換言するとタイマ/カウンタと比較出力ビットの動作は波形生成種別 (WGMn3~ 0)ビットと比較出力選択 (COMnx1~ 0)ビットの組み合わせにより定義されます。比較出力選択ビットは計数順序動作に影響を及ぼしませんが、一方波形生成種別ビットは影響を及ぼします。COMnx1~ 0ビットは生成されたPWM出力が反転されるべきか、されないべきか反転または非反転PWMどちらかを制御します。非PWM動作に対してのCOMnx1~ 0ビットは比較一致で出力がクリア(0)セット(1)/1/交互のどれにされるべきかを制御します。80頁の「比較一致出力部」をご覧ください。

タイミング情報の詳細については85頁の「タイマ/カウンタ1,3のタイミング」を参照してください。

標準動作

最も単純な動作種別が標準動作 (WGMn3~ 0=0000)です。この動作種別での計数方向は常に上昇(+)で、カウンタのクリアは実行されません。カウンタは16ビット最大値 (MAX=\$FFFF)を通過すると単に範囲を超え、そして\$0000(BOTTOM)から再び始めます。通常動作でのタイマ/カウンタオーバーフロー (TOVn)フラグはTCNTnが\$000dになる時と同じタイマ/カウンタクロックサイクルでセット(1)されます。この場合のTOVnフラグはセット(1)のみでクリア(0)されないことを除いて第17ビットのようになります。けれどもTOVnフラグを自動的にクリア(0)するタイマ/カウンタオーバーフロー割り込みと組み合わせるとタイマ/カウンタの分解能はソフトウェアにより増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。

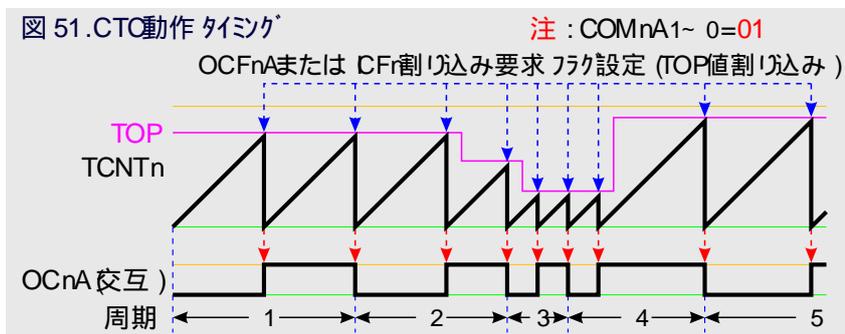
捕獲入力部は標準動作で使用が容易です。けれども外部の事象間の最大間隔がタイマ/カウンタの分解能(16ビット長)を越えてはならないことに気付いてください。事象間の間隔が長すぎる場合、捕獲部に対して分解能を拡張するために、タイマ/カウンタオーバーフロー割り込みまたは前置分周器が使用されなければなりません。

比較出力部は与えられた或る時間に割り込みを生成するために使用できます。標準動作で波形を生成するために比較出力を使用するのは、それが大変多くのCPU時間を占有するため推奨されません。

比較一致タイマ/カウンタクリア (CTC動作)

比較一致タイマ/カウンタクリア (CTC動作 (WGMn3~ 0=0100または1100))では、OCRnAまたはCRnがカウンタの分解能を操作するために使用されます。CTC動作では、カウンタ(TCNTn)値がOCRnA (WGMn3~ 0=4)またはCRn (WGMn3~ 0=12)のどちらかと一致すると、カウンタは\$000dにクリアされます。OCRnAまたはCRnはカウンタに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのタイミング図は図51で示されます。カウンタ(TCNTn)値はOCRnAまたはCRnのどちらかで比較一致が起こるまで増加し、そしてその後カウンタ(TCNTn)はクリア(\$0000)されます。



TOP値を定義するのに使用されるレジスタに対してOCFnAまたはCFRnのどちらかを使用することにより、カウンタ値がTOP値に到達する毎に割り込みが生成できます。割り込みが許可されるならば、割り込み処理ルーチンはTOP値を更新するために使用できます。けれども前置分周なしまたは低い前置分周値でカウンタが走行している時にBOTTOMに近い値にTOPを変更することは、CTC動作がダブルハーフ機能を持たないために注意して行わなければなりません。OCRnAまたはCRnに書かれた新しい値がTCNTnの現在値より低(小さい)場合、カウンタはその回の比較一致を失います。その後カウンタは比較一致が起こせるのに先立ち、最大値(\$FFFF)へそして次に\$0000から始める計数をしなければなりません。多くの場合でこの特性は好ましくありません。OCRnAがダブルハーフされるので、代替はTOPを定義するためにOCRnAを使用する高速PWM動作 (WGMn3~ 0=1111)を使用することでしょう。

CTC動作で波形出力を生成するために、OCnA出力は比較出力選択 (COMnA1~ 0)ビットを交互動作 (=01)に設定することによって各比較一致での論理レベル交互切替に設定できます。OCnA値はそのビットに対するテーク方向が出力 (DDR_OCnA=1)に設定されない限り、ポートピンで見えないでしょう。生成された波形はOCRnAが0(\$0000)に設定されるとき、f_{OCnA}=f_{clk_I/O}/2Nの最大周波数を得ます。生成波形周波数は次式により定義されます。

$$f_{OCnA} = \frac{f_{clk_I/O}}{2 \times N \times (1 + OCRnA)}$$

変数Nは前置分周数(1, 8, 64, 256, 1024)を表します。

標準動作と同じように、タイマ/カウンタオーバーフロー割り込み要求 (TOVn)フラグはカウンタがMAXから\$0000へ計数する同じタイマ/カウンタクロックサイクルでセット(1)されます。

高速 PWM動作

高速パルス幅変調 (PWM動作 $WGMn3-0=0101, 0110, 0111, 1110, 1111$)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜鋸波動作であることにより他のPWM動作と異なります。カウンタはBOTTOMからTOPまで計数し、その後BOTTOMから再び始めます。非反転比較出力動作 ($COMnx1-0=10$)での比較出力 ($OCnx$)は $TCNTr$ と $OCRnA$ 間の比較一致でセット(1)され、TOPでクリア(0)されます。反転出力動作 ($COMnx1-0=11$)の出力は比較一致でクリア(0)され、TOPでセット(1)されます。単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜三角波動作を使用する位相基準や位相/周波数基準PWM動作より2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(コイルやコンデンサ)を許し、従ってシステム総費用を削減します。

高速PWMのPWM分解能は8,9,10ビットに固定、若しくは $OCRnA$ か CRn のどちらかにより定義できます。許された最小分解能は2ビット $OCRnA$ または CRn が \$000設定、最大分解能は16ビット $OCRnA$ または CRn が MAX設定です。ビットでのPWM分解能は次式を使用することにより計算できます。

$$R_{FPWM} = \frac{bg(TOP+1)}{bg2}$$

高速PWM動作でのカウンタはカウンタ値が固定値 \$00FF, \$01FF, \$03FF ($WGMn3-0=0101, 0110, 0111$) CRn 値 ($WGMn3-0=1110$ または $OCRnA$ 値 ($WGMn3-0=1111$)の何れかと一致するまで増加されます。そしてカウンタは(一致の次のタイマ/カウンタクロックサイクルでクリア(\$0000)されます。高速PWM動作のタイミング図は図52で示されます。本図は $OCRnA$ か CRn がTOPを定義するために使用されるとき的高速PWM動作を示します。 $TCNTr$ 値はタイミング図で単一傾斜動作鋸波を表す折れ線グラフとして示されます。本図は非反転と反転のPWM出力を含みます。細い赤線は $OCRnA$ 値を示し、 $TCNTr$ 値との交点(接点)が $TCNTr$ と $OCRnA$ 間の比較一致を示します(訳注:図補正に伴い本行若干変更)比較割り込み要求フラグ($OCFnA$)は比較一致が起こるとセット(1)されます。

タイマ/カウンタオーバフロー割り込み要求 ($TOVn$)フラグは、カウンタがTOPに到達する時毎にセット(1)されます。加えて、 $OCRnA$ か CRn のどちらかがTOP値を定義するために使用されるとき、 $OCFnA$ または CF 割り込み要求フラグは $TOVn$ がセット(1)されるのと同じタイマ/カウンタクロックサイクルでセット(1)されます。これらの割り込みの1つが許可されるならば、その割り込み処理ルーチンはTOPと比較値を更新するために使用できます。

TOP値を変更するとき、プログラムは新TOP値が全ての比較レジスタ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較レジスタより小さな場合、 $TCNTr$ とその $OCRnA$ 間で比較一致は決して起きません。固定TOP値を使用する場合、どの $OCRnA$ が書かれるときも、未使用ビットが0で隠(に置換)されることに注意してください。

CRn がTOP値を定義するために使用されるとき、 CRn を更新する手順は $OCRnA$ の更新と異なります。 CRn はダブルハツクされません。これは前置分周または低い前置分周値でカウンタが走行している時に CRn が小さな値に変更される場合、書かれた新しい CRn 値が $TCNTr$ の現在値より小さくなる危険を意味します。その後の結果はカウンタ(その回の)TOP値での比較一致を失うことです。その後カウンタは比較一致が起こせるのに先立ち、MAX値(\$FFFF)へそして次に\$0000から始める計数をしなければならないでしょう。しかし、 $OCRnA$ はダブルハツクされます。この特徴は何時でも書かれることを $OCRnA$ のI/O位置に許します。 $OCRnA$ I/O位置が書かれると、書かれた値は $OCRnA$ ハツクに置かれます。 $OCRnA$ 比較レジスタはその後 $TCNTr$ がTOPと一致した次のタイマ/カウンタクロックサイクルに $OCRnA$ ハツクの値で更新されます。この更新は $TCNTr$ のクリア(\$0000)や $TOVn$ のセット(1)と同じタイマ/カウンタクロックサイクルで行われます。

TOPを定義するために CRn を使用することは決まったTOP値を使用する時に上手くなります。 CRn を使用することにより $OCnA$ でのPWM出力を生成するために $OCRnA$ が自由に使用できます。けれども基準PWM周波数が(TOP値を変更することにより動的に変更される場合、 $OCRnA$ がダブルハツク機能のため、TOPとして $OCRnA$ を使用することは明らかに良い選択です。

高速PWM動作での比較部は $OCnx$ ピンでのPWM波形の生成を許します。 $COMnx1-0$ ビットを10に設定することは非反転PWM出力を作成し、反転PWM出力は $COMnx1-0$ を11に設定することで生成できます。86頁の表59をご覧ください。実際の $OCnx$ 値はそのポートピンに対するテ-方向が出力($DDR_{OCnx}=1$)として設定される場合だけ見えます。PWM波形は $TCNTr$ と $OCRnA$ 間の比較一致で $OCnx$ (内部レジスタ)をセット(1)またはクリア(0)と、カウンタがクリア(\$0000) TOPからBOTTOMへ変更されるタイマ/カウンタクロックサイクルでの $OCnx$ レジスタをクリア(0)またはセット(1)することにより生成されます。

PWM出力周波数は次式により計算できます。変数Nは前置分周数(1,8,64,256,1024)を表します。

$$f_{OCnxPWM} = \frac{f_{clk_I/O}}{N \times (1 + TOP)}$$

$OCRnA$ の両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合に当たります。

$OCRnA$ がBOTTOM(\$0000)に等しく設定されると、出力はTOP+1タイマ/カウンタクロックサイクル毎の狭いスパイク(パルス)になるでしょう。 $OCRnA$ がTOPに等しく設定されると、 $COMnx1-0$ ビットにより設定される出力極性に依存して定常的なLowまたはHigh出力に終わるでしょう。

高速PWM動作で(テ-テ比50%周波数の波形出力は比較一致毎に論理反転する $OCnA$ 設定 ($COMnA1-0=01$)により達成できます。生成された波形は $OCRnA$ が0(\$0000)に設定されるときに $f_{OCnA} = f_{clk_I/O} / 2N$ の最大周波数でしょう。この特性は高速PWM動作で比較出力部のダブルハツク機能が許可されることを除いて、CTC動作での $OCnA$ 交互出力 ($COMnA1-0=01$)と同じです。

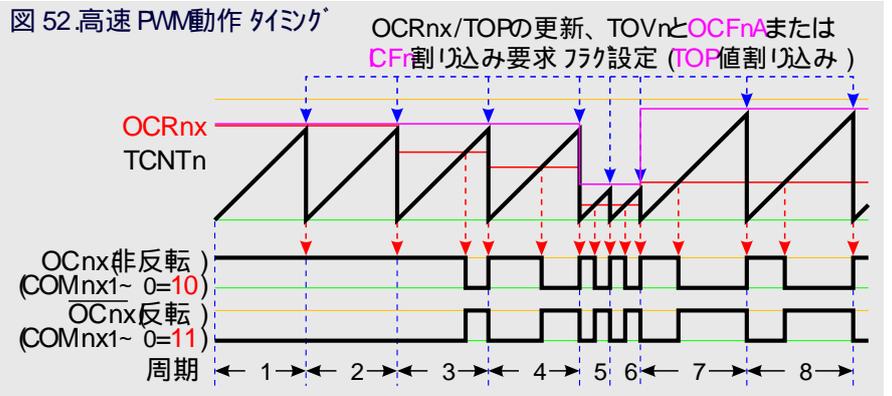


図52.高速PWM動作タイミング $OCRnA$ /TOPの更新、 $TOVn$ と $OCFnA$ または CF 割り込み要求フラグ設定 (TOP値割り込み)

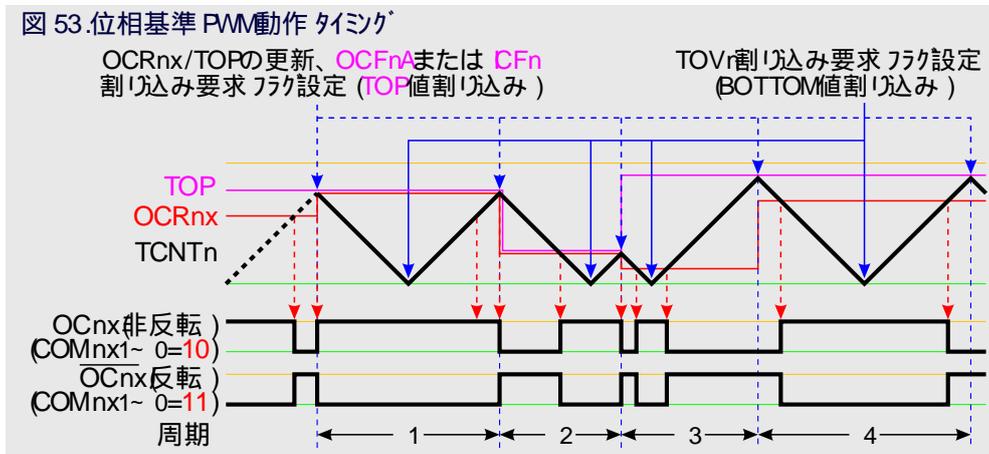
位相基準 PWM動作

位相基準パルス幅変調 (PWM動作 (WGMn3~ 0=0001,0010,0011,1010,1011)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜三角波動作を基準とした位相/周波数基準PWMと似ています。カウンタはBOTTOM (\$0000)からTOPへ、そしてその後TOPからBOTTOMへを繰り返す計数します。非反転比較出力動作 (COMnx1~ 0=10)での比較出力 (OCnx)は上昇計数中のTCNTnとOCRn間の比較一致でクリア(0)され、下降計数中の比較一致でセット(1)されます。反転出力動作 (COMnx1~ 0=11)での動作は逆にされます。両傾斜三角波動作は単一傾斜鋸歯動作より低い最大動作周波数になります。けれども両傾斜三角波PWM動作の対称特性のため、これらの動作種別はモータ制御の応用に好まれます。

位相基準PWM動作のPWM分解能は8,9,10ビットに固定、若しくはOCRnAかCRnのどちらかにより定義できます。許された最小分解能は2ビット(OCRnAまたはCRnが\$0000設定)最大分解能は16ビット(OCRnAまたはCRnがMAX設定)です。ビットでのPWM分解能は次式を使用することにより計算できます。

$$R_{PCPWM} = \frac{\lg(TOP+1)}{\lg 2}$$

位相基準PWM動作でのカウンタはカウンタ値が固定値\$00FF,\$01FF,\$03FF(WGMn3~ 0=0001,0010,0011)CRn値(WGMn3~ 0=1010)またはOCRnA値(WGMn3~ 0=1011)の何れかと一致するまで増加されます。カウンタはTOPに到達したその時に計数方向を変更します。このTCNTn値は1タイマ/カウンタクロックサイクル間TOPと等しくなります。位相基準PWM動作のタイミング図は図53で示されます。この図はOCRnAかCRnがTOPを定義するために使用されるとき位相基準PWM動作を示します。TCNTn値はタイミング図で両傾斜動作(三角波)を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCRn値を示し、TCNTn値との交点(接点)がTCNTnとOCRn間の比較一致を示します(訳注:図補正に伴い本行若干変更)比較割り込み要求フラグ(OCFnx)は比較一致が起こるとセット(1)されます。



タイマ/カウンタオーバフロー(TOVn)フラグはカウンタがBOTTOMに到達する毎にセット(1)されます。OCRnAかCRnのどちらかがTOP値を定義するために使用されるとき、OCFnxまたはCFnx割り込み要求フラグはOCRnxレジスタが(TOPにおいて)ダブルバッファ値で更新されると同じタイマ/カウンタクロックサイクルによってセット(1)されます。これらの割り込み要求フラグはカウンタがTOPまたはBOTTOM値に到達する毎に割り込みを発生するために使用できます。

TOP値を変更するとき、プログラムは新TOP値が全ての比較レジスタ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較レジスタより小さな場合、TCNTnとそのOCRnx間で比較一致は決して起きません。固定TOP値を使用する場合、どのOCRnxが書かれるときも、未使用ビットが0で隠しに置換されることに注意してください。図53で示される第3周期が図解するように、タイマ/カウンタ位相基準PWM動作で走行中にTOPを積極的に変更することは非対称出力で終わることが有り得ます。これに対する理由はOCRnxレジスタの更新時に見えます。OCRnx更新はTOPで起きるので、PWM周期はTOPで始まりそして終わります。これは下降傾斜長が直前のTOP値により決定され、一方上昇傾斜長は新しいTOP値で決定されることを意味します。これら2つの値(TOPが違うとき、その周期の2つの傾斜長は異なるでしょう)この長さの相違が出力での非対称な結果を生じます。

タイマ/カウンタが走行中にTOP値を変更する場合、位相基準PWM動作の代わりに位相/周波数基準PWM動作を使用することが推奨されます。一定のTOP値を使用するとき、2つの動作種別間に現実的な違いはありません。

位相基準PWM動作での比較部はOCnxビットでのPWM波形の生成を許します。COMnx1~ 0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOMnx1~ 0を'11'に設定することで生成できます(86頁の表60をご覧ください)実際のOCnx値はそのポートビットに対するデューティ方向が出力(DDR_OCnx=1)として設定される場合だけ見えるでしょう。PWM波形はカウンタが増加するときのTCNTnとOCRnx間の比較一致でOCnx内部レジスタをセット(1)またはクリア(0)と、カウンタが減少するときのTCNTnとOCRnx間の比較一致でOCnxレジスタをクリア(0)またはセット(1)することにより生成されます。

位相基準PWMを使用するときの出力に対するPWM周波数は次式により計算できます。変数Nは前置分周数(1,8,64,256,1024を表します)。

$$f_{OCnxPCPWM} = \frac{f_{clk_I/O}}{2 \times N \times TOP}$$

OCRnxの両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合にあたります。非反転PWM動作ではOCRnxがBOTTOMに等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。

TOP値定義にOCRnAが使用され(WGMn3~ 0=1011)COMnA1~ 0=01ならば、OCnA出力はデューティ比50%で交互に変化します。

位相 / 周波数基準 PWM動作

位相 / 周波数基準パルス幅変調 (PWM動作 (WGMn3~ 0=1000,1001))は高分解能で正しい位相と周波数のPWM波形生成選択を提供します。位相 / 周波数基準PWM動作は両傾斜三角波動作を基準とした**位相基準PWM**と似ています。カウンタはBOTTOM (\$0000)からTOPへ、そしてその後TOPからBOTTOMへを繰り返して計数します。非反転比較出力動作 (COMnx1~ 0=10)での比較出力 (OCnx)は上昇計数中のTCNTnとOCRn間の比較一致でクリア(0)され、下降計数中の比較一致でセット(1)されます。反転出力動作 (COMnx1~ 0=11)での動作は逆にされます。両傾斜三角波動作は単一傾斜鋸波動作より低い最大動作周波数になります。けれども両傾斜三角波PWM動作の対称特性のため、これらの動作種別はモータ制御の応用に好まれます。

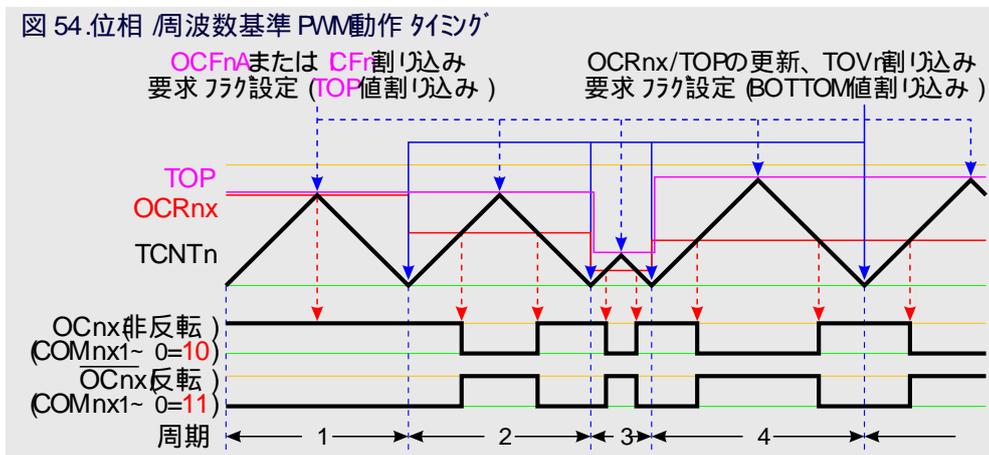
位相基準と位相 / 周波数基準PWM動作間の主な違いはOCRnレジスタがOCRnアップデートにより更新される時 (訳補: TOPとBOTTOM)です (図53と図54参照)

位相 / 周波数基準PWM動作のPWM分解能はOCRnAかCRnのどちらかで定義できます。許された最小分解能は2ビットOCRnAまたはCRnが\$000(設定)最大分解能は16ビットOCRnAまたはCRnがMAX(設定)です。ビットでのPWM分解能は次式を使用することにより計算できます。

$$R_{PFCPWM} = \frac{\lg(TOP + 1)}{\lg 2}$$

位相 / 周波数基準PWM動作でのタイマ/カウンタはタイマ/カウンタ値がCRn値 (WGMn3~ 0=1000)かOCRnA値 (WGMn3~ 0=1001)のどちらかと一致するまで増加されます。カウンタはTOPに到達したその時に計数方向を変更します。このTCNTn値は1タイマ/カウンタクロックサイクル間TOPと等しくなります。位相 / 周波数基準PWM動作のタイミング図は図54で示されます。この図はOCRnAかCRnがTOPを定義するために使用されるとき位相 / 周波数基準PWM動作を示します。TCNTn値はタイミング図で両傾斜動作三角波を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCRn値を示し、TCNTn値との交点 (接点) がTCNTnとOCRn間の比較一致を示します (訳注: 図補正に伴い本行若干変更) 比較割り込み要求フラグ(OCFn)は比較一致が起こるとセット(1)されます。

図54. 位相 / 周波数基準PWM動作タイミング



タイマ/カウンタオーバーフロー (TOVn)フラグはOCRnレジスタが (BOTTOMにおいて)ダブルハーフ値で更新されると同じタイマ/カウンタクロックサイクルでセット(1)されます。OCRnAかCRnのどちらかがTOP値を定義するために使用されるとき、OCFnAまたはCFr割り込み要求フラグはタイマ/カウンタがTOPに到達する時毎にセット(1)されます。これらの割り込み要求フラグはカウンタがTOPまたはBOTTOM値に到達する毎に割り込みを発生するために使用できます。

TOP値を変更するとき、プログラムは新TOP値が全ての比較レジスタ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較レジスタより小さな場合、TCNTnとそのOCRn間で比較一致は決して起きません。

図54が示すように、生成された出力は位相基準PWM動作と異なり全ての周期で対称です。OCRnレジスタがBOTTOMで更新されるため、上昇と下降の傾斜長は常に等しくなります。これが対称出力パルスに従って正しい周波数を与えます。

TOPを定義するためにCRnを使用することは決まったTOP値を使用する時に上手くなります。CRnを使用することにより、OCnAでのPWM出力を生成するためにOCRnAが自由に使用できます。けれども基準PWM周波数が (TOP値を変更することにより)動的に変更される場合、OCRnAがダブルハーフ機能のため、TOPとしてOCRnAを使用することは明らかに良い選択です。

位相 / 周波数基準PWM動作での比較部はOCnxピンでのPWM波形の生成を許します。COMnx1~ 0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOMnx1~ 0を'11'に設定することで生成できます (86頁の表60をご覧ください) 実際のOCnx値はそのポートピンに対するテータ方向が出力 (DDR_OCnx=1)として設定される場合だけ見えてでしょう。PWM波形はカウンタが増加するときのTCNTnとOCRn間の比較一致でOCnx(内部レジスタをセット(1)またはクリア(0))と、カウンタが減少するときのTCNTnとOCRn間の比較一致でOCnxレジスタをクリア(0)またはセット(1)することにより生成されます。

位相 / 周波数基準PWMを使用するときの出力に対するPWM周波数は次式により計算できます。変数Nは前置分周数 (1, 8, 64, 256, 1024)を表します。

$$f_{OCnxPFCPWM} = \frac{f_{clk}/O}{2 \times N \times TOP}$$

OCRnの両端値は位相 / 周波数基準PWM動作でPWM波形出力を生成する時の特別な場合にあたります。非反転PWM動作ではOCRnがBOTTOMに等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。

TOP値定義にOCRnAが使用され (WGMn3~ 0=1001) COMnA1~ 0=01ならば、OCnA出力はデューティ比50%で交互に変化します。

タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従ってタイマ/カウンタクロック(ck_{Tn})が下図のクロック許可信号として示されます。この図は割り込みフラグがセット(1)される時、そして $OCRnx$ レジスタが $OCRnx$ ハフ値で更新される時(ダブルハフを使用する種別のみ)の情報を含みます。図55は $OCFnx$ の設定についてのタイミング図を示します。

図 55.前置分周なし(1/1)のタイマ/カウンタ $OCFnx$ 設定 タイミング

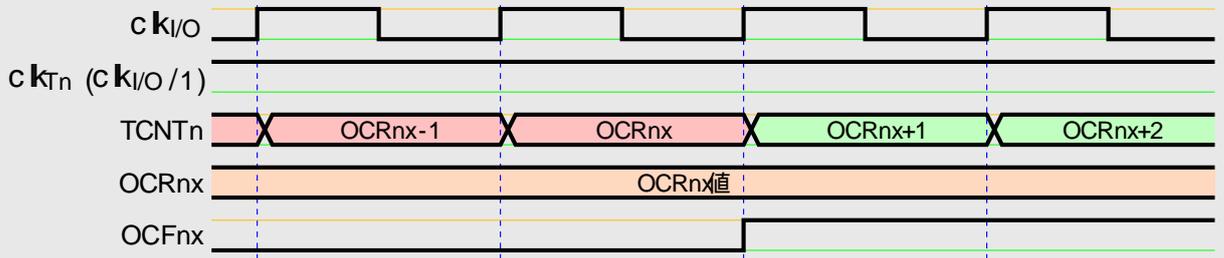


図 56は同じタイミングで示しますが、前置分周器が許可されています。

図 56.前置分周器 ($fc_{k_I/O}/8$)のタイマ/カウンタ $OCFnx$ 設定 タイミング

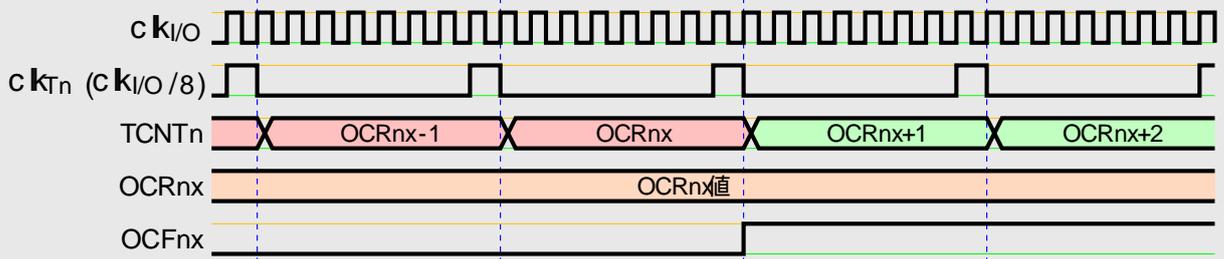


図 57は様々な動作種別でのTOP周辺の計数手順を示します。位相/周波数基準PWM動作を使用するときの $OCRnx$ レジスタはBOTTOMで更新されます。タイミング図は同じになりますが、当然TOPはBOTTOMで、TOP-1はBOTTOM+1でどのように置き換えられます。BOTTOMで $TOVn$ をセット(1)する動作種別についても、同様な名称変更が適用されます。

図 57.前置分周なし(1/1)のタイマ/カウンタ TOP周辺 タイミング

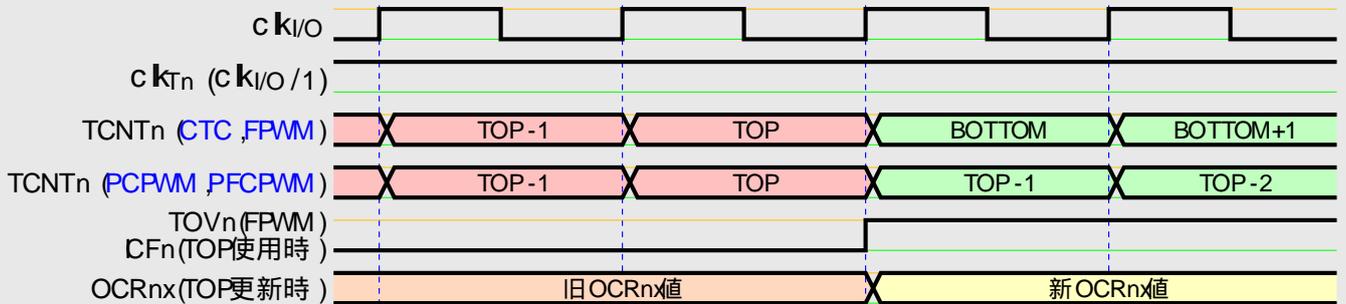
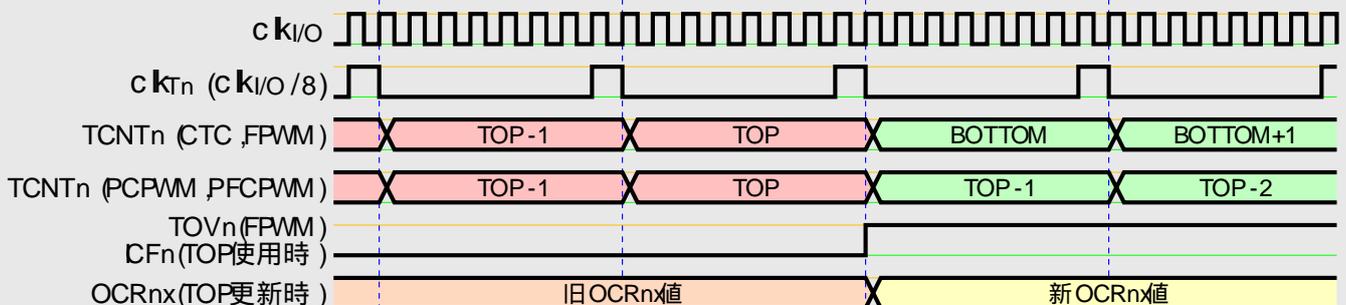


図 58は同じタイミングで示しますが、前置分周器が許可されています。

図 58.前置分周器 ($fc_{k_I/O}/8$)のタイマ/カウンタ TOP周辺 タイミング



16ビットタイマ/カウンタ1,3用レジスタ

タイマ/カウンタ1制御レジスタA (Timer/Counter1 Control Register A) TCCR1A

ビット	7	6	5	4	3	2	1	0	
\$2F (\$4F)	COM1A1	COM1A0	COM1B1	COM1B0	COM1C1	COM1C0	WGM11	WGM10	TCCR1A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタ3制御レジスタA (Timer/Counter3 Control Register A) TCCR3A

ビット	7	6	5	4	3	2	1	0	
(\$8B)	COM3A1	COM3A0	COM3B1	COM3B0	COM3C1	COM3C0	WGM31	WGM30	TCCR3A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 6 - COM1A1 COM1A0 : 比較 nA 出力選択 (Compare Output Mode A bit 1 and 0)

ビット5 4 - COM1B1 COM1B0 : 比較 nB 出力選択 (Compare Output Mode B bit 1 and 0)

ビット3 2 - COM1C1 COM1C0 : 比較 nC 出力選択 (Compare Output Mode C bit 1 and 0)

COMnA1~ 0 COMnB1~ 0 COMnC1~ 0 は各々 OCnA, OCnB, OCnC 比較出力ピンの動作を制御します。COMnA1~ 0 ビットの 1 つまたは両方が 1 を書かれると、OCnA 出力はその I/O ピンの通常ホールド機能を無効にし、その I/O ピンに接続されます。COMnB1~ 0 ビットの 1 つまたは両方が 1 を書かれると、OCnB 出力はその I/O ピンの通常ホールド機能を無効にし、その I/O ピンに接続されます。COMnC1~ 0 ビットの 1 つまたは両方が 1 を書かれると、OCnC 出力はその I/O ピンの通常ホールド機能を無効にし、その I/O ピンに接続されます。けれども出力ドライバを許可するため、OCnA, OCnB, OCnC ピンに対応するホールド方向レジスタ (DDR) のビットがセット (1) されなければならないことに注意してください。

OCnA, OCnB, OCnC がピンに接続されるとき、COMnx1~ 0 ビットの機能は WGMn3~ 0 ビット設定に依存します。表 58 は WGMn3~ 0 ビットが標準動作または CT 動作 (つまり非 PWM) に設定されるとき COMnx1~ 0 ビット機能を示します。

表 58. 非 PWM 動作での比較出力選択 (注: n は 1 または 3, x は A または C)

COMnx1	COMnx0	意味
0	0	標準ホールド動作 (OCnx 切断)
0	1	比較一致で OCnx ピン トグル 交互 出力
1	0	比較一致で OCnx ピン Low レベル出力
1	1	比較一致で OCnx ピン High レベル出力

表 59 は WGMn3~ 0 ビットが高速 PWM 動作に設定されるとき COMnx1~ 0 ビット機能を示します。

表 59. 高速 PWM 動作での比較出力選択 (注: n は 1 または 3, x は A または C)

COMnx1	COMnx0	意味
0	0	標準ホールド動作 (OCnx 切断)
0	1	WGMn3~ 0 = 1111 : 比較一致で OCnA ピン トグル 交互 出力、OCnB / OCnC 切断 標準ホールド動作) WGMn3~ 0 上記以外 : 標準ホールド動作 (OCnx 切断)
1	0	比較一致で Low TOP で High を OCnx ピンへ出力
1	1	比較一致で High TOP で Low を OCnx ピンへ出力

注: COMnx1 がセット (1) され、OCRnx が TOP と等しいときに特別な状態が起きます。この状態での比較一致は無視されますが、TOP でのセット (1) またはクリア (0) は実行されます。より多くの詳細については 82 頁の「高速 PWM 動作」をご覧ください。

表 60 は WGMn3~ 0 ビットが位相基準または位相 / 周波数基準 PWM 動作に設定されるとき COMnx1~ 0 ビット機能を示します。

表 60. 位相基準または位相 / 周波数基準 PWM 動作での比較出力選択 (注: n は 1 または 3, x は A または C)

COMnx1	COMnx0	意味
0	0	標準ホールド動作 (OCnx 切断)
0	1	WGMn3~ 0 = 10x1 : 比較一致で OCnA ピン トグル 交互 出力、OCnB / OCnC 切断 標準ホールド動作) WGMn3~ 0 上記以外 : 標準ホールド動作 (OCnx 切断)
1	0	上昇計数時の比較一致で Low、下降計数時の比較一致で High を OCnx ピンへ出力
1	1	上昇計数時の比較一致で High、下降計数時の比較一致で Low を OCnx ピンへ出力

注: COMnx1 がセット (1) され、OCRnx が TOP と等しいときに特別な状態が起きます。より多くの詳細については 83 頁の「位相基準 PWM 動作」をご覧ください。

ビット10 - WGMn1WGMn0 :波形生成種別 (Waveform Generation Mode bit 1 and 0)

タイマ/カウンタ制御レジスタB (TCRnB)で得られるWGMn3~ 2ビットと組み合わせたこれらのビットは、カウンタの計数順序 (方向) 最大カウンタ (TOP 値の供給元、使用されるべき波形生成のどの形式かを制御します (表 61参照) タイマ/カウンタによって支援される動作種別は、標準動作 (カウンタ) 比較一致タイマ/カウンタクリア (CTC 動作)と形式のハル幅変調 (PWM 動作)です。8頁の「動作種別」をご覧ください。

表 61. 波形生成種別選択

番号	WGMn3	WGMn2 (CTCn)	WGMn1 (PWMn1)	WGMn0 (PWMn0)	タイマ/カウンタ動作種別	TOP値	OCRnx 更新時	TOVn 設定時
0	0	0	0	0	標準動作	\$FFFF	即時	MAX
1	0	0	0	1	8ビット位相基準 PWM動作	\$00FF	TOP	BOTTOM
2	0	0	1	0	9ビット位相基準 PWM動作	\$01FF	TOP	BOTTOM
3	0	0	1	1	10ビット位相基準 PWM動作	\$03FF	TOP	BOTTOM
4	0	1	0	0	比較一致タイマ/カウンタクリア (CTC 動作)	OCRnA	即時	MAX
5	0	1	0	1	8ビット高速 PWM動作	\$00FF	TOP	TOP
6	0	1	1	0	9ビット高速 PWM動作	\$01FF	TOP	TOP
7	0	1	1	1	10ビット高速 PWM動作	\$03FF	TOP	TOP
8	1	0	0	0	位相 /周波数基準 PWM動作	ICRn	BOTTOM	BOTTOM
9	1	0	0	1	位相 /周波数基準 PWM動作	OCRnA	BOTTOM	BOTTOM
10	1	0	1	0	位相基準 PWM動作	ICRn	TOP	BOTTOM
11	1	0	1	1	位相基準 PWM動作	OCRnA	TOP	BOTTOM
12	1	1	0	0	比較一致タイマ/カウンタクリア (CTC 動作)	ICRn	即時	MAX
13	1	1	0	1	(予約)	-	-	-
14	1	1	1	0	高速 PWM動作	ICRn	TOP	TOP
15	1	1	1	1	高速 PWM動作	OCRnA	TOP	TOP

注 : CTCnとPWMn1~ 0ビット定義名は旧名です。WGMn2~ 定義を使用してください。しかし、これらのビットの機能と位置は旧版のタイマ/カウンタと一致します。

タイマ/カウンタ制御レジスタB (Timer/Counter1 Control Register B) TCCR1B

ビット	7	6	5	4	3	2	1	0	
\$2E (\$4E)	CNC1	CES1	-	WGM13	WGM12	CS12	CS11	CS10	TCCR1B
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタ3制御レジスタB (Timer/Counter3 Control Register B) TCCR3B

ビット	7	6	5	4	3	2	1	0	
\$8A	CNC3	CES3	-	WGM33	WGM32	CS32	CS31	CS30	TCCR3B
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - CNCn 捕獲 (キャプチャ) 起動入力 nノイズ消去許可 (Input Capture Noise Cancel)

このビットを (1) に設定することは捕獲起動入力ノイズ消去器を活性 (有効) にします。ノイズ消去器が有効にされると、捕獲起動入力 (CPn) ピンからの入力が増幅され、この増幅機能はそれが出力を更新することに対して連続 4 回等しく評価された CPn ピンの採取を必要とします。ノイズ消去器が許可されると、捕獲入力はこれによって 4 発振器 (システム クロック) サイクル遅らされます。

ビット6 - CESn 捕獲 (キャプチャ) 起動入力 nエッジ選択 (Input Capture Edge Select)

このビットは出来事での捕獲を起動するために使用される捕獲起動入力 (CPn) ピンのどちらかのエッジを選択します。CESn ビットが 0 を書かれると起動動作として立ち下り (負) エッジが使用され、CESn ビットが 1 を書かれると立ち上り (正) エッジが捕獲を起動します。

捕獲が CESn 設定に従って起動されると、カウンタ値が捕獲レジスタ (CRn) にロードされます。この出来事は捕獲入力割り込み要求フラグ (CFn) をセット (1) し、そしてこれは、この割り込みが許可されていれば捕獲入力割り込みを起こすために使用できます。

CRn が TOP 値として使用されると (TCCRnA と TCCRnB に配置された WGMn3~0 ビットの記述をご覧ください)、CPn が切り離され、従って捕獲入力機能は禁止されます。

ビット5 - Res : 予約 (Reserved)

このビットは将来の使用に対して予約されています。将来のデバイスとの共通性を保つため、TCCRnB が書かれるとき、このビットは 0 を書かれなければなりません。

ビット4,3 - WGMn3/WGMn2 : 波形生成種別 (Waveform Generation Mode bit 3 and 2)

TCCRnA の WGMn1~0 ビットの記述をご覧ください。

ビット2,1,0 - CSn2/CSn1/CSn0 : クロック選択 n (Clock Select, bit 2, 1 and 0)

この 3 つのクロック選択ビットはタイマ/カウンタ (TCNTn) により使用されるべきクロック元を選択します。図 55 と図 56 をご覧ください。

タイマ/カウンタ n に対して外部ピン (クロック動作が使用される場合、例えば Tn ピン) が出力として設定されても Tn ピンの遷移はカウンタをクロック駆動します。この特性はソフトウェアに計数の制御を許します。

表 62. タイマ/カウンタ入力 クロック選択

CS12	CS11	CS10	意味
0	0	0	停止 (タイマ/カウンタ動作停止)
0	0	1	clk _{I/O} 前置分周なし)
0	1	0	clk _{I/O} / 8 (8分周)
0	1	1	clk _{I/O} / 64 (64分周)
1	0	0	clk _{I/O} / 256 (256分周)
1	0	1	clk _{I/O} / 1024 (1024分周)
1	1	0	Tn ピンの立ち下りエッジ (外部クロック)
1	1	1	Tn ピンの立ち上りエッジ (外部クロック)

タイマ/カウンタ制御レジスタC (Timer/Counter1 Control Register C) TCCR1C

ビット	7	6	5	4	3	2	1	0	
ビット (\$7A)	FOC1A FOC1B FOC1C - - - -								TCCR1C
Read/Write	W	W	W	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタ3制御レジスタC (Timer/Counter3 Control Register C) TCCR3C

ビット	7	6	5	4	3	2	1	0	
ビット (\$8C)	FOC3A FOC3B FOC3C - - - -								TCCR3C
Read/Write	W	W	W	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

ビット7 - FOCnA :OCnA強制変更 (Force Output Compare A)

ビット6 - FOCnB :OCnB強制変更 (Force Output Compare B)

ビット5 - FOCnC :OCnC強制変更 (Force Output Compare C)

FOCnA/FOCnB/FOCnCビットはWGMn3~ 0ビットが非PWM動作を指示するときだけ有効です。FOCnA/FOCnB/FOCnCビットに論理1を書くと波形生成部で直ちに比較一致が強制されます。OCn出力はCOMnx1~ 0ビット設定に従って変更されます。FOCnA/FOCnB/FOCnCビットがストロブとして実行されることに注意してください。それによって強制された比較の効果を決めるのはCOMnx1~ 0ビットに存在する値です。

FOCnA/FOCnB/FOCnCストロブは何れの割り込みの生成もTOPとしてOCRnAを使用する比較一致タイマクリア(CTC動作)でのタイマ/カウンタのクリア(\$0000)を行いません。

FOCnA/FOCnB/FOCnCビットは常に0として読まれます。

ビット4~ 0 - Res:予約 (Reserved)

これらのビットは将来の使用に対して予約されています。将来のデバイスとの共通性を保つため、TCCRnCが書かれるとき、これらのビットは0を書かれなければなりません。

タイマ/カウンタ1 (Timer/Counter1) TCNT1H,TCNT1L (TCNT1)

ビット	15	14	13	12	11	10	9	8	
ビット (\$2D (\$4D))	MSB								TCNT1H
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
ビット (\$2C (\$4C))									TCNT1L
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタ3 (Timer/Counter3) TCNT3H,TCNT3L (TCNT3)

ビット	15	14	13	12	11	10	9	8	
ビット (\$89)	MSB								TCNT3H
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
ビット (\$88)									TCNT3L
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

この2つのタイマ/カウンタ I/O位置 (TCNTnHとTCNTnLを合わせたTCNTn)は、読み書き両方についてタイマ/カウンタの16ビットカウンタに直接アクセスします。CPUがこれらのレジスタをアクセスするときに上位と下位の両バイトが同時に読み書きされることを保証するため、このアクセスは8ビット上位バイト一時レジスタ(TEMP)を使用して実行されます。この一時レジスタは他の全ての16ビットレジスタとより共用されます。7頁の「16ビットレジスタのアクセス」をご覧ください。

カウンタが走行中にカウンタ(TCNTn)を変更することは、OCRnxの1つとTCNTn間の比較一致消失の危険を誘発します。

TCNTnへの書き込みは全ての比較部に対して次のタイマ/カウンタクロックでの比較一致を妨害除去します。

タイマ/カウンタ1比較Aレジスタ (Timer/Counter1 Output Compare Register A) OCR1AH/OCR1AL (OCR1A)

ビット	15	14	13	12	11	10	9	8	
\$2B (\$4B)	MSB								OCR1AH
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$2A (\$4A)	LSB								OCR1AL
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタ1比較Bレジスタ (Timer/Counter1 Output Compare Register B) OCR1BH/OCR1BL (OCR1B)

ビット	15	14	13	12	11	10	9	8	
\$29 (\$49)	MSB								OCR1BH
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$28 (\$48)	LSB								OCR1BL
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタ1比較Cレジスタ (Timer/Counter1 Output Compare Register C) OCR1CH/OCR1CL (OCR1C)

ビット	15	14	13	12	11	10	9	8	
(\$79)	MSB								OCR1CH
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
(\$78)	LSB								OCR1CL
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタ3比較Aレジスタ (Timer/Counter3 Output Compare Register A) OCR3AH/OCR3AL (OCR3A)

ビット	15	14	13	12	11	10	9	8	
(\$87)	MSB								OCR3AH
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
(\$86)	LSB								OCR3AL
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタ3比較Bレジスタ (Timer/Counter3 Output Compare Register B) OCR3BH/OCR3BL (OCR3B)

ビット	15	14	13	12	11	10	9	8	
(\$85)	MSB								OCR3BH
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
(\$84)	LSB								OCR3BL
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタ3比較レジスタ (Timer/Counter3 Output Compare Register C) OCR3CH, OCR3CL (OCR3C)

ビット	15	14	13	12	11	10	9	8	
ビット (\$83)	(MSB)								OCR3CH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット (\$82)								(LSB)	OCR3CL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的に **カウンタ(TCNTn)**値と比較される16ビット値を含みます。一致は比較一致割り込みやOCnxピンでの波形出力を生成するために使用できます。

この比較レジスタは容量が16ビットです。CPUがこれらのレジスタへ書くときに上位と下位の両ハイが同時に書かれることを保証するため、このアクセスは8ビット上位バイトレジスタ(TEMP)を使用して実行されます。この一時レジスタは他の全ての16ビットレジスタにより共有されます。74頁の「16ビットレジスタのアクセス」をご覧ください。

タイマ/カウンタ1捕獲 (キャプチャ) レジスタ (Timer/Counter1 Input Capture Register) IC1H, IC1L (IC1)

ビット	15	14	13	12	11	10	9	8	
\$27 (\$47)	(MSB)								IC1H
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット (\$26 (\$46))								(LSB)	IC1L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタ3捕獲 (キャプチャ) レジスタ (Timer/Counter3 Input Capture Register) IC3H, IC3L (IC3)

ビット	15	14	13	12	11	10	9	8	
(\$81)	(MSB)								IC3H
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット (\$80)								(LSB)	IC3L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この捕獲レジスタはCPnxピンまたはタイマ/カウンタ1については任意の**アナログ比較器出力**で出来事が起こる毎にカウンタ(TCNTn)値で更新されます。この捕獲レジスタはタイマ/カウンタの**TOP値**を定義するために使用できます。

この捕獲レジスタは容量が16ビットです。CPUがこれらのレジスタへアクセスするときに上位と下位の両ハイが同時に読まれることを保証するため、このアクセスは8ビット上位バイトレジスタ(TEMP)を使用して実行されます。この一時レジスタは他の全ての16ビットレジスタにより共有されます。74頁の「16ビットレジスタのアクセス」をご覧ください。

タイマ/カウンタ割り込みマスクレジスタ (Timer/Counter Interrupt Mask Register) TMSK

ビット	7	6	5	4	3	2	1	0	
\$37 (\$57)	OC E2	TO E2	T C E1	OC E1A	OC E1B	TO E1	OC E0	TO E0	TMSK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注 : このレジスタは様々なタイマ/カウンタ割り込み制御ビットを含みますが、タイマ/カウンタだけがこの項で記述されます。残りのビットは各々のタイマ/カウンタ項目で記述されます。

ビット5 - TCE1 : タイマ/カウンタ1 捕獲 (キャプチャ) 割り込み許可 (Timer/Counter1 Input Capture Interrupt Enable)

このビットが 1 を書かれ、ステータスレジスタ (SREG) の全割り込み許可 (I) ビットがセット (1) されると、タイマ/カウンタ1 捕獲割り込みが許可されます。タイマ/カウンタ割り込み要求フラグレジスタ (TFR) に配置された捕獲 割り込み要求フラグ (CF1) がセット (1) されると、対応する割り込みベクタ (35 頁の「割り込み」参照) が実行されます。

ビット4 - OCE1A : タイマ/カウンタ1 比較 A 割り込み許可 (Timer/Counter1 Output Compare A Match Interrupt Enable)

このビットが 1 を書かれ、ステータスレジスタ (SREG) の全割り込み許可 (I) ビットがセット (1) されると、タイマ/カウンタ1 比較 A 一致割り込みが許可されます。タイマ/カウンタ割り込み要求フラグレジスタ (TFR) に配置された比較 1A 割り込み要求フラグ (OCF1A) がセット (1) されると、対応する割り込みベクタ (35 頁の「割り込み」参照) が実行されます。

ビット3 - OCE1B : タイマ/カウンタ1 比較 B 割り込み許可 (Timer/Counter1 Output Compare B Match Interrupt Enable)

このビットが 1 を書かれ、ステータスレジスタ (SREG) の全割り込み許可 (I) ビットがセット (1) されると、タイマ/カウンタ1 比較 B 一致割り込みが許可されます。タイマ/カウンタ割り込み要求フラグレジスタ (TFR) に配置された比較 1B 割り込み要求フラグ (OCF1B) がセット (1) されると、対応する割り込みベクタ (35 頁の「割り込み」参照) が実行されます。

ビット2 - TOE1 : タイマ/カウンタ1 オーバーフロー割り込み許可 (Timer/Counter1 Overflow Interrupt Enable)

このビットが 1 を書かれ、ステータスレジスタ (SREG) の全割り込み許可 (I) ビットがセット (1) されると、タイマ/カウンタ1 オーバーフロー割り込みが許可されます。タイマ/カウンタ割り込み要求フラグレジスタ (TFR) に配置されたタイマ/カウンタ1 オーバーフロー割り込み要求フラグ (TOV1) がセット (1) されると、対応する割り込みベクタ (35 頁の「割り込み」参照) が実行されます。

拡張タイマ/カウンタ割り込みマスクレジスタ (Extended Timer/Counter Interrupt Mask Register) ETMSK

ビット	7	6	5	4	3	2	1	0	
(\$7D)	-	-	T C E3	OC E3A	OC E3B	TO E3	OC E3C	OC E1C	ETMSK
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注 : このレジスタは ATmega103 互換動作では利用できません。

ビット7-6 - Res : 予約 (Reserved)

これらのビットは将来使用するために予約されています。将来のデバイスとの共通性を保つため、EMSK 書き込み時、これらのビットは 0 に設定されなければなりません。

ビット5 - TCE3 : タイマ/カウンタ3 捕獲 (キャプチャ) 割り込み許可 (Timer/Counter3 Input Capture Interrupt Enable)

このビットが 1 を書かれ、ステータスレジスタ (SREG) の全割り込み許可 (I) ビットがセット (1) されると、タイマ/カウンタ3 捕獲割り込みが許可されます。拡張タイマ/カウンタ割り込み要求フラグレジスタ (ETFR) に配置された捕獲 割り込み要求フラグ (CF3) がセット (1) されると、対応する割り込みベクタ (35 頁の「割り込み」参照) が実行されます。

ビット4 - OCE3A : タイマ/カウンタ3 比較 A 割り込み許可 (Timer/Counter3 Output Compare A Match Interrupt Enable)

このビットが 1 を書かれ、ステータスレジスタ (SREG) の全割り込み許可 (I) ビットがセット (1) されると、タイマ/カウンタ3 比較 A 一致割り込みが許可されます。拡張タイマ/カウンタ割り込み要求フラグレジスタ (ETFR) に配置された比較 3A 割り込み要求フラグ (OCF3A) がセット (1) されると、対応する割り込みベクタ (35 頁の「割り込み」参照) が実行されます。

ビット3 - OCE3B : タイマ/カウンタ3 比較 B 割り込み許可 (Timer/Counter3 Output Compare B Match Interrupt Enable)

このビットが 1 を書かれ、ステータスレジスタ (SREG) の全割り込み許可 (I) ビットがセット (1) されると、タイマ/カウンタ3 比較 B 一致割り込みが許可されます。拡張タイマ/カウンタ割り込み要求フラグレジスタ (ETFR) に配置された比較 3B 割り込み要求フラグ (OCF3B) がセット (1) されると、対応する割り込みベクタ (35 頁の「割り込み」参照) が実行されます。

ビット2 - TOE3 : タイマ/カウンタ3 オーバーフロー割り込み許可 (Timer/Counter3 Overflow Interrupt Enable)

このビットが 1 を書かれ、ステータスレジスタ (SREG) の全割り込み許可 (I) ビットがセット (1) されると、タイマ/カウンタ3 オーバーフロー割り込みが許可されます。拡張タイマ/カウンタ割り込み要求フラグレジスタ (ETFR) に配置されたタイマ/カウンタ3 オーバーフロー割り込み要求フラグ (TOV3) がセット (1) されると、対応する割り込みベクタ (35 頁の「割り込み」参照) が実行されます。

ビット1 - OCE3C : タイマ/カウンタ3比較C割り込み許可 (Timer/Counter3 Output Compare C Match Interrupt Enable)

このビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(1)ビットがセット(1)されると、タイマ/カウンタ3比較C一致割り込みが許可されます。拡張タイマ/カウンタ割り込み要求フラグレジスタ(ETFR)に配置された比較C割り込み要求フラグ(OCF3C)がセット(1)されると、対応する割り込みベクタ(35頁の「割り込み」参照)が実行されます。

ビット0 - OCE1C : タイマ/カウンタ1比較C割り込み許可 (Timer/Counter1 Output Compare C Match Interrupt Enable)

このビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(1)ビットがセット(1)されると、タイマ/カウンタ1比較C一致割り込みが許可されます。拡張タイマ/カウンタ割り込み要求フラグレジスタ(ETFR)に配置された比較C割り込み要求フラグ(OCF1C)がセット(1)されると、対応する割り込みベクタ(35頁の「割り込み」参照)が実行されます。

タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter Interrupt Flag Register) TIFR

ビット	7	6	5	4	3	2	1	0	TIFR
\$36 (\$56)	OCF2	TOV2	CF1	OCF1A	OCF1B	TOV1	OCF0	TOV0	
Read/Write	RW	RW	RW	RW	RW	RW	RW	RW	
初期値	0	0	0	0	0	0	0	0	

注: このレジスタは様々なタイマ/カウンタ用割り込み制御ビットを含みますが、タイマ/カウンタだけがこの項で記述されます。残りのビットは各々のタイマ/カウンタ項目で記述されます。

ビット5 - CF1 : タイマ/カウンタ1捕獲 (キャプチャ割り込み要求フラグ) (Timer/Counter1, Input Capture Flag)

CP1ピンに捕獲の事象が起こると、このフラグがセット(1)されます。捕獲レジスタ(CR1)がWGM13~0によりTOP値として設定されると、CF1フラグはカウンタがTOP値に到達するときにセット(1)されます。

捕獲割り込みベクタが実行されると、CF1は自動的にクリア(0)されます。代わりに、このビット位置へ論理1を書くことによってもCF1はクリア(0)できます。

ビット4 - OCF1A : タイマ/カウンタ1比較A割り込み要求フラグ (Timer/Counter1, Output Compare A Match Flag)

このフラグはカウンタ(TCNT1)値が比較Aレジスタ(OCR1A)と一致した後次のタイマ/カウンタクロックサイクルでセット(1)されます。

強制的な比較出力(FOC1A)はOCF1Aフラグをセット(1)しないことに注意してください。

比較A一致割り込みベクタが実行されると、OCF1Aは自動的にクリア(0)されます。代わりに、このビット位置へ論理1を書くことによってもOCF1Aはクリア(0)できます。

ビット3 - OCF1B : タイマ/カウンタ1比較B割り込み要求フラグ (Timer/Counter1, Output Compare B Match Flag)

このフラグはカウンタ(TCNT1)値が比較Bレジスタ(OCR1B)と一致した後次のタイマ/カウンタクロックサイクルでセット(1)されます。

強制的な比較出力(FOC1B)はOCF1Bフラグをセット(1)しないことに注意してください。

比較B一致割り込みベクタが実行されると、OCF1Bは自動的にクリア(0)されます。代わりに、このビット位置へ論理1を書くことによってもOCF1Bはクリア(0)できます。

ビット2 - TOV1 : タイマ/カウンタ1オーバフロー割り込み要求フラグ (Timer/Counter1 Overflow Flag)

このフラグの(1)設定はWGM13~0ビット設定に依存します。標準またはCTC動作でのTOV1フラグはタイマ/カウンタオーバフロー時にセット(1)されます。他のWGM13~0ビット設定を使用するときのTOV1フラグ動作については87頁の表61を参照してください。

タイマ/カウンタ1オーバフロー割り込みベクタが実行されると、TOV1は自動的にクリア(0)されます。代わりに、このビット位置へ論理1を書くことによってもTOV1はクリア(0)できます。

拡張タイマ/カウンタ割り込み要求フラグレジスタ (Extended Timer/Counter Interrupt Flag Register) ETFR

ビット	7	6	5	4	3	2	1	0	ETIFR
\$7C	-	-	CF3	OCF3A	OCF3B	TOV3	OCF3C	OCF1C	
Read/Write	R	R	RW	RW	RW	RW	RW	RW	
初期値	0	0	0	0	0	0	0	0	

ビット76 - Res : 予約 (Reserved)

これらのビットは将来使用するために予約されています。将来のデバイスとの共通性を保つため、ETIFR書き込み時、これらのビットは0に設定されなければなりません。

ビット5 - CF3 : タイマ/カウンタ3捕獲 (キャプチャ割り込み要求フラグ) (Timer/Counter3, Input Capture Flag)

CP3ピンに捕獲の事象が起こると、このフラグがセット(1)されます。捕獲レジスタ(CR3)がWGM33~0によりTOP値として設定されると、CF3フラグはカウンタがTOP値に到達するときにセット(1)されます。

捕獲割り込みベクタが実行されると、CF3は自動的にクリア(0)されます。代わりに、このビット位置へ論理1を書くことによってもCF3はクリア(0)できます。

ビット4 - OCF3A : タイマ/カウンタ3比較A割り込み要求フラグ (Timer/Counter3, Output Compare A Match Flag)

このフラグはカウンタ(TCNT3)値が比較レジスタ(OCR3A)と一致した後次のタイマ/カウンタクロックサイクルでセット(1)されます。

強制的な比較出力(FOC3A)ストロブはOCF3Aフラグをセット(1)しないことに注意してください。

比較3A一致割り込みイベントが実行されると、OCF3Aは自動的にクリア(0)されます。代わりに、このビット位置へ論理1を書くことによってもOCF3Aはクリア(0)できます。

ビット3 - OCF3B : タイマ/カウンタ3比較B割り込み要求フラグ (Timer/Counter3, Output Compare B Match Flag)

このフラグはカウンタ(TCNT3)値が比較レジスタ(OCR3B)と一致した後次のタイマ/カウンタクロックサイクルでセット(1)されます。

強制的な比較出力(FOC3B)ストロブはOCF3Bフラグをセット(1)しないことに注意してください。

比較3B一致割り込みイベントが実行されると、OCF3Bは自動的にクリア(0)されます。代わりに、このビット位置へ論理1を書くことによってもOCF3Bはクリア(0)できます。

ビット2 - TOV3 : タイマ/カウンタ3オーバーフロー割り込み要求フラグ (Timer/Counter3 Overflow Flag)

このフラグの(1)設定はWGM33~0ビット設定に依存します。標準またはCTC動作でのTOV3フラグはタイマ/カウンタオーバーフロー時にセット(1)されます。他のWGM33~0ビット設定を使用するときのTOV3フラグ動作については87頁の表61を参照してください。

タイマ/カウンタ3オーバーフロー割り込みイベントが実行されると、TOV3は自動的にクリア(0)されます。代わりに、このビット位置へ論理1を書くことによってもTOV3はクリア(0)できます。

ビット1 - OCF3C : タイマ/カウンタ3比較C割り込み要求フラグ (Timer/Counter3, Output Compare C Match Flag)

このフラグはカウンタ(TCNT3)値が比較レジスタ(OCR3C)と一致した後次のタイマ/カウンタクロックサイクルでセット(1)されます。

強制的な比較出力(FOC3C)ストロブはOCF3Cフラグをセット(1)しないことに注意してください。

比較3C一致割り込みイベントが実行されると、OCF3Cは自動的にクリア(0)されます。代わりに、このビット位置へ論理1を書くことによってもOCF3Cはクリア(0)できます。

ビット0 - OCF1C : タイマ/カウンタ1比較C割り込み要求フラグ (Timer/Counter1, Output Compare C Match Flag)

このフラグはカウンタ(TCNT1)値が比較レジスタ(OCR1C)と一致した後次のタイマ/カウンタクロックサイクルでセット(1)されます。

強制的な比較出力(FOC1C)ストロブはOCF1Cフラグをセット(1)しないことに注意してください。

比較1C一致割り込みイベントが実行されると、OCF1Cは自動的にクリア(0)されます。代わりに、このビット位置へ論理1を書くことによってもOCF1Cはクリア(0)できます。

タイマ/カウンタ1、タイマ/カウンタ2、タイマ/カウンタ3の前置分周器

タイマ/カウンタ1、タイマ/カウンタ2、タイマ/カウンタ3は同じ前置分周器部を共有しますが、タイマ/カウンタは異なる前置分周器設定ができます。以下の記述は言及した全てのタイマ/カウンタに適用されます。

内部クロック

タイマ/カウンタはシステムクロック(CSn2~0=00設定)により直接的にクロック駆動できます。これはシステムクロック周波数($f_{ck_I/O}$)と等しいタイマ/カウンタ最大クロック周波数での最高速動作を提供します。選択で前置分周器からの4つのタップの1つがクロック元として使用できます。この前置分周したクロックは $f_{ck_I/O}/8$ 、 $f_{ck_I/O}/64$ 、 $f_{ck_I/O}/256$ 、 $f_{ck_I/O}/1024$ の何れかの周波数です。

前置分周器リセット

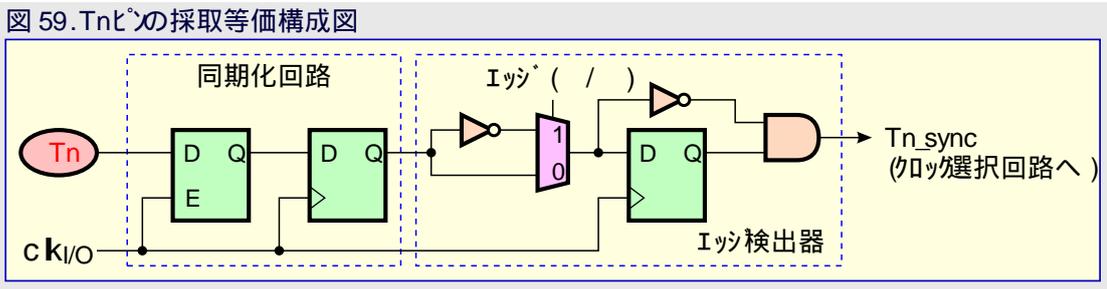
この前置分周器は自由走行で(換言するとタイマ/カウンタのクロック選択論理回路と無関係に動作する)タイマ/カウンタ1、タイマ/カウンタ2、タイマ/カウンタ3により共有されます。前置分周器はタイマ/カウンタのクロック選択により影響を及ぼされないため、前置分周器の状態は前置分周したクロックが使用される状況に対して密接に関係します。タイマ/カウンタが許可され、前置分周器によりクロック駆動される(CSn2~0=5~2)とき、前置分周加工の一例が生じます。タイマ/カウンタが許可される時から最初の計数が起きるまでのシステムクロックサイクル数は、Nが前置分周値(8, 64, 256, 1024とすると、1~N+1システムクロックサイクルになり得ます。

プログラム実行にタイマ/カウンタを同期することに対して前置分周器リセットを使用することが可能です。しかし、同じ前置分周器を共有する他のタイマ/カウンタも前置分周を使用する場合、注意が必要とされなければなりません。前置分周器リセットは、それが接続される全タイマ/カウンタについての前置分周器周期に影響を及ぼします。

外部クロック

Tnピンに印加された外部クロック元はタイマ/カウンタクロック(f_{ck_T1} / f_{ck_T2} / f_{ck_T3})として使用できます。このTnピンはピン同期化論理回路により全てのシステムクロックサイクルに一度採取されます。この同期化採取された信号は、その後エッジ検出器を通して通過されます。図59はTn同期化とエッジ検出器論理回路の機能等価構成図を示します。レジスタは内部システムクロック($f_{ck_I/O}$)の立ち上りエッジでクロック駆動されます。ラッチは内部システムクロックのHigh区間で通過(Low区間で保持)です。

エッジ検出器は立ち上りエッジ(CSn2~0=111)または立ち下りエッジ(CSn2~0=110)の検出毎に、1つの ck_T1 / ck_T2 / ck_T3 ハルスを生成します。



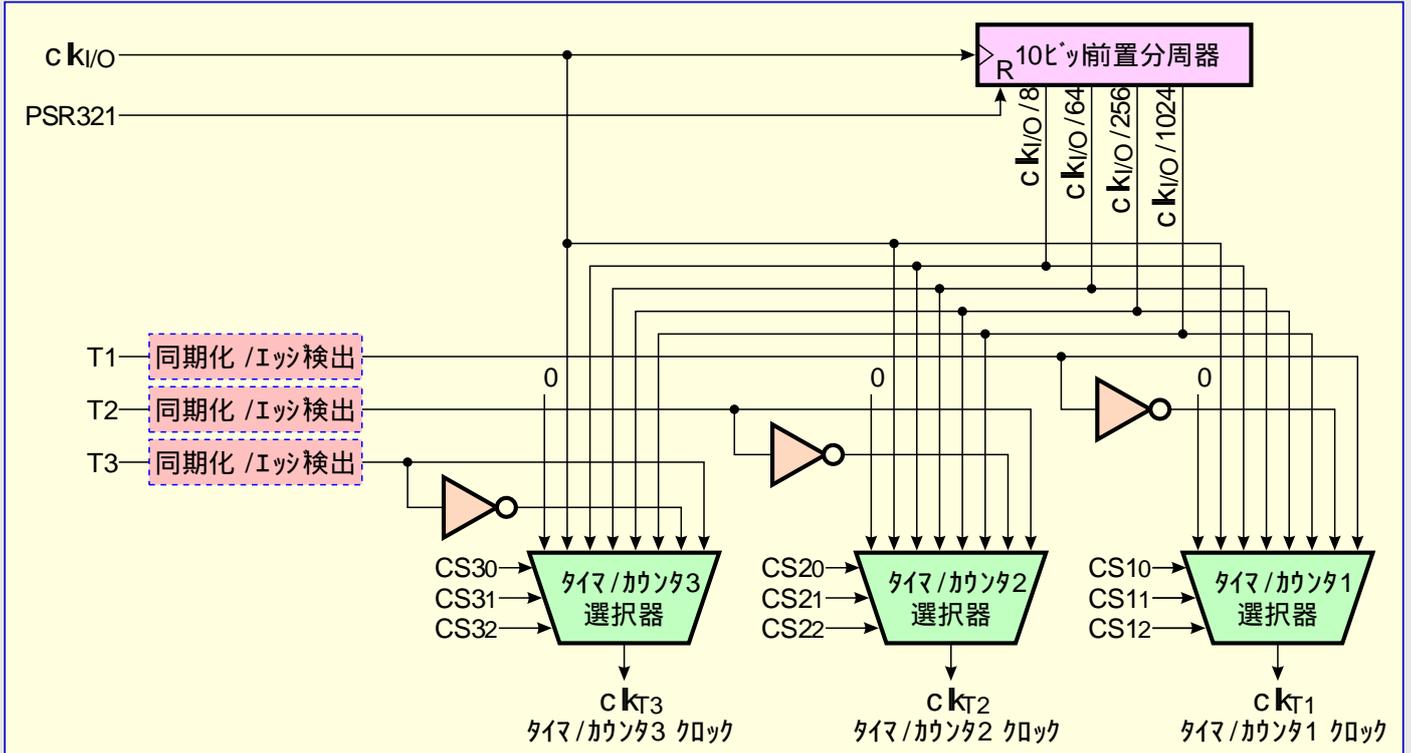
同期化とエッジ検出器論理回路はTnピンへ印加されたエッジからカウンタが更新されるまでに25~35システムクロックサイクルの遅延をもたらします。

クロック入力の許可と禁止はTnが最低1システムクロックサイクルに対して安定してしまっている時に行われなければならず、さもなければ不正なタイマ/カウンタクロックハルスが生成される危険があります。

印加された外部クロックの各半周期は正しい採取を保証するために1システムクロックサイクルより長くなければなりません。この外部クロックは50%/50%デューティ比で与えられるとして、システムクロック周波数の半分未満($f_{EXTCK} < f_{ck_I/O} / 2$)であることが保証されなければなりません。エッジ検出器が採取を使用するため、検出できる外部クロックの最大周波数はサンプル周波数の半分です(ナイキストのサンプリング定理)。しかしながら、発振元(水晶発振子、セラミック振動子、コンデンサ)により引き起こされたシステムクロック周波数やデューティ比の変動のため、外部クロック元の最大周波数は $f_{ck_I/O} / 2.5$ 未満が推奨されます。

外部クロック元は前置分周できません。

図 60. タイマ/カウンタ1、タイマ/カウンタ2、タイマ/カウンタ3の前置分周器部構成図



注: 入力ピン(T1/T2/T3)の同期化 / イツ検出論理回路は図 59で示されます。

特殊 I/O機能レジスタ (Special Function I/O Register) SFDR

ビット	7	6	5	4	3	2	1	0	
\$20 (\$40)	TSM	-	-	-	ACME	PUD	PSR0	PSR321	SFDR
Read/Write	RW	R	R	R	RW	RW	RW	RW	
初期値	0	0	0	0	0	0	0	0	

ビット7 - TSM : タイマ/カウンタ同時動作 (Timer/Counter Synchronization Mode)

TSMビットに1を書くことはタイマ/カウンタ同期化動作を活性(有効)にします。この動作でPSR0とPSR321へ書かれる値は保持され、従って対応する前置分周器リセット信号の有効を保持します。これは対応するタイマ/カウンタを停止し、設定中にそれらの1つが進行する危険なしに同じ値に設定できることを保証します。TSMビットが0を書かれると、PSR0とPSR321ビットはハードウェアによりクリア(0)され、同時にタイマ/カウンタが計数を始めます。

ビット0 - PSR321 : タイマ/カウンタ3,2,1前置分周器リセット (Prescaler Reset Timer/Counter 3,2,1)

このビットが1のとき、タイマ/カウンタ1、タイマ/カウンタ2、タイマ/カウンタ3の前置分周器はリセットします。TSMビットがセット(1)されている場合を除き、通常、このビットはハードウェアにより直ちにクリア(0)されます。タイマ/カウンタ1、タイマ/カウンタ2、タイマ/カウンタ3は同じ前置分周器を共用し、この前置分周器のリセットが、これら3つのタイマ/カウンタすべてに影響を及ぼすことに注意してください。

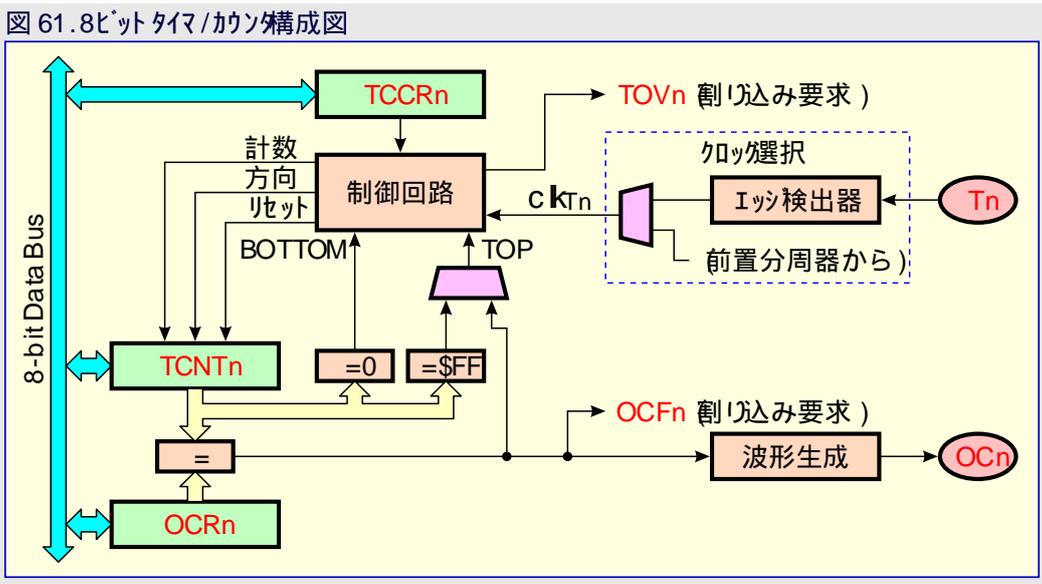
8ビットタイマ/カウンタ2 (PWM付き)

タイマ/カウンタ2は単一比較部付きの汎用8ビットタイマ/カウンタです。主な特徴は次のとおりです。

- 単一比較部付きカウンタ
- 比較一致でのタイマ/カウンタクリア (自動再設定)
- クリッチなしで正しい位相のハルス幅変調器 (PWM)
- 周波数発生器
- クック用10ビット前置分周器
- オーバーフローと比較一致割り込み (TOV2とOCF2)

概要

この8ビットタイマ/カウンタの簡便化した構成図は図61で示されます。I/Oピンごとの実際の配置については「[頁の「ピン配置」](#)を参照してください。CPUがアクセス可能な(I/OピンとI/Oレジスタを含む)I/Oレジスタは赤文字(訳注 原文は太字)で示されます。デバイス仕様のI/Oレジスタとピン位置は105頁の「8ビットタイマ/カウンタ2用レジスタ」で一覧されます。



関係レジスタ

タイマ/カウンタ(TCNT2)と比較レジスタ(OCR2)は8ビットのレジスタです。割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ(TIFR)で全て見えます。すべての割り込みはタイマ/カウンタ割り込みマスクレジスタ(TMSK)で個別に遮蔽/禁止されます。TIFRとTMSKは、これらのレジスタが他のタイマ/カウンタと共用されるため、この図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、またはT2ピンの外部クロック元によりクロック駆動されます。クロック選択論理部はタイマ/カウンタが値を増加(または減少)するために使用するクロック元を制御します。クロック元が選択されないとき、タイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタクロック(clkT2として参照されます)。

ダブルハップ化された比較レジスタ(OCR2)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OC2)ピンでPWMまたは可変周波数出力を作成するための波形生成器により使用できます。99頁の「比較出力部」をご覧ください。この比較一致発生は比較一致割り込み要求の発生に使用できる比較一致割り込み要求フラグ(OCF2)もセット(1)します。

定義

本資料でのレジスタとビット参照の多くは一般形で書かれます。小文字の'h'はタイマ/カウンタ番号、この場合は2で置き換えます。けれどもプログラムでレジスタまたはビット定義に使用するときには正確な形式が使用されなければなりません(例えばタイマ/カウンタ2のカウンタ値のアクセスに対してのTCNT2のように)。

表63の定義は本項を通じて広範囲にわたっても使用されます。

表 63.用語定義

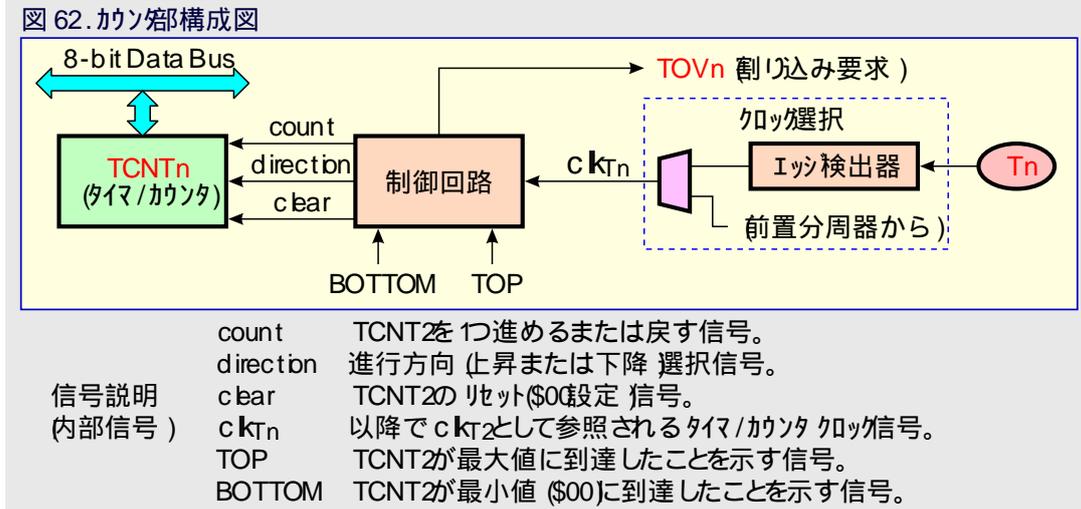
用語	意味
BOTTOM	タイマ/カウンタが\$00に到達した時。
MAX	タイマ/カウンタが\$FF(255)に到達した時。
TOP	タイマ/カウンタが指定された固定値(\$FF)またはOCR2値に到達した時。この指定(TOP値は動作種別に依存します)。

タイマ/カウンタのクック

このタイマ/カウンタは内部または外部のクック元によりクック駆動できます。このクック元はタイマ/カウンタ制御レジスタ(TCCR2)に配置されたクック選択(CS22~0)ビットにより制御されるクック選択論理回路により選択されます。クック元と前置分周器の詳細については95頁の「タイマ/カウンタ1、タイマ/カウンタ2、タイマ/カウンタ3の前置分周器」をご覧ください。

カウンタユニット

8ビットタイマ/カウンタの主な部分はプログラマブル双方向カウンタです。図62は、このカウンタとその周辺環境の構成図を示します。



使用した動作種別に依存して、カウンタは各タイマ/カウンタクック(ckT2)でクリア(\$00)、増加(+1)または減少(-1)されます。ckT2はクック選択(CS22~0)ビットにより選択された内部または外部のクック元から生成できます。クック元が選択されない(CS22~0=000)とき、タイマ/カウンタは停止されます。けれどもTCNT2値はタイマ/カウンタクック(ckT2)が存在するしないに拘らず、CPUによりアクセスできます。CPU書き込みは全てのカウンタクリアや計数動作を無視します(上位優先順位を持ちます)

計数順序(方法)はタイマ/カウンタ制御レジスタ(TCCR2)に配置された波形生成種別(WGM21~0)ビットの設定により決定されます。これらはカウンタ動作(計数方法)とOC2比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に関しては101頁の「動作種別」をご覧ください。

タイマ/カウンタオーバ-フロー(TOV2)フラグはWGM21~0ビットにより選択された動作種別に従って設定(=1)されます。TOV2はCPU割り込み発生に使用できます。

比較出力部

この8ビット比較器はTCNT2と比較レジスタOCR2を継続的に比較します。TCNT2とOCR2が等しければ比較器は一致を指示します。この一致は次のタイマ/カウンタクロックサイクルで比較割り込み要求フラグ(OCF2)をセット(1)します。許可(I=1, OCE2=1)ならば、この比較割り込み要求フラグは比較割り込みが発生します。OCF2は割り込みが実行されると自動的にクリア(0)されます。代わりにOCF2はこのビット位置に論理1を書くことによりソフトウェアでクリア(0)できます。波形生成器は波形生成種別(WGM21~0)ビットと比較出力選択(COM21~0)ビットにより設定された動作種別に従った出力を生成するために、この一致信号を使用します。MAXとBOTTOM信号は動作種別(101頁の「動作種別」参照)のいくつかで両端値の特別な場合を扱うため、波形生成器により使用されます。

図63は比較出力部の構成図を示します。

OCR2はパルス幅変調(PWM)の何れかを使用するときダブルハフ化されます。標準動作と比較一致タイマ/カウンタクリア(CTC動作)についてはダブルハフ動作が禁止されます。ダブルハフ動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR2レジスタの更新を同期化します。この同期化は奇数長、非対称PWMパルスの発生を防ぎ、それによりグリッチなしの出力を作成します。

OCR2のアクセスは複雑なように思えますが決してそんなことはありません。ダブルハフ動作が許可されるとCPUはOCR2ハフアクセスし、禁止されるとOCR2レジスタを直接アクセスします。

強制比較出力

非PWM波形生成動作での比較器の一致出力は、強制変更(FOC2)ビットに1を書くことにより強制変更できます。比較一致の強制は比較割り込み要求フラグ(OCF2)のセット(1)やタイマ/カウンタの再設定/クリアを行いませんが、OC2ビットは実際の比較一致が起きた場合と同様に更新されます(COM21~0ビット設定がOC2ビットのセット(1)、クリア(0)、1/0交互のどれかを定義)

TCNT2書き込みによる比較一致妨害

TCNT2への全てのCPU書き込みは、例えばタイマ/カウンタが停止されていても、次のタイマ/カウンタクロックサイクルで起こるどんな比較一致をも妨げます。この特質はタイマ/カウンタクロックが許可されている時に割り込みを起動することなく、TCNT2と同じ値に初期化されることをOCR2に許します。

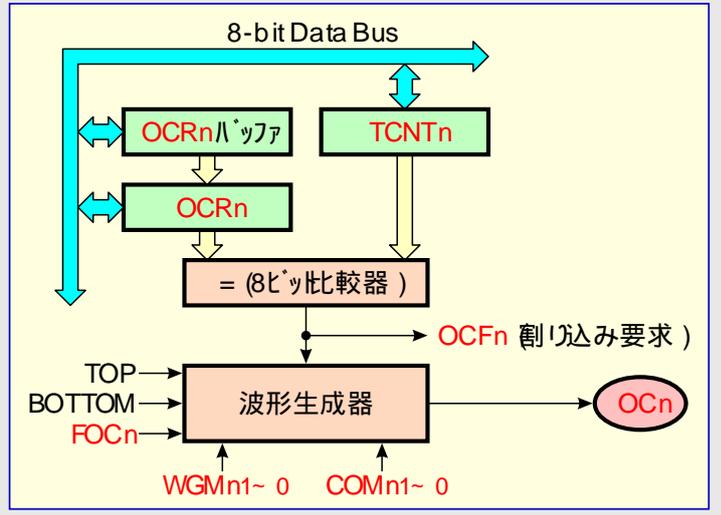
比較一致部の使用

どの動作種別でのTCNT2書き込みでも1タイマ/カウンタクロックサイクル間、全ての比較一致を妨げるため、タイマ/カウンタが走行中であるかないかに拘らず、比較出力部を使用する場合にTCNT2を変更するときは危険を伴います。TCNT2に書かれた値がOCR2値と同じ場合、比較一致は失われ(一致が発生せず)、不正な波形生成に終わります。同様にタイマ/カウンタが下降計数のとき、BOTTOMに等しいTCNT2値を書き込んではいけません。

OC2の初期設定はポートピンに対するポート方向レジスタを出力に設定する前に行われるべきです。OC2値を設定する一番簡単な方法は標準動作で強制変更(FOC2)ストロブビットを使用することです。波形生成動作種別間を変更する時であっても、OC2(内部)レジスタはその値を保ちます。

比較出力選択(COM21~0)ビットが比較値(OCR2)と共にダブルハフ化されないことに気付いてください。COM21~0ビットの変更は直ちに有効となります。

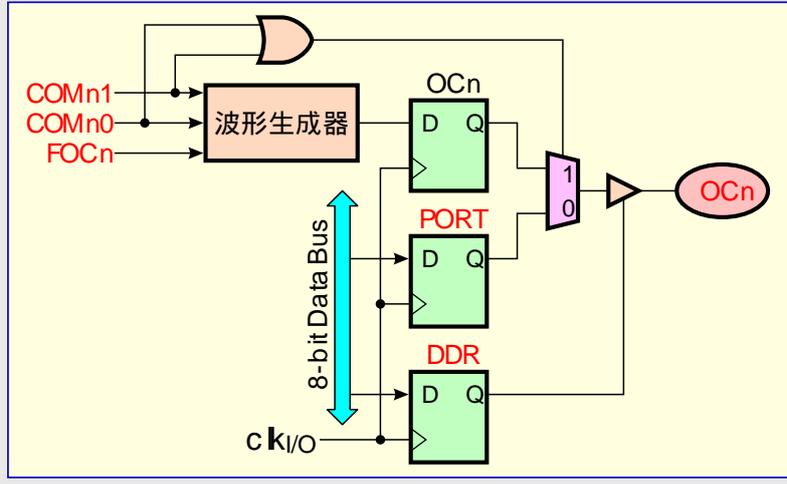
図63.比較出力部構成図



比較一致出力部

比較出力選択 (COM21~ 0)ビットは2つの機能を持ちます。波形生成器は次の比較一致での比較出力 (OC2)状態の定義にCOM21~ 0ビットを使用します。またCOM21~ 0ビットはOC2ピン出力元を制御します。図64はCOM21~ 0ビット設定により影響を及ぼされる論理回路の単純化した図を示します。図のI/Oレジスタ I/Oビット I/Oピンは赤文字 訳注 原文は太字で示されます。COM21~ 0ビットにより影響を及ぼされる標準 I/Oポート制御レジスタ (PORTとDDR)の部分だけが示されます。OC2状態を参照するとき、その参照はOC2ピンでなく内部OC2レジスタに対してです。システムリセットが起こると、OC2レジスタは0にリセットされます。

図 64.比較一致出力回路図



COM21~ 0ビットのどちらかがセット(1)されると、標準 I/Oポート機能は波形生成器からの比較出力 (OC2)により無効にされます。けれどもOC2ピンの方向 (入出力)はポートピンに対するポート方向レジスタ(DDR)により未だ制御されます。OC2ピンに対するポート方向レジスタのビット(DDR_OC2)はOC2値がピンで見えるのに先立ち、出力として設定されなければなりません。このポートの兼用機能は波形生成種別と無関係です。

比較出力ピン論理回路の設計は出力が許可される前のOC2状態の初期化を許します。いくつかのCOM21~ 0ビット設定が或る種の動作種別に対して予約されることに注意してください。105頁の「8ビットタイマ/カウンタ用レジスタ」をご覧ください。

比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でCOM21~ 0ビットを違うふうで使用します。全動作種別に対してCOM21~ 0=0C設定は次の比較一致で実行すべきOC2レジスタの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については105頁の表65を参照してください。高速PWM動作については105頁の表66、位相基準PWMについては105頁の表67を参照してください。

COM21~ 0ビットの状態変更は、このビットが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更 (FOC2)ストロブビットを使用することにより直ちに効果を得ることを強制できます。

動作種別

動作種別 換言するとタイマ/カウンタ比較出力ビットの動作は波形生成種別 (WGM21~ 0)ビットと比較出力選択 (COM21~ 0)ビットの組み合わせにより定義されます。比較出力選択ビットは計数順序動作に影響を及ぼしませんが、一方波形生成種別ビットは影響を及ぼします。COM21~ 0ビットは生成されるPWM出力が反転されるべきか、されないべきか 反転または非反転PWMどちらかを制御します。非PWM動作に対するCOM21~ 0ビットは比較一致で出力がクリア(0) セット(1) 1/交互のどれにされるべきかを制御します (100頁の「比較一致出力部」をご覧ください)

タイミング情報の詳細については 104頁の「タイマ/カウンタ2のタイミング」を参照してください (訳注 原文中の図番号省略)

標準動作

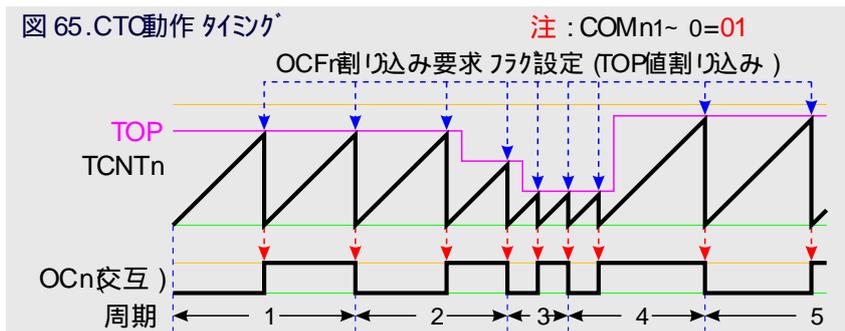
最も単純な動作種別が標準動作 (WGM21~ 0=00)です。この動作種別での計数方向は常に上昇 (+)で、カウンタクリアは実行されません。カウンタは8ビット最大値 (TOP=\$FF)を通過すると単に範囲を超え、そして\$00 (BOTTOM)から再び始めます。通常動作でのタイマ/カウンタオーバーフロー (TOV2)フラグはTCNT2が\$0dになる時と同じタイマ/カウンタクロックサイクルでセット(1)されます。この場合のTOV2フラグはセット(1)のみでクリア(0)されないことを除いて第9ビットのようになります。けれどもTOV2フラグを自動的にクリア(0)するタイマ/カウンタ2オーバーフロー割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアにより増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。

比較出力部は与えられた或る時間に割り込みを生成するために使用できます。標準動作で波形を生成するために比較出力を使用するのは、それが大変多くのCPU時間を占有するため推奨されません。

比較一致タイマ/カウンタクリア (CTC動作)

比較一致タイマ/カウンタクリア (CTC動作) (WGM21~ 0=10)では、OCR2がカウンタ分解能を操作するために使用されます。CTC動作では、カウンタ (TCNT2値がOCR2と一致すると、カウンタは\$0dにクリアされます。OCR2はカウンタに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのタイミング図は図 65で示されます。カウンタ (TCNT2値はTCNT2とOCR2間で比較一致が起こるまで増加し、そしてその後カウンタ (TCNT2)はクリア (\$0d)されます。



OCF2フラグを使用することにより、タイマ/カウンタ値がTOP値に到達する時毎に割り込みが生成できます。割り込みが許可されるならば、割り込み処理ルーチンはTOP値を更新するために使用できます。けれども前置分周なしまたは低い前置分周値でカウンタが走行している時にBOTTOMと近い値にTOPを変更することは、CTC動作がダブルハーフ機能を持たないために注意して行わなければなりません。OCR2に書かれた新しい値がTCNT2の現在値より低い (小さい) 場合、タイマ/カウンタはその回の比較一致を失います。その後カウンタは比較一致が起こるのに先立ち、最大値 (\$FF)へそして次に\$00から始める計数をしなければならないでしょう。

CTC動作で波形出力を生成するため、OC2出力は比較出力選択 (COM21~ 0)ビットを交互動作 (=01)に設定することによって各比較一致での論理レベル交互切り替えに設定できます。OC2値はそのビットに対するデフォルト方向が出力 (DDR_OC2=1)に設定されない限りポートピンで見えないでしょう。生成された波形はOCR2が0 (\$00)に設定されるとき、 $f_{OC2} = f_{clk_I/O} / 2$ の最大周波数を得ます。生成波形周波数は次式により定義されます。

$$f_{OCn} = \frac{f_{clk_I/O}}{2 \times N \times (1 + OCRn)}$$

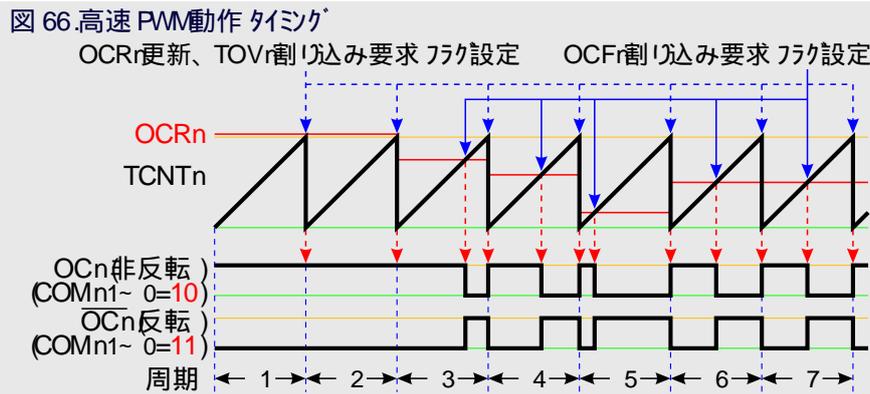
変数Nは前置分周数 (1, 8, 64, 256, 1024)を表します。

標準動作と同じように、タイマ/カウンタオーバーフロー (TOV2)フラグはカウンタがMAXから\$00へ計数する同じタイマ/カウンタクロックサイクルでセット(1)されます。

高速 PWM動作

高速パルス幅変調 (PWM動作 WGM21~0=11)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜鋸波動作であることにより他のPWM動作と異なります。カウンタはBOTTOMからMAXまで計数し、その後BOTTOMから再び始めます。非反転比較出力動作 (COM21~0=10)での比較出力 (OC2)はTCNT2とOCR2間の比較一致でクリア(0)され、BOTTOMでセット(1)されます。反転出力動作 (COM21~0=11)の出力は比較一致でセット(1)され、BOTTOMでクリア(0)されます。単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜三角波動作を使用する位相基準PWM動作より2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(コイルやコンデンサ)を許し、従ってシステム総費用を削減します。

高速PWM動作でのタイマ/カウンタはタイマ/カウンタ値がMAX値と一致するまで増加されます。そしてタイマ/カウンタは(一致の次のタイマ/カウンタクロックサイクルでクリア(\$00)されます。高速PWM動作のタイミング図は図66で示されます。TCNT2値はタイミング図で単一傾斜動作鋸波を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR2値を示し、TCNT2値との交点(接点)がTCNT2とOCR2間の比較一致を示します(訳注 図補正に伴い本行若干変更) 比較割り込み要求フラグ(OCF2)はOCR2=MAXを除いて比較一致が起こるとセット(1)されます(訳注 共通性のため本行追加)



タイマ/カウンタオーバ・フロー (TOV2)フラグはカウンタがMAXに到達する時毎にセット(1)されます。割り込みが許可されるならば、その割り込み処理ルーチンは比較値を更新するために使用できます。

高速PWM動作での比較部はOC2ピンでのPWM波形の生成を許します。COM21~0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM21~0を'11'に設定することで生成できます(105頁の表66をご覧ください) 実際のOC2値はポートピンに対するデフォルト方向 (DDR_OC2が出力として設定される場合だけ見えます) PWM波形はTCNT2とOCR2間の比較一致でOC2(内部レジスタ)をセット(1)またはクリア(0)と、カウンタがクリア(\$00 MAXからBOTTOMへ変更)されるタイマ/カウンタクロックサイクルでOC2レジスタをクリア(0)またはセット(1)することにより生成されます。

PWM出力周波数は次式により計算できます。

$$f_{OCnPWM} = \frac{f_{ck_I/O}}{N \times 256}$$

変数Nは前置分周数(1, 8, 64, 256, 1024)を表します。

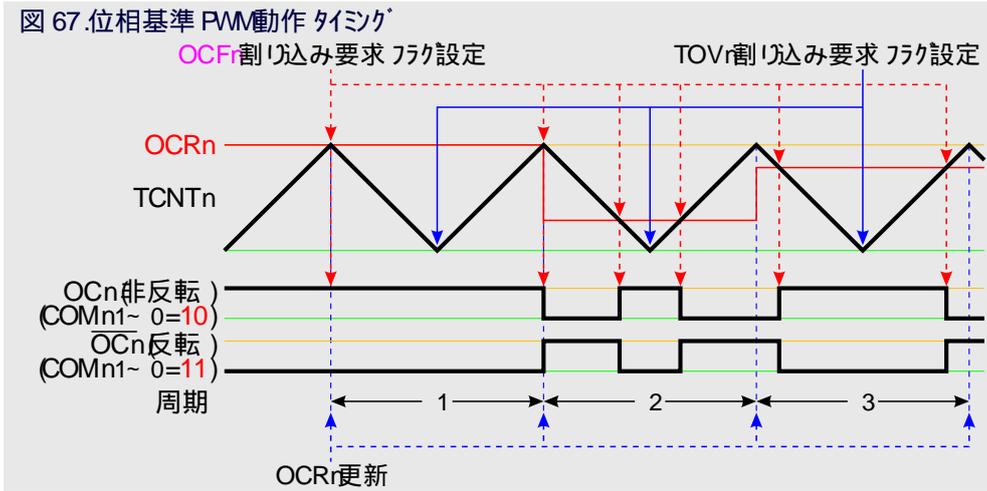
OCR2の両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合に当たります。OCR2がBOTTOM(\$00)と等しく設定されると、出力はMAX+1タイマ/カウンタクロックサイクル毎の狭いスパイク(パルス)になるでしょう。OCR2がMAXに等しく設定されると、(COM21~0)ビットにより設定される出力極性に依存して定常的なLowまたはHigh出力に終わるでしょう。

(訳注 以下は本動作種別がTOP=MAX(\$FF)で固定のため基本的に不適切です。)高速PWM動作で(デューティ比50%周波数の波形出力は比較一致毎に論理反転するOC2設定 (COM21~0=01)により達成できます。生成された波形はOCR2が0(\$00)に設定されるときにOC2=fck_I/O/2の最大周波数でしょう。この特性は高速PWM動作で比較出力部のダブルハーフ機能が許可されることを除いて、CTC動作でのOC2交互出力 (COM21~0=01)と同じです。

位相基準PWM動作

位相基準パルス幅変調 (PWM 動作 $WGM21 \sim 0 = 01$) は高分解能で正しい位相の PWM 波形生成選択を提供します。位相基準 PWM 動作は両傾斜 三角波 動作を基準とします。カウンタは **BOTTOM** から **MAX** へそして次に **MAX** から **BOTTOM** へを繰り返し計数します。非反転比較出力動作 ($COM21 \sim 0 = 10$) での比較出力 (OC2) は上昇計数中の TCNT2 と OCR2 の比較一致で **クリア (0)** され、下降計数中の比較一致で **セット (1)** されます。反転出力動作 ($COM21 \sim 0 = 11$) での動作は逆にされます。両傾斜 三角波 動作は単一傾斜 鋸波 動作より低い最大動作周波数になります。けれども両傾斜 三角波 動作の対称特性のため、これらの動作種別は モーザ制御の応用に好まれます。

位相基準 PWM 動作の PWM 分解能は 8 ビットに固定されます。位相基準 PWM 動作での カウンタは カウンタ値が MAX と一致するまで増加されます。カウンタは MAX に到達すると計数方向を変更します。この TCNT2 値は 1 タイマ/カウンタ クロック サイクル間 MAX と等しくなります。位相基準 PWM 動作の タイミング図は 図 67 で示されます。TCNT2 値は タイミング図で両傾斜動作 三角波 を表す折れ線 グラフとして示されます。この図は非反転と反転の PWM 出力を含みます。細い赤線は OCR2 値を示し、TCNT2 値との交点 接点 が TCNT2 と OCR2 間の比較一致を示します **訳注** 図補正に伴い本行若干変更)



タイマ/カウンタ オーバーフロー (TOV2) フラグは タイマ/カウンタが **BOTTOM** に到達する時毎に **セット (1)** されます。この割り込み要求 フラグは カウンタが **BOTTOM** 値に到達する毎に割り込みを発生するために使用できます。

位相基準 PWM 動作での比較部は OC2 ピンでの PWM 波形の生成を許します。COM21 ~ 0 ビットを **10** に設定することは非反転 PWM 出力を作成し、反転 PWM 出力は COM21 ~ 0 ビットを **11** に設定することで生成できます (105 頁の表 67 をご覧ください) 実際の OCR2 値はそのポートピンに対する \bar{D} 方向 (DDR_OC2) が出力として設定される場合だけ見えます。PWM 波形は カウンタが増加するときの TCNT2 と OCR2 間の比較一致で OC2 (内部) レジスタを **セット (1)** または **クリア (0)** と、カウンタが減少するときの TCNT2 と OCR2 間の比較一致で OC2 レジスタを **クリア (0)** または **セット (1)** により生成されます。位相基準 PWM を使用するときの出力に対する PWM 周波数は次式により計算できます。

$$f_{OCnPCPWM} = \frac{f_{clk_I/O}}{N \times 510}$$

変数 N は前置分周数 (1, 8, 64, 256, 1024 を表します)。

OCR2 の両端値は位相基準 PWM 動作で PWM 波形出力を生成する時の特別な場合に当たります。非反転 PWM 動作では OCR2 が **BOTTOM (00)** に等しく設定されると出力は定常的な **Low**、MAX に等しく設定されると定常的な **High** になるでしょう。反転 PWM に対する出力は逆の論理値になります。

図 67 の第 2 周期のその出発点において、例えば比較一致がないとしても、OCRn には **High** から **Low** への遷移があります。この遷移点は **BOTTOM** を挟む対称を保証するためです。比較一致なしに遷移を生ずるのは 2 つの場合です。

図 67 でのように、OCR2 は MAX からその値を変更します。OCR2 値が MAX のとき、OCRn レジスタ値は下降計数での比較一致の結果と同じです **訳補** : L H 直前が H のため、常に H) **BOTTOM** を挟む対称を保証するため、変更直後の MAX 位置 での OCRn 値は上昇計数での比較一致の結果 (H L と一致しなければなりません)。

タイマ/カウンタが OCR2 値より高い値から数え始め、そしてその理屈のために比較一致、それ故上昇途中で起こされるであろう OCRn の変更を逃します。 **訳補** : 従って上記同様、MAX 位置で直前が H ならば H L 遷移が生じます。)

タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従って以下の図でタイマ/カウンタクロック(ck_{T2})がクロック許可信号として示されます。この図は割り込みフラグがセット(1)される時の情報を含みます。図 68は基本的なタイマ/カウンタ動作についてのタイミングデータを含みます。この図は位相基準 PWM動作以外の全ての動作種別での MAX値近辺の計数の流れを示します。

図 68.前置分周なし(1/1)のタイマ/カウンタタイミング

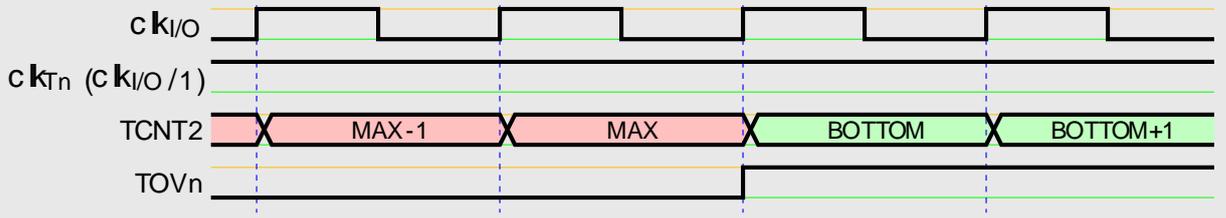


図 69は同じタイミングデータを示しますが、前置分周器が許可されています。

図 69.前置分周器 ($fk_{I/O} / 8$)のタイマ/カウンタタイミング

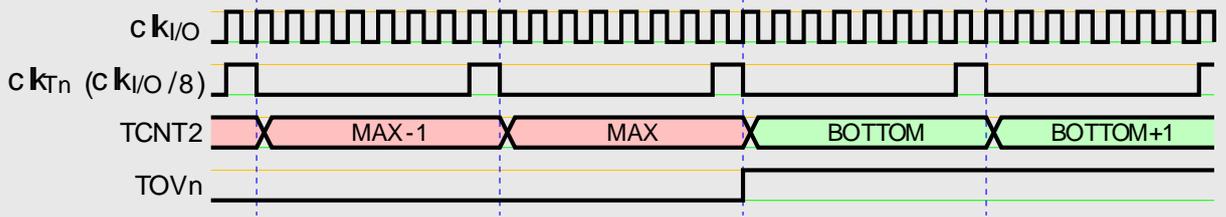


図 70は CTO動作を除く全ての動作種別での OCF2の設定を示します。

図 70.前置分周器 ($fk_{I/O} / 8$)のタイマ/カウンタ OCF2設定 タイミング

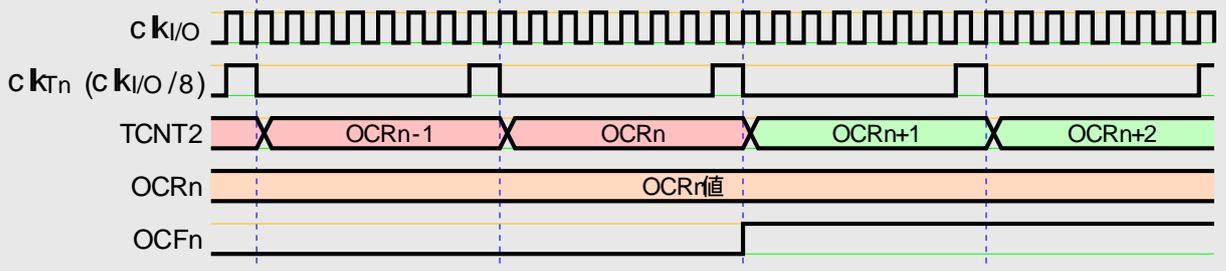
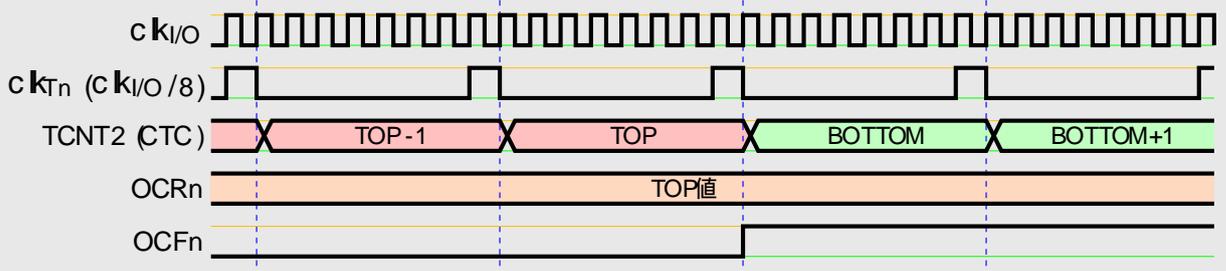


図 71は CTO動作での TCNT2のクリアと OCF2の設定を示します。

図 71.前置分周器 ($fk_{I/O} / 8$)のタイマ/カウンタ OCF2設定 タイミング



8ビットタイマ/カウンタ2用レジスタ

タイマ/カウンタ2制御レジスタ (Timer/Counter2 Control Register) TCCR2

ビット	7	6	5	4	3	2	1	0	
\$25 (\$45)	FOC2	WGM20	COM21	COM20	WGM21	CS22	CS21	CS20	TCCR2
Read/Write	W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - FOC2 :OC2強制変更 (Force Output Compare 2)

FOC2ビットはWGM21~ 0ビットが非PWM動作を指示する時だけ有効です。けれども将来のデバイスとの共通性を保証するため、PWM動作で扱う時にTCCR2が書かれる場合、このビットは0に設定されなければなりません。FOC2ビットに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC2出力はCOM21~ 0ビット設定に従って変更されます。FOC2ビットがトリガとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM21~ 0ビットに存在する値です。

FOC2トリガは何れの割り込みの生成もTOPとしてOCR2を使用する比較一致タイマクリア(CTC)動作でのタイマ/カウンタのクリア(\$00)も行いません。

FOC2ビットは常に0として読まれます。

ビット6,3 - WGM21,WGM20 :波形生成種別 (Waveform Generation Mode bit 1 and 0)

これらのビットはカウンタの計数順序(方向)最大(TOP)カウンタ値の供給元、使用されるべき波形生成のどの形式かを制御します。タイマ/カウンタ部によって支援される動作種別は標準動作、比較一致タイマ/カウンタクリア(CTC)動作と形式のハル幅変調(PWM)動作です。表64と101頁の「動作種別」をご覧ください。

表 64. 波形生成種別選択

番号	WGM21 (CTC2)	WGM20 (PWM2)	タイマ/カウンタ動作種別	TOP値	OCR2更新時	TOV2設定時
0	0	0	標準動作	\$FF	即時	MAX
1	0	1	位相基準PWM動作	\$FF	TOP	BOTTOM
2	1	0	比較一致タイマ/カウンタクリア(CTC)動作	OCR2	即時	MAX
3	1	1	高速PWM動作	\$FF	TOP	MAX

注: CTC2とPWM2ビット定義名は旧名です。WGM21~ (定義を使用してください)。しかし、これらのビットの機能と位置は旧版のタイマ/カウンタと一致します。

ビット5,4 - COM21,COM20 :比較2出力選択 (Compare Match 2 Output Mode bit 1 and 0)

これらのビットはOC2比較出力ピンの動作を制御します。COM21~ 0ビットの1つまたは両方が1を書かれると、OC2出力はそのI/Oピンの通常ポート機能を無効にし、そのI/Oピンに接続されます。けれども出力ドライバを許可するため、OC2ピンに対応するポート方向レジスタ(DDR)のビットがセット(1)されなければならないことに注意してください。

OC2がピンに接続される時、COM21~ 0ビットの機能はWGM21~ 0ビット設定に依存します。

表65はWGM21~ 0ビットが標準動作またはCTC動作(つまりPWM以外)に設定されるときCOM21~ 0ビット機能を示します。

表66はWGM21~ 0ビットが高速PWM動作に設定されるときCOM21~ 0ビットの機能を示します。

表67はWGM21~ 0ビットが位相基準PWM動作に設定されるときCOM21~ 0ビットの機能を示します。

表 65. 非PWM動作での比較出力選択

COM21	COM20	意味
0	0	標準ポート動作 (OC2切断)
0	1	比較一致でOC2ピンが交互出力
1	0	比較一致でOC2ピンがLowレベル出力
1	1	比較一致でOC2ピンがHighレベル出力

表 66. 高速PWM動作での比較出力選択

COM21	COM20	意味
0	0	標準ポート動作 (OC2切断)
0	1	予約
1	0	比較一致でLow、TOPでHighをOC2ピンへ出力
1	1	比較一致でHigh、TOPでLowをOC2ピンへ出力

注: COM21がセット(1)され、OCR2がTOPと等しいときに特別な状態が起きます。この状態での比較一致は無視されますが、TOPでのセット(1)またはクリア(0)は行われます。より多くの詳細については102頁の「高速PWM動作」をご覧ください。

表 67. 位相基準PWM動作での比較出力選択

COM21	COM20	意味
0	0	標準ポート動作 (OC2切断)
0	1	予約
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC2ピンへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC2ピンへ出力

注: COM21がセット(1)され、OCR2がTOPと等しいときに特別な状態が起きます。この状態での比較一致は無視されますが、TOPでのセット(1)またはクリア(0)は行われます。より多くの詳細については103頁の「位相基準PWM動作」をご覧ください。

ビット2,1,0 - CS22 CS21 CS20 : クロック選択 2 (Clock Select, bit 2,1 and 0)

この3つのクロック選択ビットはタイマ/カウンタ(TCNT2)により使用されるクロック元を選択します。

表 68. タイマ/カウンタ2入力 クロック選択

CS22	CS21	CS20	意味
0	0	0	停止 (タイマ/カウンタ動作停止)
0	0	1	clk _{I/O} 前置分周なし)
0	1	0	clk _{I/O} /8 (8分周)
0	1	1	clk _{I/O} /64 (64分周)
1	0	0	clk _{I/O} /256 (256分周)
1	0	1	clk _{I/O} /1024 (1024分周)
1	1	0	T2ピンの立ち下りエッジ 外部クロック)
1	1	1	T2ピンの立ち上りエッジ 外部クロック)

外部ピン(クロック動作がタイマ/カウンタ2に対して使用される場合、例えばT2ピンが出力として設定されても、T2ピンの遷移はカウンタをクロック駆動します。この特徴がソフトウェアに計数制御を許します。

タイマ/カウンタ2 (Timer/Counter2) TCNT2

ビット	7	6	5	4	3	2	1	0		
\$24 (\$44)	MSB							LSB		TCNT2
Read/Write	R/W									
初期値	0	0	0	0	0	0	0	0		

このタイマ/カウンタレジスタは読み書き両方の操作について、タイマ/カウンタの8ビットカウンタに直接アクセスします。TCNT2への書き込みは次のタイマ/カウンタクロックでの比較一致を妨害(除去)します。カウンタが走行中にカウンタ(TCNT2)を変更することは、TCNT2とOCR2間の比較一致消失の危険を誘発します。

タイマ/カウンタ2比較レジスタ (Timer/Counter2 Output Compare Register) OCR2

ビット	7	6	5	4	3	2	1	0		
\$23 (\$43)	MSB							LSB		OCR2
Read/Write	R/W									
初期値	0	0	0	0	0	0	0	0		

この比較レジスタは継続的にカウンタ(TCNT2)値と比較される8ビットの値を含みます。一致は比較一致割り込みやOC2ピンでの波形出力を生成するために使用できます。

タイマ/カウンタ割り込みマスクレジスタ (Timer/Counter Interrupt Mask Register) TMSK

ビット	7	6	5	4	3	2	1	0	
\$37 (\$57)	OCIE2	TOIE2	TCE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0	TMSK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - OCIE2 : タイマ/カウンタ2比較割り込み許可 (Timer/Counter2 Output Compare Match Interrupt Enable)

OCIE2ビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットがセット(1)されると、タイマ/カウンタ2比較一致割り込みが許可されます。タイマ/カウンタ2で比較一致が起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)で比較2割り込み要求フラグ(OCF2)がセット(1)されると、対応する割り込みが実行されます。

ビット6 - TOIE2 : タイマ/カウンタ2オーバーフロー割り込み許可 (Timer/Counter2 Overflow Interrupt Enable)

TOIE2ビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットがセット(1)されると、タイマ/カウンタ2オーバーフロー割り込みが許可されます。タイマ/カウンタ2でオーバーフローが起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)でタイマ/カウンタ2オーバーフロー割り込み要求(TOV2)フラグがセット(1)されると、対応する割り込みが実行されます。

タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter Interrupt Flag Register) TIFR

ビット	7	6	5	4	3	2	1	0	
\$36 (\$56)	OCF2	TOV2	CF1	OCF1A	OCF1B	TOV1	OCF0	TOV0	TIFR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - OCF2 : タイマ/カウンタ2比較割り込み要求フラグ (Timer/Counter2, Output Compare Match Flag)

OCF2ビットは比較一致がタイマ/カウンタ(TCNT2)と比較レジスタ(OCR2)間で起こる時にセット(1)されます。対応する割り込み処理が実行されると、OCF2はハードウェアによりクリア(0)されます。代わりにこのフラグへ論理1を書くことによってもOCF2はクリア(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込みマスクレジスタ(TMSK)のタイマ/カウンタ2比較一致割り込み許可(OCIE2)ビット、OCF2がセット(1)されると、タイマ/カウンタ2比較一致割り込みが実行されます。

ビット6 - TOV2 : タイマ/カウンタ2オーバーフロー割り込み要求フラグ (Timer/Counter2 Overflow Flag)

TOV2ビットはタイマ/カウンタ(TCNT2)でオーバーフローが起こる時にセット(1)されます。対応する割り込み処理が実行されると、TOV2はハードウェアによりクリア(0)されます。代わりにこのフラグへ論理1を書くことによってもTOV2はクリア(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込みマスクレジスタ(TMSK)のタイマ/カウンタ2オーバーフロー割り込み許可(TOIE2)ビット、OVF2がセット(1)されると、タイマ/カウンタ2オーバーフロー割り込みが実行されます。PWM動作ではタイマ/カウンタ2が\$00で計数方向を変えるとき、このビットがセット(1)されます。

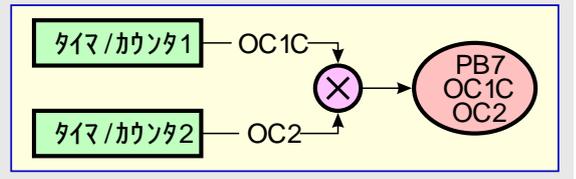
比較出力変調器 (OCM1C2)

概要

比較出力変調器 (OCM) は搬送波を変調した波形の生成を許します。この変調器は 16ビットタイマ/カウンタ1の比較C出力部と8ビットタイマ/カウンタ2の比較出力部からの出力を使用します。これらのタイマ/カウンタについてのより多くの詳細に関しては、72頁の「16ビットタイマ/カウンタ(タイマ/カウンタ1とタイマ/カウンタ3)」と97頁の「8ビットタイマ/カウンタ2 (PWM付き)」をご覧ください。この特徴機能が ATmega 103 互換動作で利用できないことに注意してください。

この変調器が許可されると、構成図 図 72. で示されるように2つの比較出力は共に変調されます。

図 72. 比較出力変調器構成図

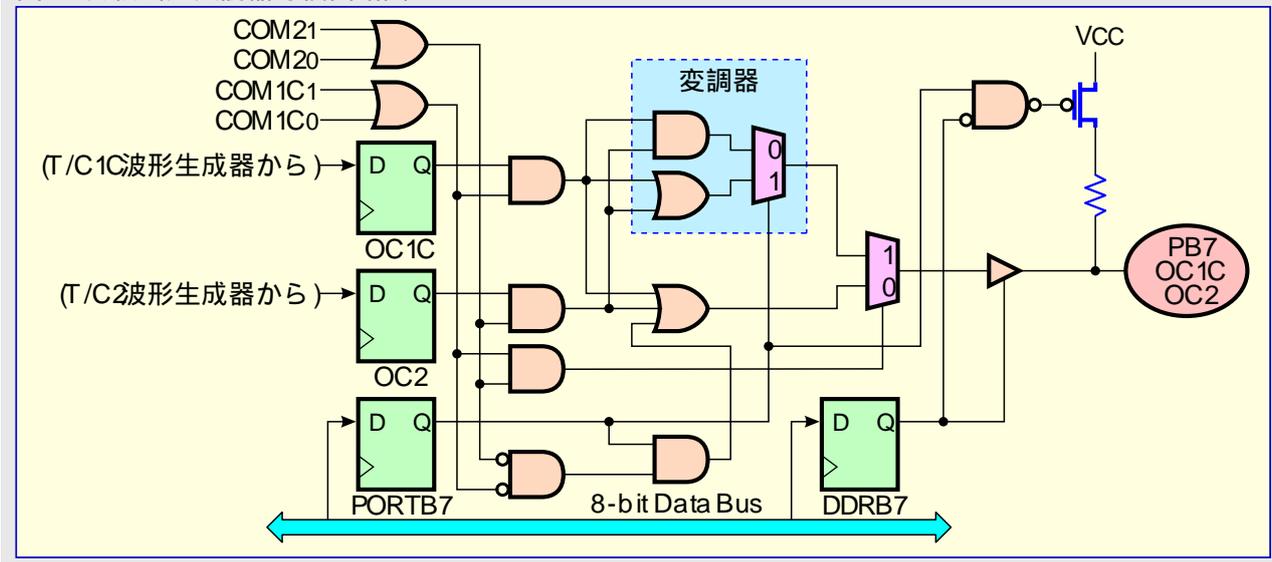


説明

比較 1C出力部と比較 2出力部は出力についてPB7ポートピンを共用します。比較出力部の出力 (OC1CとOC2)は、これらの1つが許可 換言すると、COMnx1~ 0 00にされると、標準 PORTB7レジスタを無効にします。OC1CとOC2の両方が同時に許可されると、この変調器が自動的に許可されます。

この変調器の機能等価回路図は図 73で示されます。この図はタイマ/カウンタとポートのビット出力ドライバ回路部分を含みます。

図 73. 比較出力変調器等価回路図

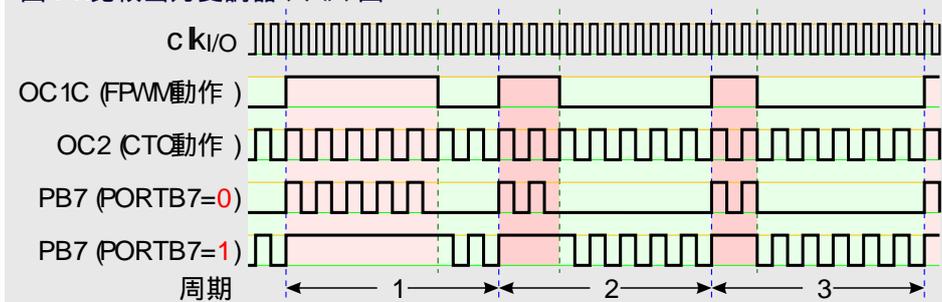


変調器が許可されると、変調形式 (論理 ANDまたはOR) が PORTB7レジスタにより選択できます。COMnx1~ 0ビット設定に拘らず、**DDRB**がポート方向を制御することに注意してください。

タイミング例

図 74は変調器の動作を図解します。この例でのタイマ/カウンタ1は 非反転 高速 PWM動作に設定され、タイマ/カウンタ2は比較交互出力 (COM21~ 0= 01) の CTC波形動作を使用します。

図 74. 比較出力変調器 タイミング図



この例ではタイマ/カウンタ2が搬送波を供給し、一方変調する信号 (変調波) はタイマ/カウンタ1の比較C出力により生成されます。

PWM信号 (OC1C) の分解能は変調により減じられます。この減少係数は搬送波 (OC2) 1周期のシステム クロック サイクル数に等しくなります。この例の分解能は係数 2により減じられます (即ち 1/2)。この減少理由は図 74の PORTB7=0時の PB7出力の第 2周期と第 3周期で図解されます。第 2周期の High区間は第 3周期の High区間より1サイクル長いけれども、PB7出力の結果は両周期で等しくなります。

シリアル周辺 インターフェース (SPI: Serial Peripheral Interface)

シリアル周辺 インターフェースは ATmega128 と様々な AVR デバイスや周辺 デバイス間の高速同期 データ転送を許します。ATmega128 の SPI は次の特徴を含みます。

- 全二重 (線同期) データ転送
- マスタ/スレーブ動作
- LSB/MSB 先行 データ転送
- 設定変更可能な 7 のビットレート
- 送信完了 割り込み要求 フラグ
- 送信上書き フラグ保護
- アイドル動作からの起動
- 倍速 (CK/2) マスタ SP 動作

SP での マスタとスレーブの CPU 間相互接続は 図 76 で示されます。このシステムは 2 つの シフトレジスタと マスタ クロック発生器から成ります。SP マスタは希望したスレーブの SS (スレーブ選択) ピンを Low へ引き込むときに一群の通信を始めます。マスタとスレーブは各々のシフトレジスタで送出すべき データを用意し、マスタは データを交換するために必要な クロックパルスを SCK 信号線に生成します。データは常に MOSI (Master Out Slave In) 信号線をマスタからスレーブへ、MISO (Master In Slave Out) 信号線をスレーブからマスタへ シフトされます。各データパケット後、マスタは SS (スレーブ選択) ピンを High へ引き上げることでスレーブと同期を取ります。

マスタとして設定されると、SPI インターフェースには SS 信号線の自動制御がありません。これは通信が始めるのに先立ち、ユーザーソフトウェアにより操作されなければなりません。これが行われると、SP マスタレジスタ (SPDR) へのハイ書き込みが SP クロック発生器を起動し、ハードウェアがスレーブ内へ 8 ビットをシフトします。1 ハイのシフト後、SP クロック発生器は停止し、SP マスタレジスタ (SPDR) の転送完了フラグ (SPF) をセット (1) します。SP 制御レジスタ (SPCR) で SP 割り込み許可 (SPE) ビットがセット (1) されていれば割り込みが要求されます。マスタは SPDR 内へ次ハイを書き込むことにより次ハイのシフトを継続、または SS (スレーブ選択) 信号線を High へ引き上げることでパケットの終了を指示することができます。最後の到着ハイはその後の使用のため、バッファレジスタ内に保持されます。

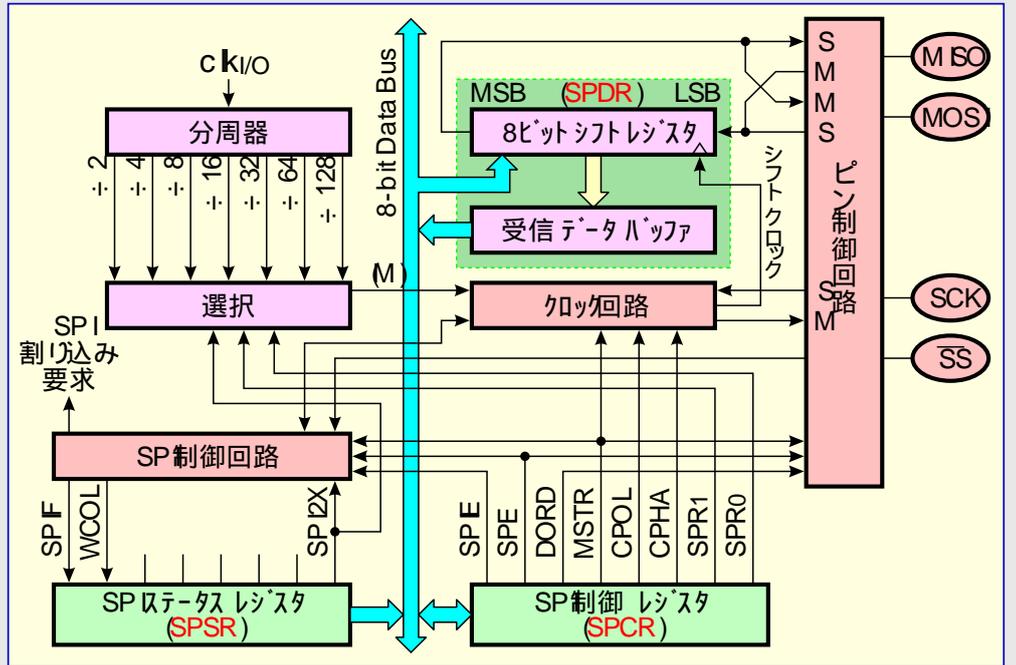
スレーブとして設定されると、SPI インターフェースは SS ピンが High に駆動される限り、MISO を Hi-Z にした休止状態に留まります。この状態でプログラムは SP マスタレジスタ (SPDR) の内容を更新できますが、そのデータは SS ピンが Low に駆動されるまで SCK ピンでの到着 クロックパルスによりシフト出力されません。1 ハイが完全にシフトされてしまうと転送完了フラグ (SPF) がセット (1) されます。SPCR で SP 割り込み許可 (SPE) ビットがセット (1) されていれば、割り込みが要求されます。スレーブは受信 データを読む前に SPDR 内へ送られるべき次のデータの配置を続けられます。最後の到着ハイはその後の使用のため、バッファレジスタ内に保持されます。

このシステムは送信側でシングル バッファ、受信側でダブル バッファです。これは一連のシフト全体が完了される前に、送信されるべきハイが SP マスタレジスタ (SPDR) へ書けないことを意味します。しかし、データを受信するとき、次のデータが完全にシフト入力される前に、受信したデータは SP マスタレジスタ (SPDR) から読まれなければなりません。さもなければ最初のハイは失われます。

SP スレーブ動作では、制御論理回路が SCK ピンの到着信号を採取します。このクロック信号の正しい採取を保証するために、SP クロックの周波数は決して f_{SC}/4 を越えるべきではありません。

SP が許可されると、MOSI, MISO, SCK, SS ピンのデータ方向は表 69 に従って無視されます。自動的な Hi-Z 無視のより多くの詳細については、42 頁の「兼用ポート機能」を参照してください。

図 75. SP 構成図



注: SPI ピン配置については、4 頁の「ピン配置」と 44 頁の表 30 を参照してください。

このシステムは送信側でシングル バッファ、受信側でダブル バッファです。これは一連のシフト全体が完了される前に、送信されるべきハイが SP マスタレジスタ (SPDR) へ書けないことを意味します。しかし、データを受信するとき、次のデータが完全にシフト入力される前に、受信したデータは SP マスタレジスタ (SPDR) から読まれなければなりません。さもなければ最初のハイは失われます。

図 76. SPI マスタ/スレーブの接続

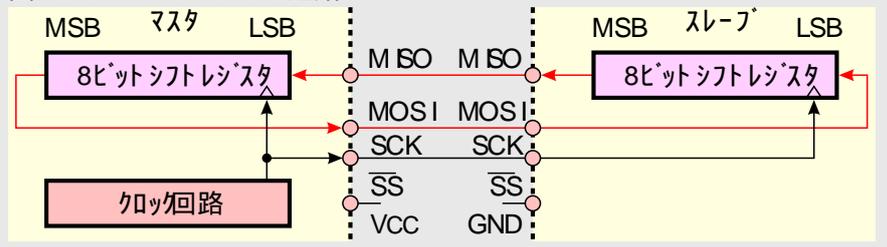


表 69. SPI ピン方向規定

ピン名	マスタ時の方向規定	スレーブ時の方向規定
SCK	ポート B 方向 レジスタ (DDR B) の指定	入力
MISO	入力	ポート B 方向 レジスタ (DDR B) の指定
MOSI	ポート B 方向 レジスタ (DDR B) の指定	入力
SS	ポート B 方向 レジスタ (DDR B) の指定	入力

注: 使用者定義 SPI ピンの方向定義法の詳細な記述については 44 頁の「ポート B の兼用機能」を参照してください。

次のコード例はマスタとしてSPを初期化する方法と簡単な送信を実行する方法を示します。例でのDDR_SPはSPピンを制御する実際のポート方向レジスタに置き換えられなければなりません。DD_MOSI,DD_MISO,DD_SCKはこれらのピンに対する実際のポート方向ビットに置き換えられなければなりません。例えばMOSがPB5ピンに配置されるならば、DD_MOSはDDB5 DDR_SPはDDBRに置き換えます。

アセンブリ言語プログラム例

```
SPI_M_Init: LDI    R17, (1<<DD_MOSI) | (1<<DD_SCK)      ;MOSI,SCK=出力、他は入力値を取得
            OUT    DDR_SPI,R17                        ;MOSI,SCK=出力、他は入力に設定
            LDI    R17, (1<<SPE) | (1<<MSTR) | (1<<SPR0) ;SP許可、マスタ 16分周値を取得
            OUT    SPDR,R17                          ;SP許可、マスタ 16分周に設定
            RET                                       ;呼び出し元へ復帰

SPI_M_Tx:   OUT    SPDR,R16                          ;データR16送信開始
SPI_M_Tx_W: SBIS   SPSR,SPIF                        ;転送完了ならばスキップ
            RJMP   SPI_M_Tx_W                       ;転送完了まで待機
;
            RET                                       ;呼び出し元へ復帰
```

C言語プログラム例

```
void SPI_MasterInit(void)
{
    DDR_SPI = (1<<DD_MOSI) | (1<<DD_SCK);          /* MOSI,SCK=出力、他は入力に設定 */
    SPDR = (1<<SPE) | (1<<MSTR) | (1<<SPR0);        /* SP許可、マスタ 16分周に設定 */
}

void SPI_MasterTransmit(char cData)
{
    SPDR = cData;                                  /* データ送信開始 */
    while(!(SPSR & (1<<SPIF)));                    /* 転送完了まで待機 */
}
}
```

注 :このコード例はデバイス定義ファイルがインクルードされることが前提です。

次のコード例はスレーブとしてSPを初期化する方法と簡単な受信を実行する方法を示します。

アセンブリ言語プログラム例

```
SPI_S_Init: LDI    R17, (1<<DD_MISO)                ;MISO出力、他は入力値を取得
            OUT    DDR_SPI,R17                    ;MISO出力、他は入力に設定
            LDI    R17, (1<<SPE)                  ;SP許可値を取得
            OUT    SPDR,R17                      ;SP許可設定
            RET                                       ;呼び出し元へ復帰

SPI_S_Rx:   SBIS   SPSR,SPIF                      ;受信転送完了ならばスキップ
            RJMP   SPI_S_Rx                      ;受信転送完了まで待機
;
            IN     R16,SPDR                       ;受信データ取得
            RET                                       ;呼び出し元へ復帰
```

C言語プログラム例

```
void SPI_SlaveInit(void)
{
    DDR_SPI = (1<<DD_MISO);                        /* MISO出力、他は入力に設定 */
    SPDR = (1<<SPE);                              /* SP許可設定 */
}

char SPI_SlaveReceive(void)
{
    while(!(SPSR & (1<<SPIF)));                    /* 受信転送完了まで待機 */
    return SPDR;                                  /* 受信データと共に復帰 */
}
}
```

注 :このコード例はデバイス定義ファイルがインクルードされることが前提です。

SS \bar{S} の機能

スレーフ動作

SPがスレーフとして設定されると、スレーフ選択(SS)ピンは常に入力です。SSがLowに保たれるとSPは活性に作動され、使用者によりそのように設定されていれば、MISOが出力になります。他の全てのピンは入力です。SSがHighに駆動されると、全てのピンは入力、SPは非活動で、それは到着データを受信しないことを意味します。SP論理回路は一旦SSピンがHighに駆動されると、リセットすることに注意してください。

このSSピンはバケット/ハイ同期に対して、スレーフビットカウンタがマスタクロック発生器との同期を保つために有用です。SSピンがHighに駆動されると、SPスレーフは直ちに送受信論理回路をリセットし、それはシフトレジスタ内で部分的に受信したデータのデータ先取り落としします。

マスタ動作

SPがマスタ(SP制御レジスタ(PCR)のマスタ許可(MSTR)ビット=1)として設定されると、SSピンの方向は使用者が決められます。

SSが出力として設定されると、このピンはSPシステムに影響を及ぼされない標準出力ピンです。代表的には、このピンがSPスレーフのSSピンを駆動するでしょう。

SSが入力として設定されると、SPマスタ動作を保証するため、それはHighに保持されなければなりません。SSピンが入力として定義されたSPマスタとして設定されるとき、周辺回路によりSSピンがLowに駆動されると、SPシステムは他のマスタがスレーフとして選択し、データ送信を始めると解釈します。バスの衝突を避けるため、SPシステムは次の動作を行います。

SPCRでマスタ(MSTR)ビットがクリア(0)され、SPシステムはスレーフになります。SPシステムがスレーフになる結果として、MOSとSCKピンが入力になります。

SPステータスレジスタ(SPSR)でSP割り込み要求フラグ(SPF)がセット(1)され、そしてSP割り込みが許可(PCRのSPE=1)され、且つステータスレジスタ(SREG)の全割り込み許可(I)ビットがセット(1)ならば、割り込みルーチンが実行されます。

従って割り込み駆動SP送信がマスタ動作で使用され、SSがLowに駆動される可能性があるとき、その割り込み処理はMSTRビットが未だセット(1)されていることを常に検査すべきです。MSTRビットがスレーフ選択によりクリア(0)されてしまっていると、それはSPマスタ動作を再び許可するため、使用者によりセット(1)されなければなりません。

SP制御レジスタ(SPI Control Register) SPCR

ビット	7	6	5	4	3	2	1	0	
\$0D (\$2D)	SPE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	SPCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - SPE :SP割り込み許可 (SPI Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットがセット(1)され、SPステータスレジスタ(SPSR)でSP割り込み要求フラグ(SPF)がセット(1)されると、このビットがSP割り込みを実行させます。

ビット6 - SPE :SP許可 (SPI Enable)

SPEビットが1を書かれるとSPが許可されます。どのSP操作を許可するにも、このビットがセット(1)されなければなりません。

ビット5 - DORD :データ順選択 (Data Order)

DORDビットが1を書かれるとデータのLSBが最初に転送されます。DORDビットが0を書かれるとMSBが最初に転送されます。

ビット4 - MSTR :マスタ/スレーフ選択 (Master/Slave Select)

このビットは1を書かれるとマスタ動作、論理0を書かれるとスレーフ動作を選択します。SSが入力として設定され、MSTRがセット(1)の間にLowへ駆動されると、MSTRはクリア(0)され、SPステータスレジスタ(SPSR)でSP割り込み要求フラグ(SPF)がセット(1)になります。その後使用者はSPマスタ動作を再び許可するために、MSTRをセット(1)しなければなりません。

ビット3 - CPOL :SCK極性選択 (Clock Polarity)

このビットが1を書かれると、アイドル時にSCKはHighです。CPOLが0を書かれると、アイドル時にSCKはLowです。例については図77と図78を参照してください。CPOL機能は右で要約されます。

表 70.CPOL機能動作

CPOL	SCK先行エッジ	SCK後行エッジ
0	立ち上り	立ち下り
1	立ち下り	立ち上り

ビット2 - CPHA :SCK位相選択 (Clock Phase)

このSCK位相選択(CPHA)ビットの設定はデータのSCKの先行(先)エッジまたは後行(後)エッジで採取/設定されるかを決めます。例については図77と図78を参照してください。CPHA機能は右で要約されます。

表 71.CPHA機能動作

CPHA	SCK先行エッジ	SCK後行エッジ
0	入力採取	出力設定
1	出力設定	入力採取

ビット10 - SPR1SPR0 :SPクロック選択 (SPIC bck Rate Select 1 and 0)

これら2ビットはマスクとして設定されたデバイスのSCK速度を制御します。スレープでのSPR1とSPR0は無効です。SCKとシステム発振器クロック周波数 f_{osc}間の関連は次表で示されます。

表 72. SCK速度選択 (f_{osc}=CPUクロック周波数)

SPR1	0		0		1		1	
SPR0	0		1		0		1	
SP12X	1	0	1	0	1	0	1	0
SCK周波数	f _{osc} /2	f _{osc} /4	f _{osc} /8	f _{osc} /16	f _{osc} /32	f _{osc} /64		f _{osc} /128

SPステータスレジスタ (SP Status Register) SPSR

ビット	7	6	5	4	3	2	1	0	
\$0E (\$2E)	SPIF	WCOL	-	-	-	-	-	SP12X	SPSR
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - SPF :SP割り込み要求フラグ (SPI Interrupt Flag)

シリアル転送が完了すると、このSPFフラグがセット(1)されます。全割り込みが許可され(ステータスレジスタ(SREG)の全割り込み許可(1)ビット=1) SP制御レジスタ(SPCR)でSP割り込み許可(SPE)ビットがセット(1)されるならば、割り込みが生成されます。SPがマスタ動作のときにSSピンが入力でLowに駆動されるなら、これもこのSPFフラグを同様にセット(1)します。対応する割り込み処理バクを実行するとき、SPFはハードウェアによりクリア(0)されます。代わりに、SPFがセット(1)されたSPステータスレジスタ(SPSR)を始めに読み、その後SPマスタレジスタ(SPDR)をアクセスすることによっても、SPFフラグはクリア(0)されます。

ビット6 - WCOL :上書きエラーフラグ (Write Collision Flag)

データ転送中にSPマスタレジスタ(SPDR)が書かれると、このWCOLビットがセット(1)されます。WCOLビットとSPFビットはWCOLがセット(1)されたSPステータスレジスタ(SPSR)を始めに読み、その後SPマスタレジスタ(SPDR)をアクセスすることによりクリア(0)されます。

ビット5~1 - Res :予約 (Reserved Bit)

これらのビットは予約されており、常に0として読まれます。

ビット0 - SP12X :SP倍速許可 (Double SPI Speed Bit)

このビットが論理1を書かれると、SCK速度(SCK周波数)はSPがマスタ動作のとき、倍にされます(表72参照)。これは最小SCK周期が2CPUクロック周期であることを意味します。SPがスレープとして設定されるとき、SPはf_{osc}(CPUクロック周波数)/4またはそれ以下での動作のみ保証されます。

ATmega128のSPIインターフェイスはフラッシュメモリやEEPROMの書き換え(読み書き)にも使用されます。シリアルプログラミングと照合については196頁をご覧ください。

SPマスタレジスタ (SP Data Register) SPDR

ビット	7	6	5	4	3	2	1	0	
\$0F (\$2F)	(MSB)							(LSB)	SPDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

SPマスタレジスタはSPビットレジスタとレジスタファイル汎用レジスタ間のデータ転送に使用される読み書き可能なレジスタです。このレジスタへの書き込みはデータ転送を開始します。このレジスタの読み込みはシフトレジスタの受信バッファ読み出しを引き起こします。

データ転送形式

シリアルデータに関してはSP制御レジスタ(SPCR)のSCK位相(CPHA)とSCK極性(CPOL)制御ビットにより決定されるSCK位相と極性で4つの組み合わせがあります。このSPデータ転送形式は図77と図78で示されます。データビットは安定のためデータ信号に対して十分な時間を保証するSCK信号の反対エッジでシ出力と入力ラッチが行われます。これは以下で行われるように表70と表71を要約することにより明解にされます。

表 73. CPOL CPHA機能動作

SP動作種別番号	CPOL	CPHA	SCK先行エッジ	SCK後行エッジ
0	0	0	入力採取 立ち上りエッジ	出力設定 立ち下りエッジ
1	0	1	出力設定 立ち上りエッジ	入力採取 立ち下りエッジ
2	1	0	入力採取 立ち下りエッジ	出力設定 立ち上りエッジ
3	1	1	出力設定 立ち下りエッジ	入力採取 立ち上りエッジ

図 77. SPデータ転送形式 (CPHA=0)

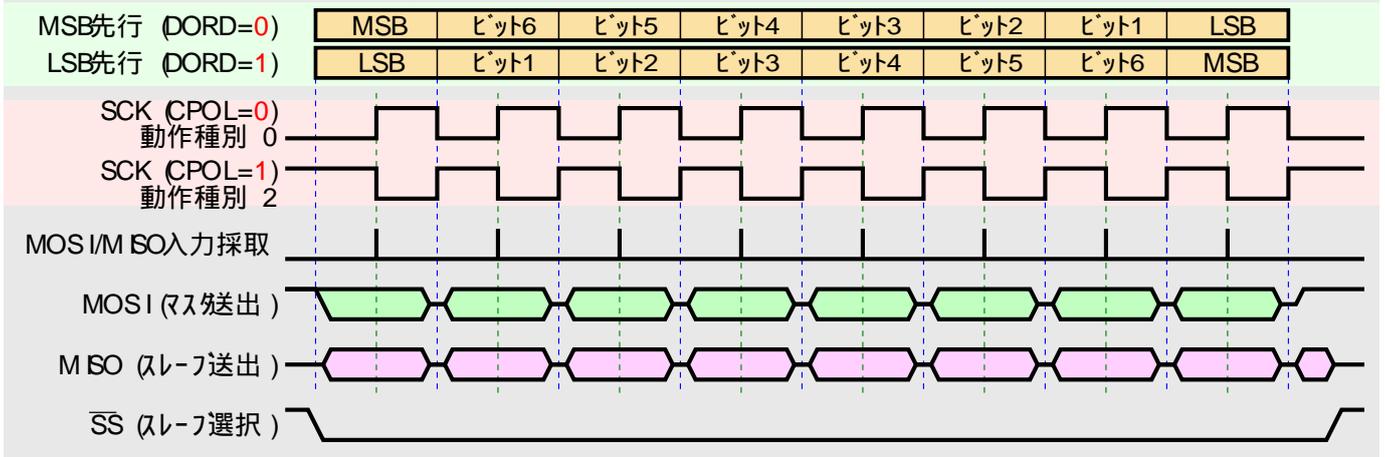
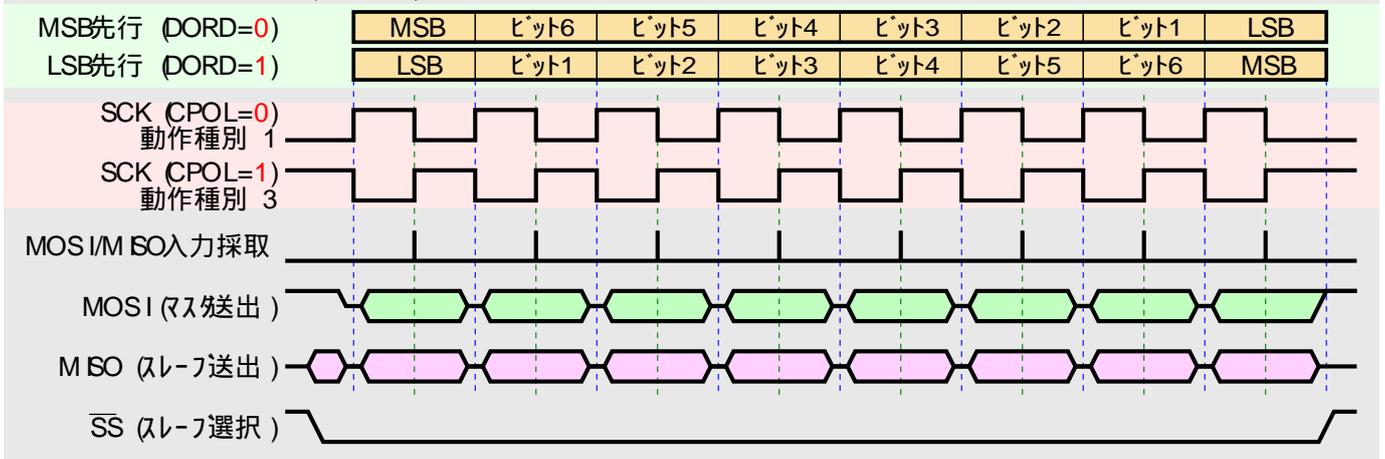


図 78. SPデータ転送形式 (CPHA=1)



USART (USART0, USART1)

USART (Universal Synchronous and Asynchronous Receiver and Transmitter)は高い柔軟性をもつシリアル通信機能です。主な特徴を次に示します。

全二重動作 独立した送受信レジスタ
 同期または非同期動作
 同期クロック駆動されたマスタ/スレーブ動作
 高分解能 **ホーレー発振器**
 5, 6, 7, 8または9ビットデータと1または2ストップビットのシリアルフレームの支援
 ハードウェアにより支援された奇数または偶数パリティの生成と検査

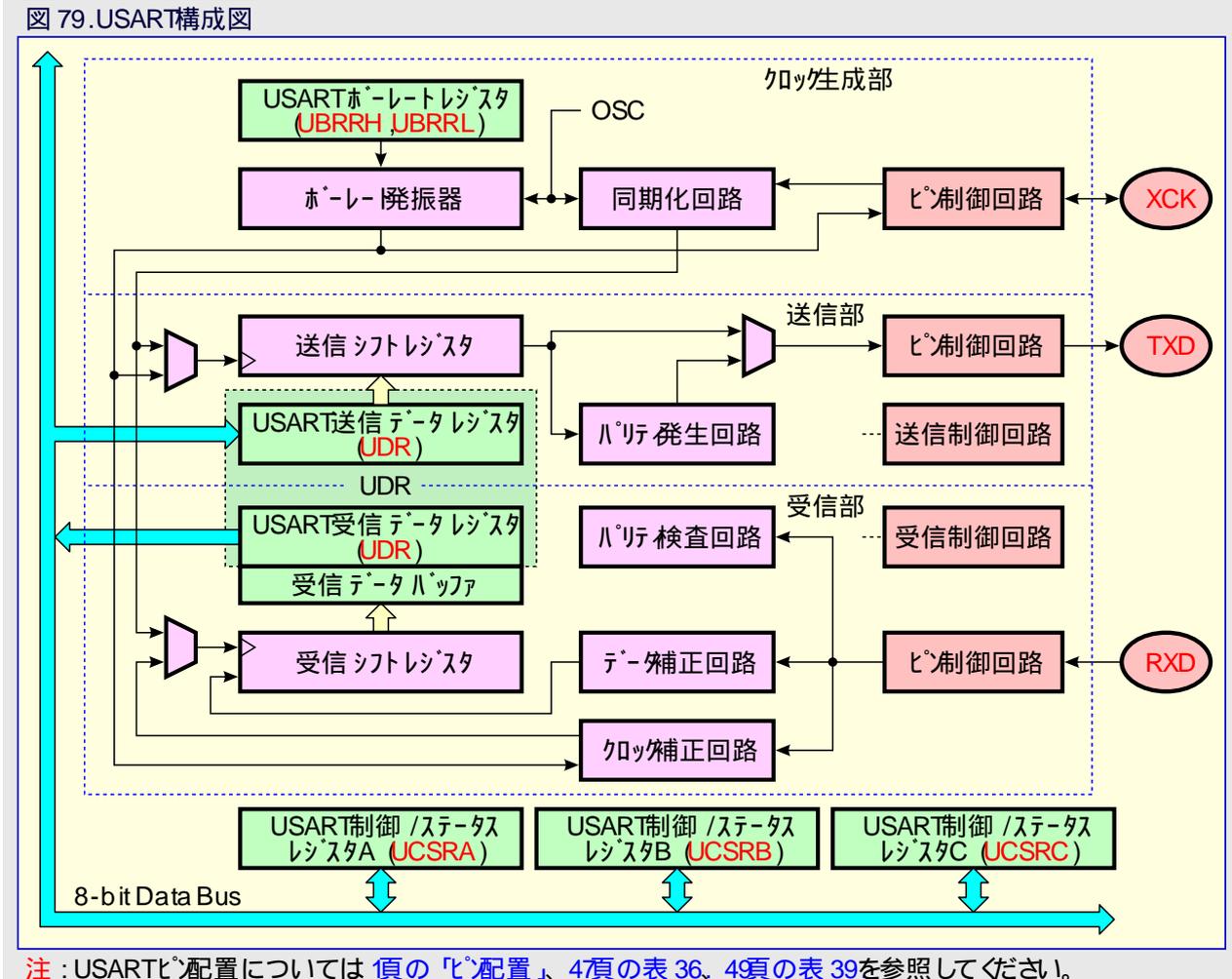
データオーバーラン検出
 フレーミングエラー検出
 不正スタートビット検出とデジタル低域通過濾波器を含むノイズ濾波器
 受信完了、送信完了、送信データレジスタ空きとの3つの分離した割り込み
マルチプロセッサ通信機能
倍速非同期通信動作

2つのUSART

ATmega128にはUSART0とUSART1の2つのUSARTがあります。両USARTについての機能は以下で記述されます。USART0とUSART1は、228頁の「I/Oレジスタ一覧」で示されるように個別のI/Oレジスタを持ちます。ATmega103互換動作で、USART1は利用できず、UBRR0HとUCSR0Cのどちらのレジスタもありません。これはATmega103互換動作でATmega128がUSART0の非同期動作だけ支援することを意味します。

概要

USARTの簡易化した構成図は図79で示されます。CPUがアクセス可能なレジスタとI/Oピンは赤文字(訳注 原文は太字)で示されます。



構成図内の破線はUSARTの3つの主要部分、(上から)クロック生成部、送信部、受信部を分けます。制御レジスタは全部により共用されます。**クロック生成論理部**はホーレー発振器と同期スレーブ動作により使用される外部クロック入力に対する同期化論理回路から成ります。転送クロック(XCK)ピンは同期転送動作によってのみ使用されます。送信部は単一書き込みバッファ(UDR)、シリアルシフトレジスタ、パリティ発生器、異なる**シリアルフレーム形式**を扱うための制御論理回路から成ります。書き込みバッファはどんなフレーム間の遅れもなくデータの継続転送を許します。受信部はクロックとデータの補正部のため、USART部の最も複雑な部分です。補正部は非同期データ受信で使用されます。補正部に加えて、受信部は二重の受信バッファ(UDR)、シフトレジスタ、パリティ検査器、制御論理回路を含みます。受信部は送信部と同じフレーム形式を支援し、**フレーミングエラー**、**データオーバーランエラー**、**パリティエラー**を検知できます。

UARTとの互換性

USARTはAVRのUARTと次の項目に関して完全な互換性があります。

- すべてのUSART側レジスタでのビット位置
- ホール生成
- 送信操作
- 送信バッファの動作
- 受信操作

けれども受信バッファ動作には、いくつかの特別な場合で互換性に影響を及ぼす2つの改良点があります。

第2受信バッファが追加されました。2つのバッファレジスタは循環型FIFOバッファとして動作します。従ってUSARTデータレジスタ(UDR)は到着データ毎に一度だけ読まれなければなりません。より重要なのはエラーフラグ(FEとDORと第9データビット(RXB8)が受信バッファ内のデータと共にバッファされることの実事です。従って状態ビットは常にUSARTデータレジスタ(UDR)が読まれる前に読まれなければなりません。さもなければバッファの状態が失われるため、エラー情報も失われます。

受信部シフトレジスタは第3バッファ段のように動きます。これはバッファレジスタ一杯の場合、新規スタートビットが検出されるまでシリアルシフトレジスタ(図79参照)内に留まることを受信したデータに許すことにより行われます。従ってUSARTはデータオーバーラン(DOR)エラー条件に、より耐えます。

次の制御ビットは名称変更されましたが、機能とレジスタ(ビット)位置は同じです。

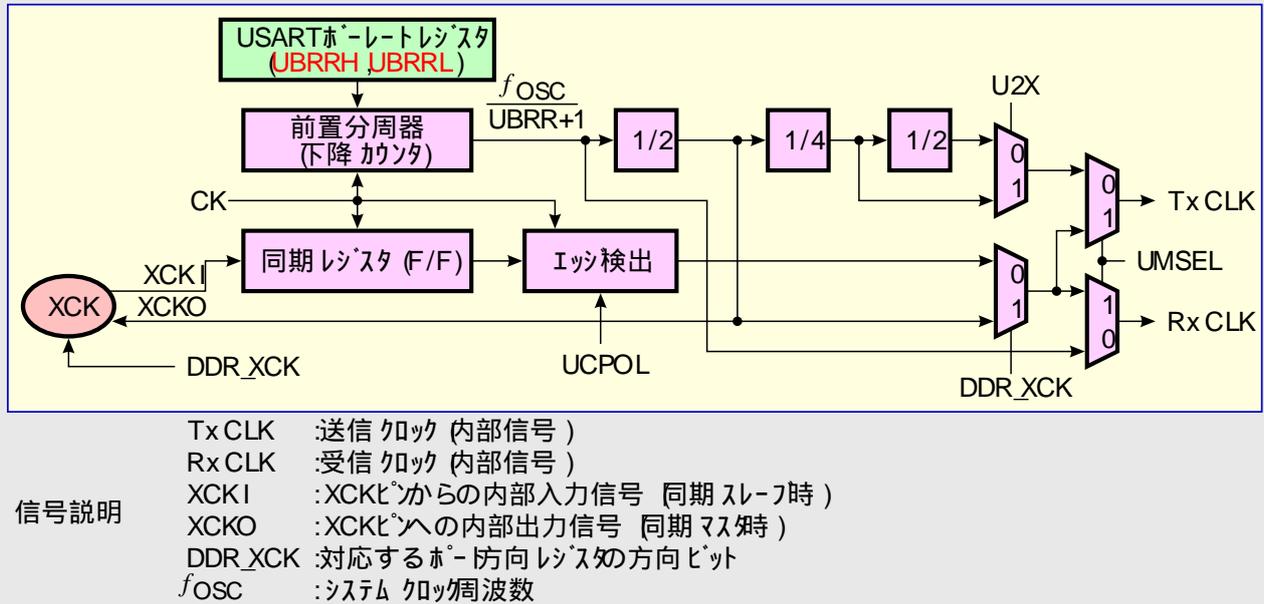
- 9ビット選択(CHR9)ビットはデータ長選択ビット2(UCSZ2)へ変更
- オーバーランエラー(OR)フラグはオーバーランエラー(DOR)フラグへ変更
- パリティエラー(PE)フラグはパリティエラー(UPE)フラグへ変更 (訳注 原書で欠落のため追加)

クック生成

クック生成論理回路は送受信部用基準クックを生成します。USARTは標準非同期、倍速非同期、同期マス同期スレーブの4つのクック動作種別を支援します。USART制御/ステータスレジスタC (UCSRC)のUSART動作種別選択 (UMSEL)ビットは同期動作と非同期動作のどちらかを選びます。倍速動作 (非同期動作のみ)はUSART制御/ステータスレジスタA (UCSRA)にある倍速許可 (U2X)ビットにより制御されます。同期動作 (UMSEL=1)を使用するとき、XCKビットに対する方向制御ビット(DDR_XCK)はクック元が内部 (マス動作)または外部 (スレーブ動作)どちらかを制御します。このXCKビットは同期動作を使用するときだけ活性 (有効)です。

図 80はクック生成論理回路の構成図を示します。

図 80. クック生成部構成図



ポート発振器での内部クック発生

内部クック生成は非同期と同期マス動作種別に対して使用されます。本項の記述は図 80を参照してください。

USARTポートレジスタ(UBRR (UBRRH UBRL))と下降カウンタは設定変更可能な前置分周器またはポート発振器として機能するために接続されます。システムクロック(f_{OSC})で走行する下降カウンタは、0への下降計数時毎またはUBRLレジスタが書かれる時、UBRR値で設定されます。1クック(パルス)はカウンタが0に達する毎に生成されます。このクックがポート発振器出力 (f_{OSC} / (UBRR+1))です。送信部は動作種別に依存してポート発振器出力を2, 8, 16分周します。ポート発振器出力は受信部クックとデータ補正部により直接使用されます。しかし、補正部はUSART動作種別選択 (UMSEL) 倍速許可 (U2X) DDR_XCKビットの状態により設定される動作種別に依存して2, 8, 16段を使用する順次処理回路を使用します。

表 74は内部的に生成したクック元を使用する各動作種別におけるポートレート(bps)とUBRR値の計算式を含みます。

表 74. ポートレートレジスタ(UBRR)値計算式

動作種別	ポートレート計算式	UBRR値計算式
標準速非同期動作 (U2X=0)	$BAUD = \frac{f_{OSC}}{16 \times (UBRR + 1)}$	$UBRR = \frac{f_{OSC}}{16 \times BAUD} - 1$
倍速非同期動作 (U2X=1)	$BAUD = \frac{f_{OSC}}{8 \times (UBRR + 1)}$	$UBRR = \frac{f_{OSC}}{8 \times BAUD} - 1$
同期マス動作	$BAUD = \frac{f_{OSC}}{2 \times (UBRR + 1)}$	$UBRR = \frac{f_{OSC}}{2 \times BAUD} - 1$

注 : ポートレートは転送速度 (ビット/秒) で定義されます。

BAUD : ポートレート (bps)

UBRR : UBRRHとUBRLレジスタ値 (0~ 4095)

f_{OSC} : システム発振器 クロック周波数

いくつかのシステム クロック周波数に対するいくつかのUBRR値の例は表 82で得られます (130頁をご覧ください)。

倍速動作 (U2X)

転送速度は **USART制御 /ステータスレジスタ (UCSRA)** で倍速許可 (U2X)ビットをセット(1)することにより倍にできます。このビットの設定は非同期動作に対してだけ有効です。同期動作を使用するとき、このビットは0に設定してください。

このビットのセット(1)は事実上、非同期通信に対する転送速度を倍にするホーレ(分)周器の分周数を16から8に減らします。けれども受信部がデータ採択とクロック補正に対して半分の(16から8に減じた)採択数をこの場合だけ使用し、従ってこの動作種別が使用されるとき、システムクロックとホーレ設定の精度がより必要とされることに注意してください。送信部についての低下要因はありません。

外部クロック

外部クロックは同期スレーフ動作種別により使用されます。本項の記述での詳細については **図 80**を参照してください。

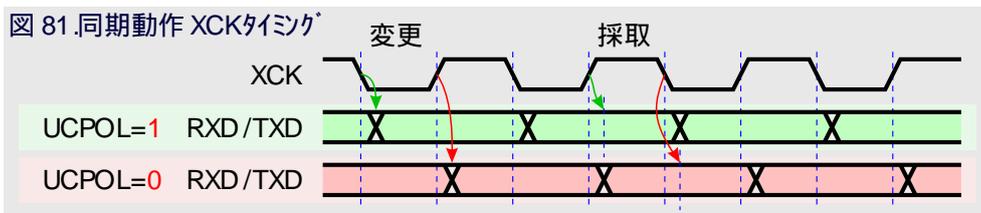
XCKピンからの外部クロック入力は不確定レベル状態(マスタペブル)の機会を最少とするために同期化レジスタにより採択されます。同期化レジスタからの出力は送受信部で使用できるのに先立ち、エッジ検出器を通過しなければなりません。この処理手順が2CPUクロック周期の遅延を持ち込み、このため最大外部XCKクロック周波数は次式により制限されます。

$$f_{XCK} < \frac{f_{OSC}}{4}$$

f_{OSC} がシステムクロック元の安定度に依存することに注意してください。従って周波数変動によるデータ消失の可能性を避けるため、いくらかの余裕分を追加することが推奨されます。

同期クロック動作

同期動作が使用される (**UMSEL=1**)とき、XCKピンはクロック入力(スレーブ)またはクロック出力(マスタ)のどちらかとして使用されます。データ採択またはデータ変更とクロックエッジ間の依存性は同じです。基本原則はデータ出力(TXD)が変更されるエッジと反対のXCKクロックエッジでデータ入力(RXD)が採択されることです。



USART制御 /ステータスレジスタC (UCSRC) の XCK極性 (UCPOL)ビットはデータ採択とデータ変更に対してどちらのクロックエッジが使用されるかを選びます。図 81で示されるようにUCPOLが0のとき、データはXCKの立ち上りエッジで変更され、立ち下りエッジで採択されます。UCPOLがセット(1)の場合、データはXCKの立ち下りエッジで変更され、立ち上りエッジで採択されます。

フレーム形式

一つのシリアルフレームは複数のデータビットと同期ビット(スタートビット、ストップビット)、任意のエラー検出用パリティビットで定義されます。USARTは有効なフレーム形式として以下の組み合わせ30種すべてを受け入れます。

- 1 スタートビット
- 5, 6, 7, 8, 9 ビットデータ
- 奇数または偶数パリティビット またはなし
- 1 または 2 ストップビット

フレームは最下位データビット(LSB)が次に続くスタートビットで始まります。その後次のデータビットが最後の最上位データビット(MSB)まで最大合計9ビット続きます。許可したならば、パリティビットがデータビットの後、ストップビットの前に挿入されます。完全なフレームが送信されると、新規フレームにより直ちに後続されるか、または通信線がアイドル状態(high)に設定できます。図 82は組み合わせ可能なフレーム形式を図解します。[]付きビットは任意選択です。



USARTIにより使用されるフレーム形式は **USART制御 /ステータスレジスタBとC (UCSRB, UCSRC)** でデータ長選択 (UCSZ2~ 0)ビット、パリティ選択 (UPM1, 0)ビット、ストップビット選択 (USBS)ビットにより設定されます。受信部と送信部は同じ設定を使用します。これらのどのビットの設定変更も、送受信部両方に対して進行中の通信を不正とすることに注意してください。

データ長選択 (UCSZ2~ 0)ビットはフレーム内のデータビット数を選択します。パリティ選択 (UPM1, 0)ビットはパリティビットの許可と種別(奇/偶)を設定します。1または2ストップビットのどちらかの選択はストップビット選択 (USBS)ビットにより行います。受信部は第2ストップビットを無視します。従って **フレームエラー (FE)**は最初のストップビットが0(Low)の場合だけ検出されます。

パリティビットの計算

パリティビットは全データビットの排他的論理和 (Ex-OR) を行うことにより計算されます。奇数パリティが使用される場合は排他的論理和の結果が反転されます。パリティビットとデータビットの関係は次のとおりです。

$$\begin{aligned} \text{偶数パリティビット} &= D_0 \text{ Ex-OR } D_1 \text{ Ex-OR } D_2 \text{ Ex-OR } \sim \text{ Ex-OR } D_{n-1} \\ \text{奇数パリティビット} &= D_0 \text{ Ex-OR } D_1 \text{ Ex-OR } D_2 \text{ Ex-OR } \sim \text{ Ex-OR } D_{n-1} \text{ Ex-OR } 1 \end{aligned} \quad n : \text{データビット長}$$

使用した場合、パリティビットはシリアルフレームの最後のデータビットと最初のストップビット間に配置されます。

USARTの初期化

何れかの通信が行えるのに先立ち、USARTは初期化されなければなりません。標準的な初期化手順は使用方法に依存するボーレート設定、フレーム形式設定、送受信部許可から成ります。割り込み駆動USART操作に関して初期化を行うとき、**ステータスレジスタの全割り込み許可 (I)ビット**はクリア(0)される (そして全割り込みが禁止される) べきです。

ボーレートまたはフレーム形式の変更を伴う再初期化を行う前には、レジスタが変更される期間中に進行中の送信がないことを確実にしてください。**USART制御 /ステータスレジスタ (UCSRA) の送信完了 (TXC) フラグ**は送信部の全転送完了検査に使用でき、**受信完了 (RXC) フラグ**は受信バッファ内の未読データの有無検査に使用できます。この目的 (次送信タイミング) にTXCフラグが使用される場合、各々の送信 (**USARTデータレジスタ (UDR)**が書かれる前にTXCフラグがクリア(0)されなければならない) に注意してください。

次の簡単なUSART初期化コード例が示すアセンブリ言語とC言語の関数は機能的に同じです。この例は固定フレーム形式でボーリングを使用する割り込み不許可 非同期動作と仮定します。ボーレート (UBRR 値) は関数の引数として与えられます。アセンブリ言語でのボーレート引数はR17:R16レジスタに格納されると仮定されます。

```

アセンブリ言語プログラム例
USART_Init: OUT    UBRRH,R17                ;ボーレート設定 (上位バイト)
             OUT    UBRRL,R16                ;ボーレート設定 (下位バイト)
             LDI    R16, (1<<RXEN) | (1<<TXEN) ;送受信許可値を取得
             OUT    UCSRB,R16                ;送受信許可
             LDI    R16, (1<<USBS) | (3<<UCSZ0) ;フレーム形式値を取得
             OUT    UCSRC,R16                ;フレーム形式設定 (8ビット2ストップビット)
             RET                                呼び出し元へ復帰

C言語プログラム例
#define FOSC 1843200                /* MCUクロック周波数 */
#define BAUD 9600                    /* 目的 USARTボーレート速度 */
#define MUBRR FOSC/16/BAUD-1        /* 目的 UBRR値 */

void main(void)
{
    ~
    USART_Init(MUBRR);                /* USART初期化 */
    ~
}

void USART_Init(unsigned int baud)
{
    UBRRH = (unsigned char)(baud>>8); /* ボーレート設定 (上位バイト) */
    UBRRL = (unsigned char)baud;      /* ボーレート設定 (下位バイト) */
    UCSRB = (1<<RXEN) | (1<<TXEN);    /* 送受信許可 */
    UCSRC = (1<<USBS) | (3<<UCSZ0);    /* フレーム形式設定 (8ビット2ストップビット) */
}

```

注 :このコード例はデバイス定義ファイルがインクルードされることが前提です。

拡張 I/O領域に配置した I/Oレジスタに対し、**N, OUT, SB S, SB C, CB I, SB**命令は拡張 I/O領域へのアクセスを許す命令に置き換えられなければなりません。代表的には**SBRS, SBRC, SBR, CBR**命令と組み合わせた**LDS, STS**命令です。

割り込みの禁止や引数としてフレーム形式を含めるなどで、より進化した初期化ルーチンが作成できます。けれども多くの応用はボーレートや制御レジスタの固定した設定が使用され、これらの応用形式での初期化コードは主ルーチンに直接置けるか、または他の I/Oの初期化コードと併せられます。

USARTのデータ送信

USART送信部は **USART制御 /ステータス レジスタB (UCSRB)** で送信許可 (TXEN)ビットをセット(1)することにより許可されます。送信部が許可されると、TXDピンの標準ピン動作はUSARTにより無視され、送信部のシリアル出力としての機能を与えられます。何か送信を行う前に、波特率 フレーム形式、動作種別が一度は設定されなければなりません。同期動作が使用される場合、XCKピンの (受信) クロックは無視され、送信 クロックとして使用されます。

5- 8ビットデータフレーム送信

データ送信は送信されるべきデータを送信バッファに設定することにより開始されます。CPUは **USARTデータレジスタ(UDR)** I/O位置へ書くことにより送信バッファに設定できます。送信バッファ内のデータはシフトレジスタが新規フレームを送る準備が整ったとき、シフトレジスタへ移されます。シフトレジスタはアイドル状態 (送信進行中以外) または直前のフレームの最後のストップビット送信後直ちに、新規データが設定されます。シフトレジスタが新規データを設定されると、 **波特率レジスタ(UBRRH UBRRL)** と倍速許可 (U2X)ビット また動作種別によってはXCKピンにより与えられる速度で1つの完全なフレームを転送します。8ビット未満のフレームを使用するとき、UDRに書かれた上位ビットは無視されます。

次のコード例は **USART制御 /ステータス レジスタA (UCSRA) の送信データレジスタ空き (UDRE)フラグ** のホールドリンクを基準とした簡単なUSART送信関数を示します。この関数が使用されるであろう前に、USARTは初期化されなければなりません。アセンブリ言語での送るべきデータはR16レジスタに格納されると仮定されます。

アセンブリ言語プログラム例			
USART_Tx:	SBIS	UCSRA, UDRE	送信バッファ空きでスキップ
	RJMP	USART_Tx	送信バッファ空き待機
;			
	OUT	UDR, R16	;データ送信 (送信開始)
	RET		呼び出し元へ復帰
C言語プログラム例			
void USART_Transmit(unsigned char data)			
{			
	while (!(UCSRA & (1<<UDRE)));	/* 送信バッファ空き待機 */
	UDR =	data;	/* データ送信 (送信開始) */
}			

注 :このコード例はデータ型定義ファイルがインクルードされることが前提です。

拡張 I/O領域に配置した I/Oレジスタに対し、**N, OUT, SBIS, SBIC, CBI, SB**命令は拡張 I/O領域へのアクセスを許す命令に置き換えられなければなりません。代表的には**SBRS, SBRC, SBR, CBR**命令と組み合わせた**LDS, STS**命令です。

この関数は送信されるべき新規データを設定する前に、UDREの検査により送信バッファが空になるのを単純に待ちます。送信バッファ空き割り込みが使用される場合、その割り込み処理ルーチンがデータをバッファ内に書きます。

9ビットデータフレーム送信

9ビットデータが使用される場合 (UCSZ2= 0=111)、データの下位8ビットがUSARTデータレジスタ(UDR)に書かれる前に、第9ビットがUSART制御/ステータスレジスタB(UCSRB)の送信データビット8(TXB8)ビットに書かれなければなりません。次のコード例は9ビットデータを送信する関数を示します。アセンブリ言語での送るべきデータはR17:R16レジスタに格納されると仮定されます。

アセンブリ言語プログラム例		
USART_Tx:	SBIS UCSRA, UDRE	送信ハフ空きでスキップ
	RJMP USART_Tx	送信ハフ空き待機
;		
	CB1 UCSRB, TXB8	第9ビットを0に仮設定
	SBRC R17, 0	送信すべき第9ビットが0でスキップ
	SBI UCSRB, TXB8	第9ビットを1に設定
	OUT UDR, R16	データ送信 (送信開始)
	RET	呼び出し元へ復帰
C言語プログラム例		
void USART_Transmit(unsigned int data)		
{		
	while (!(UCSRA & (1<<UDRE)));	/* 送信ハフ空き待機 */
	UCSRB &= ~(1<<TXB8);	/* TXB8を0に仮設定 */
	if (data & 0x0100) UCSRB = (1<<TXB8);	/* 第9ビットをR17からTXB8へコピー */
	UDR = data;	/* データ送信 (送信開始) */
}		

注 : これらの送信関数は一般的な機能で書かれています。UCSRBの内容が静的 換言すると、UCSRBのTXB8ビットが初期化後に使用されるだけ ならば最適化できます。拡張 I/O領域に配置した I/Oレジスタに対し、N, OUT, SBIS, SBIC, CBI, SBI命令は拡張 I/O領域へのアクセスを許す命令に置き換えられなければなりません。代表的には SBRS, SBRC, SBR, CBR命令と組み合わせた LDS, STS命令です。

第9ビットはマルチプロセッサ通信使用時のアドレスフレーム識別、また例えば同期として扱う他の規約で使用することができます。

送信フラグと割り込み

USART送信部には状態を示す2つのフラグ、USARTデータレジスタ空き(UDRE)と送信完了(TXC)があります。両フラグは割り込みを発生するために使用できます。

USARTデータレジスタ空き(UDRE)フラグは送信ハフが新規データを受け取る準備ができていないかどうかを示します。このビットは送信ハフが空のときセット(1)され、送信ハフがシフトレジスタに未だ移動されてしまっていない送信されるべきデータを含むときにクリア(0)されます。将来のデバイスとの共通性のため、USART制御/ステータスレジスタA(UCSRA)に書くとき、常にこのビットに0を書いてください。

USART制御/ステータスレジスタB(UCSRB)でデータレジスタ空き割り込み許可(UDRE)ビットが1を書かれると、**全割り込みが許可**されていればUDREフラグがセット(1)されている限り、USARTデータレジスタ空き割り込みが実行されます。UDREはUSARTデータレジスタ(UDR)書き込みによりクリア(0)されます。割り込み駆動データ送信が使用されるとき、データレジスタ空き割り込みルーチンはUDREをクリア(0)するために新規データUDRに書くか、データレジスタ空き割り込みを禁止するかのどちらかを行わなければならない、さもなければ一旦割り込みルーチンを終了しても新しい割り込みが継続的に起こります。

送信完了(TXC)フラグは送信シフトレジスタ内の完全なフレームがシフト出力されてしまい、送信ハフに新規データが現在存在しないときにセット(1)されます。TXCフラグは送信完了割り込みが実行されるとき、自動的にクリア(0)されるか、またはこのビット位置に1を書くことによってクリア(0)できます。TXCフラグは送信応用プログラムが送信完了後、直ちに通信回線を開放し、受信動作へ移行しなければならない(RS485標準のような半二重(ハーフデュプレックス)通信インターフェイスで有用です)。

UCSRBで送信完了割り込み許可(TXCEN)ビットがセット(1)され、**全割り込みが許可**されていればTXCフラグがセット(1)になるとき、USART送信完了割り込みが実行されます。送信完了割り込みが使用されるとき、割り込み処理ルーチンはTXCフラグをクリア(0)しなくてもよく、これは割り込みが実行されるとき、自動的に行われます。

パリティ発生器

パリティ発生器はシリアルフレームデータに対するパリティビットを計算します。パリティビットが許可されると(UPM1=1)、送信部制御論理回路は送られているフレームの最終データビットと最初のストップビット間にパリティビットを挿入します。

送信の禁止

送信部の禁止(UCSRBのUSART送信許可(TXEN)ビット=0)は進行中と保留中の送信が完了される 換言すると、送信シフトレジスタと送信ハフレジスタが送信されるべきデータを含まない時 まで有効になりません。禁止されると、送信部はもはやTXDピン(標準ピン機能)を無効にしません。

USARTのデータ受信

USART受信部は **USART制御 /ステータスレジスタB (UCSRB)** で受信許可 (RXEN) ビットに 1 を書くことにより許可されます。受信部が許可されると、RXDピンの標準ピン動作はUSARTにより無視され、受信部のシリアル入力としての機能を与えられます。何かシリアル受信が行われるであろう前に、ホーレイト フレーム形式、動作種別が一度は設定されなければなりません。同期動作が使用される場合、XCKピンのクロックは転送クロックとして使用されます。

5- 8ビットデータフレーム受信

受信部は有効なスタートビットを検出するときにデータ受信を開始します。スタートビットに続く各ビットはホーレーまたはXCKクロックで採取され、フレームの最初のストップビットが受信されるまで受信シフトレジスタ内へシフトされます。第2ストップビットは受信部により無視されます。最初のストップビットが受信されると換言すると、受信シフトレジスタに完全なフレームが存在すると、このシフトレジスタの内容は受信バッファ内へ移されます。受信バッファはUSARTデータレジスタ(UDR) I/O位置を読むことにより読めます。8ビット未満のフレームを使用するとき、UDRから読むデータ上位ビットは 0 で覆われます。

次のコード例は **USART制御 /ステータスレジスタA (UCSRA) の受信完了 (RXC) フラグ** のホーリンクを基準とした簡単なUSART受信関数を示します。この関数が使用されるであろう前に、USARTは初期化されなければなりません。

アセンブリ言語プログラム例

```

USART_Rx:  SBIS   UCSRA,RXC           ;受信完了でスキップ
           RJMP  USART_Rx         ;受信完了待機
;
           IN    R16,UDR          ;受信データ取得
           RET                    ;呼び出し元へ復帰
    
```

C言語プログラム例

```

unsigned char USART_Receive(void)
{
    while ( !(UCSRA & (1<<RXC)) ); /* 受信完了待機 */
    return UDR;                    /* 受信データ取得 */
}
    
```

注 :このコード例はデータハイス定義ファイルがインクルードされることが前提です。

拡張 I/O領域に配置した I/Oレジスタに対し、**N, OUT, SBIS, SBIC, CBI, SB** 命令は拡張 I/O領域へのアクセスを許す命令に置き換えられなければなりません。代表的には **SBR, SBRS, SBR, CBR** 命令と組み合わせた **LDS, STS** 命令です。

この関数はバッファを読んで値を戻す前に、RXCフラグの検査により受信バッファにデータが存在するのを単純に待ちます。

9ビットデータフレーム受信

9ビットデータが使用される場合 (UCSZ2~ 0=111) USARTデータレジスタ(UDR)から下位ハイ位を読む前に、第9ビットがUSART制御/ステータスレジスタB(UCSRB)の受信データビット8(RXB8)ビットから読まなければならない。この規則はフレーミングエラー(FE)、オーバーランエラー(DOR)、パリティエラー(UPE)状態フラグにも適用します。USART制御/ステータスレジスタA(UCSRA)から状態情報を読み、その後UDRからデータを読み取ってください。UDR I/O位置を読むことは受信FIFOバッファの状態を切り替え、その結果、FIFO内に保管されるRXB8、FE、DOR、UPEビット全てが切り替わります。

次のコード例は9ビットデータと状態ビット両方を扱う簡単なUSART受信関数を示します。

```

Aアセンブリ言語プログラム例
USART_Rx: SBIS UCSRA,RXC      ;受信完了でスキップ
           RJMP USART_Rx     ;受信完了待機
;
           IN R18,UCSRA      ;ステータスフラグ取得
           IN R17,UCSRB      ;受信第9ビット取得
           IN R16,UDR        ;受信データ取得
           ANDI R18,(1<<FE)|(1<<DOR)|(1<<UPE) ;受信エラー検査
           BREQ USART_Rx_V   ;エラーなしで分岐
;
           LDI R17,-1        ;エラーで-1値設定
           LDI R16,-1        ;
USART_Rx_V: LSR R17          ;RXB8ビットをビット0位置へ移動
           ANDI R17,$01      ;RXB8ビットのみ有効
           RET               ;呼び出し元へ復帰

C言語プログラム例
unsigned int USART_Receive(void)
{
    unsigned char status, resh, resl; /* 一時変数定義 */
    while ( !(UCSRA & (1<<RXC)) ); /* 受信完了待機 */
    status = UCSRA; /* ステータスフラグ取得 */
    resh = UCSRB; /* 受信第9ビット取得 */
    resl = UDR; /* 受信データ取得 */
    if (status & (1<<FE)|(1<<DOR)|(1<<UPE) ) return -1; /* エラーで-1値設定 /復帰 */
    resh = (resh>>1) & 0x01; /* RXB8ビットのみ有効最下位へ */
    return ((resh<<8) | resl); /* 結果9ビットデータ取得 /復帰 */
}

```

注 :このコード例はデバッグ定義ファイルがインクルードされることが前提です。

拡張 I/O領域に配置した I/Oレジスタに対し、N、OUT、SBIS、SBC、CBI、SB命令は拡張 I/O領域へのアクセスを許す命令に置き換えられなければならない。代表的にはSBRS、SBR、SBR、CBR命令と組み合わせたLDS、STS命令です。

この受信関数例は何か評価を行う前に、全ての I/Oレジスタをレジスタファイルに読みます。これは読まれたバッファ位置が可能な限り早く新規データを受入れることができるため、最適な受信バッファ利用になります。

受信完了フラグと割り込み

USART受信部には受信部の状態を示す1つのフラグがあります。

USART受信完了 (RXC)フラグは未読データが受信バッファに存在するかを示します。このフラグは受信バッファに未読データが存在するときに1で、受信バッファが空の換言すると、何も未読データを含まないときに0です。受信部が禁止される場合(RXEN=0)受信バッファが破棄され、その結果としてRXCフラグは0になります。

USART制御/ステータスレジスタB(UCSRB)でUSART受信完了割り込み許可(RXCIE)ビットがセット(1)されると、**割り込みが許可**されていればRXCフラグがセット(1)されている限り、USART受信完了割り込みが実行されます。割り込み駆動データ受信が使用されるとき、受信完了割り込みルーチンはRXCフラグをクリア(0)するためにUSARTデータレジスタ(UDR)から受信したデータを読み取らなければならない。さもなければ一旦割り込みルーチンを終了しても新しい割り込みが継続的に起きます。

受信エラー フラグ

USART受信には3つのエラー フラグ、フレーミング エラー (FE) データオーバラン エラー (DOR) パリティエラー (UPE)があります。すべてが **USART 制御 /ステータス レジスタ (UCSRA)** を読むことによりアクセスできます。エラー フラグに対する共通点はエラー状態を示しているフレームと共に受信バッファに配置されることです。エラー フラグがバッファされるため、**USARTデータレジスタ (UDR)** I/O位置を読むことがバッファ読み出し位置を切り替えるので、UCSRAは受信バッファ (UDR)の前に読まなければならないなりません。エラー フラグに対するその他の共通点はソフトウェアがこのフラグ位置へ書き込みを行うことにより変更できないことです。しかし、将来のUSART機能実装の上位互換性のため、UCSRAが書かれるとき、全てのフラグは **0** に設定されなければならないなりません。エラー フラグはどれも割り込みを生成できません。

フレーミング エラー (FE)フラグは受信バッファに格納された次に読み込み可能なフレームの第1ストップビットの状態を示します。FEフラグはストップビットが正しく (**High**)として読まれたときに **0**で、ストップビットが不正 (**Low**)だったときにFEフラグは **1**です。このビットは同期外れ状態の検出、ブレイク状態検出、規約での操作に使用できます。受信部が最初 第1以外の全ストップビットを無視するため、FEフラグは **USART 制御 /ステータス レジスタ (UCSRA) のストップビット選択 (USBS)ビット**設定により影響を及ぼされません。将来のデバイスとの共通性のため、UCSRAに書くとき、常にこのビットを **0** に設定してください。

データオーバラン エラー (DOR)フラグは受信部バッファ一杯状態のためのデータ消失を示します。データオーバランは受信バッファ(2フレーム)が一杯で、次の新規フレームデータが受信シフトレジスタで待っており、更に次の新規スタートビットが検出されるときに起きます。DORフラグがセット(**1**)ならば、最後にUDRから読んだフレームと次にUDRから読むフレーム間で1つ以上のシリアル フレームが失われています。将来のデバイスとの共通性のため、UCSRAに書くとき、常にこのビットに **0** を書いてください。DORフラグは受信されたデータがシフトレジスタから受信バッファへ正常に移動されたときにクリア (**0**) されます。

パリティエラー (UPE)フラグは受信バッファ内の次のフレームが受信した時にパリティエラーを持っていたことを示します。パリティ検査が許可されていない場合、UPEフラグは常に **0** が読めます。将来のデバイスとの共通性のため、UCSRAに書くとき、常にこのビットを **0** に設定してください。より多くの詳細については **118頁の「パリティビットの計算」と次の「パリティ検査器」**をご覧ください。

パリティ検査器

パリティ検査器はパリティ種別上位ビット (**UPM1**) がセット(**1**)されると活性 (有効) になります。実行されるべきパリティ検査の形式 (偶数または奇数) は **UPM0**ビットにより選択されます。許可されると、パリティ検査器は到着フレーム内のデータビットのパリティを計算し、その結果と受信シリアル フレーム内のパリティビットを比較します。検査の結果は受信データストップビットと共に受信バッファに格納されます。その後パリティエラー (UPE)フラグはフレームにパリティエラーがあるかを検査するため、ソフトウェアにより読むことができます。

UPEフラグは受信バッファから読まれるであろう次のフレームが受信した時にパリティエラーを持ち、その時点でパリティ検査が許可されていた (**UPM1=1**) 場合にセット(**1**) されます。このビットは **USARTデータレジスタ (UDR)** が読まれるまで有効です。

受信の禁止

送信部と対照的に、受信部の禁止は即時です。従って受信進行中のデータは失われます。禁止されると換言すると、**USART制御 /ステータス レジスタ (UCSRB) のUSART受信許可 (RXEN)ビット**が **0** に設定) 受信部はもはやRXDポートピンの標準機能を無効にしません。受信 FIFOバッファは受信部が禁止されると破棄されます。バッファ内の残データは失われます。

受信バッファの破棄

受信 FIFOバッファは受信が禁止されると破棄 換言すると、バッファは内容を空に されます。未読データは失われます。例えばエラー状態のため、通常動作中にバッファが破棄されなければならない場合、**USART制御 /ステータス レジスタ (UCSRA) の受信完了 (RXC)フラグ**がクリア (**0**) されるまで **USARTデータレジスタ (UDR)** I/O位置を読んでください。次のコード例は受信バッファの破棄方法を示します。

```

アセンブリ言語プログラム例
USART_Flush: SBIS    UCSRA,RXC          ;未読データありでスキップ
              RET                               ;未読データなしで復帰
;
              IN     R16,UDR              ;データ受信
              RJMP   USART_Flush         ;未読データなしまで継続

C言語プログラム例
void USART_Flush(void)
{
    unsigned char dummy;                /* 一時変数定義 */
    while ( !(UCSRA & (1<<RXC)) ) dummy=UDR; /* 未読データ読み捨て */
}
    
```

注 :このコード例はデバイス定義ファイルがインクルードされることが前提です。
 拡張 I/O領域に配置した I/Oレジスタに対し、**N, OUT, SBIS, SBIC, CBI, SBR**命令は拡張 I/O領域へのアクセスを許す命令に置き換えられなければならないなりません。代表的には **SBRS, SBRC, SBR, CBR**命令と組み合わせた **LDS, STS**命令です。



非同期受信

USARTは非同期データ受信を扱うためのクロック補正とデータ補正部を含みます。クロック補正論理回路は内部的に生成したホーレートクロックをRXDピンに到着する非同期シリアルフレームに同期化するために使用されます。データ補正論理回路は到着ビット毎に低域通過の濾波と採取をし、それによって受信部のノイズ耐性を改善します。非同期受信動作範囲は、内部ホーレートクロック精度、到着フレーム速度、フレーム長のビット数に依存します。

非同期クロック補正

クロック補正論理回路は内部クロックを到着シリアルフレームに同期化します。図83は到着フレームのスタートビットの採取手順を図解します。採取速度は標準動作でホーレートの16倍、倍速動作で8倍です。赤帯 **訳注** 原文は水平矢印は採取処理のための同期変量を図示します。倍速動作 ($U2X=1$)を使用するときの広い変量時間に注意してください。採取番号0はRXD信号がアイドル換言すると、通信の動きなしのときに行われる採取です。

図 83. スタートビットの採取

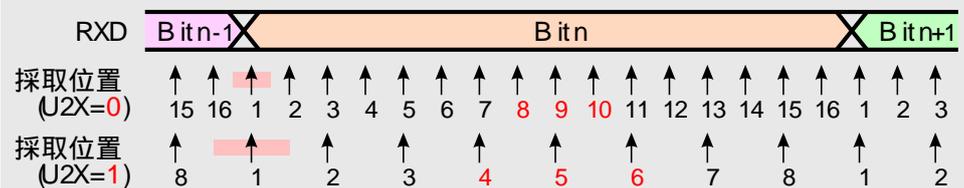


クロック補正論理回路がRXD信号線でHigh(アイドル)からLow(スタートビット)の遷移を検出すると、スタートビット検出手順が開始されます。図で示されるように採取1は最初のLow採取を意味します。その後クロック補正回路は有効なスタートビットが受信されるかを定めるため、標準動作に対して採取8,9,10、倍速動作に対して採取4,5,6の赤数字 **訳注** 原文は箱枠内)で示された採取番号を使用します。これら3回の2回以上の採取が論理Highレベルを持つ場合(多数決)このスタートビットはスパイクノイズとして捨てられ、受信部は次のHighからLow遷移を探し始めます。けれどもも有効なスタートビットが検出されると、クロック補正論理回路は同期化され、データ補正が始められます。この同期化手順は各スタートビット毎に繰り返されます。

非同期データ補正

受信部クロックがスタートビットに同期化されるとデータ補正が始められます。データ補正部は標準動作で16段、倍速動作で8段の順列回路を使用します。図84はデータビットとパリティビットの採取を示します。各採取は補正部の各段に等しい番号を与えられます。

図 84. データビットとパリティビットの採取



受信したビットの論理値の決定は受信したビット中央の3採取で論理値の多数決を取ることにより行われます。この中央の3採取は図上の赤文字 **訳注** 原文は箱枠内)の採取番号により強調されます。多数決の手順は次のように行われます。2または全3採取がHighレベルならば受信したビットは論理1が記録されます。2または全3採取がLowレベルならば受信したビットは論理0が記録されます。この多数決手順はRXDピンの到着信号に対して低域通過濾波器(ローパスフィルタ)のように働きます。この補正手順はその後に完全なフレームが受信されるまで繰り返されます。これには最初の第1ストップビットを含みます。受信部がフレームの最初のストップビットだけを使用することに注意してください。

図85はストップビットの採取と次のフレームの最も早いスタートビット開始の可能性を示します。

図 85. ストップビットの採取と次のスタートビットの採取



フレーム内の他のビットに対して行われるのと同じ多数決がストップビットにも行われます。ストップビットが論理0値を持つと記録されると、**フレームング エラー (FE)フラグ**がセット(1)されます。

新規フレームのスタートビットを示すHighからLowへの遷移は多数決に使用した最後のビット後に実現できます。標準動作での最初のLowレベル採取は図85のA点で有り得ます。倍速動作での最初のLowレベルはB点に遅れます。C点は完全な長さのストップビットの終点を示します。この早いスタートビット検出は受信部の動作範囲に影響します。

非同期での動作範囲

受信部の動作範囲は受信したビットレートと内部的に生成したホーレー間の不一致に依存します。送信部が速すぎるまたは遅すぎるビットレートでフレームを送出した時、内部的に発生した受信部のホーレーが類似した表 75参照 基準周波数を持たない場合、受信部はスタートビットでフレームを同期できません。

次式は到着データレートと内部受信部ホーレー間の比率計算に使用できます。

$$R_{sbw} = \frac{(D+1)S}{S-1+D \times S+S_F} \quad R_{fast} = \frac{(D+2)S}{(D+1)S+S_M}$$

- D : データとパリティのビット数 (5~ 10)
- S : ビットあたりの採取数 (標準速 =16 倍速 =8)
- S_F : 多数決に使用する最初の採取番号 (標準速 =8 倍速 =4)
- S_M : 多数決に使用する中心の採取番号 (標準速 =9 倍速 =5)
- R_{sbw} : は受信側ホーレーに対して許容できる最低受信ビットレートの比率です。
- R_{fast} : は受信側ホーレーに対して許容できる最高受信ビットレートの比率です。

表 75は許容できる最大受信部ホーレー誤差の一覧です。標準速動作にはより高いホーレー変動許容力があることに注目してください。

表 75 標準速と倍速での受信部ホーレー推奨最大許容誤差

D	標準速動作 (U2X=0)				倍速動作 (U2X=1)			
	R _{sbw} (%)	R _{fast} (%)	総合許容誤差 (%)	推奨許容誤差 (%)	R _{sbw} (%)	R _{fast} (%)	総合許容誤差 (%)	推奨許容誤差 (%)
5	93.20	106.67	-6.80~ +6.67	± 3.0	94.12	105.66	-5.88~ +5.66	± 2.5
6	94.12	105.79	-5.88~ +5.79	± 2.5	94.92	104.92	-5.08~ +4.92	± 2.0
7	94.81	105.11	-5.19~ +5.11	± 2.0	95.52	104.35	-4.48~ +4.35	± 1.5
8	95.36	104.58	-4.54~ +4.58	± 2.0	96.00	103.90	-4.00~ +3.90	± 1.5
9	95.81	104.14	-4.19~ +4.14	± 1.5	96.39	103.53	-3.61~ +3.53	± 1.5
10	96.17	103.78	-3.83~ +3.78	± 1.5	96.70	103.23	-3.30~ +3.23	± 1.0

注 : Dはデータビット数とパリティビットの合計ビット数です。

訳注)原書は表 75に標準速、表 76に倍速を記載していますが、比較が容易なように表 75としてまとめました。

受信部ホーレーの推奨最大許容誤差は最大総合許容誤差を送信部と受信部で等分割するという仮定のもとで作られました。

受信部ホーレー誤差に対して2つの起こり得る原因があります。受信部のシステムクロック(XTAL)は供給電圧範囲と温度範囲に関して常に若干の不安定性があります。システムクロックを生成するためにクリスタル発振子を使用するときは、ほとんど問題ありませんが、(セラミック振動子でのシステムクロックは振動子偏差に依存して2%を越えて異なるかもしれません。2目の誤り原因はより制御可能です。ホーレー発振器は欲したホーレーを得るためにシステム周波数の正確な分周を常に行うことはできません。この場合、可能ならば受け入れ可能な低い誤差を与えるUBRR値が使用できます。

マルチプロセッサ通信動作

USART制御 / ステータスレジスタ (UCSRA) でのマルチプロセッサ通信動作 (MPCM) ビットのセット(1)は USART受信部により受信された到着フレームの選別機能を許可します。アドレス情報を含まないフレームは無視され、受信バッファに格納されません。これは同一シリアルバス経路で通信する複数MCUのシステムで、CPUにより扱われなければならない到着フレーム数を効果的に減らします。送信部はMPCMビット設定により影響されませんが、マルチプロセッサ通信動作を利用するシステムの一部のときは、違うふうで使用されなければなりません。

受信部が5~8ビットを含むフレームを受信するために設定されるならば、最初のストップビットはデータまたはアドレス情報を含むフレームかどうかを示します。受信部が9ビットのフレームに設定されるならば、USART制御 / ステータスレジスタB (UCSRB) の受信第9 (RXB8) ビットがアドレスとデータのフレームを識別するために使用されます。フレーム種別 最初のストップまたは第9) ビットが 1 のとき、フレームはアドレスを含みます。フレーム種別ビットが 0 のとき、そのフレームはデータフレームです。

マルチプロセッサ通信動作はマスターMCUからのデータを多くのスレーブMCUで受信することを可能にします。これはどのMCUがアドレス指定されるかを検出するため、最初にアドレスフレームを調べることにより行われます。特定のスレーブMCUがアドレス指定されたならば、そのMCUは後続するデータフレームを通常のように受信し、一方その他のスレーブMCUは他のアドレスフレームが受信されるまで受信したフレームを無視します。

マルチプロセッサ通信の使用法

マスターMCUとして動作するMCUは9ビットデータフレーム形式 (UCSZ=7) を使用できます。UCSRBの送信第9 (TXB8) ビットはアドレスフレーム時にセット(1) またはデータフレーム時にクリア(0) されて送信されなければなりません。この場合、スレーブMCUは9ビットデータフレーム形式の使用に設定されなければなりません。

マルチプロセッサ通信動作でデータを交換するために次の手順が使用されるべきです。

すべてのスレーブMCUはマルチプロセッサ通信動作です (UCSRAのマルチプロセッサ通信動作 (MPCM) ビットはセット(1))

マスターMCUはアドレスフレームを送り、全てのスレーブがこのフレームを受信し、これを読みます。スレーブCPUでは通常のようにUCSRAで受信完了 (RXC) フラグがセット(1) されます。

各スレーブMCUはUSARTデータレジスタ (UDR) を読み、選択されたかを判定します。選択された場合はUCSRAのMPCMビットをクリア(0) し、そうでなければ非選択の場合はMPCMビット設定を保ち、次のアドレスフレームを待ちます。

アドレス指定されたMCUは新規アドレスフレームが受信されるまで全データフレームを受信します。MPCMビットが未だセット(1) されている他のスレーブCPUは、このデータフレームを無視します。

最後のデータフレームがアドレス指定されたMCUにより受信されると、アドレス指定されたMCUはMPCMビットをセット(1) し、マスターからの新規アドレスフレームを待ちます。以降、手順は からを繰り返します。

5~8ビットデータフレーム形式のどの使用も可能ですが、受信側が使用するnとn+1ビットデータフレーム形式間を切り替えなければならぬため非実用的です。これは送信側と受信側が同じデータビット長設定を使用するため、全二重 (フルデュプレックス動作を困難にします。5~8ビットデータフレームが使用される場合、最初のストップビットがフレーム種別を示すために使用されるので、送信部は2ストップビット使用 (USBS=1) に設定されなければなりません。

MPCMビットをセット(1) またはクリア(0) するために読み 修正 書き (リード モディファイライト命令 (SB とCB) を使用してはいけません。MPCMビットは送信完了 (TXC) フラグと同じI/O位置を共用しており、SBまたはCB命令を使用すると偶然にクリア(0) されるかもしれません。

USART0,1用レジスタ

USARTnデータレジスタ (USARTn I/O Data Register) UDRn

ビット	7	6	5	4	3	2	1	0	
\$0C (\$2C) : (\$9C)	R/TXn7	R/TXn6	R/TXn5	R/TXn4	R/TXn3	R/TXn2	R/TXn1	R/TXn0	UDRn
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

同じI/Oアドレスを共用するUSART受信データバッファレジスタとUSART送信データバッファレジスタは、USARTデータレジスタまたはUDRとして引用しました。送信データバッファレジスタ(TXB)はUDRレジスタ位置に書かれるデータの転送先です。UDRレジスタ位置読み込みは受信データバッファレジスタ(RXB)の内容を返します。

5~7ビットデータでの上位未使用ビットは送信部により無視され、受信部により0に設定されます。

送信バッファはUCSRで送信データレジスタ空き(UDRE)フラグがセット(1)される時だけ書けます。UDREフラグがセット(1)されない時にUDRへ書かれたデータはUSART送信部により無視されます。送信部が許可されて送信バッファにデータが書かれると、送信部は送信シフトレジスタが空きの時にそのデータを送信シフトレジスタへ設定・移動します。その後データはTXDピンでシリアル送信されます。

受信バッファは2段のFIFOから成ります。このFIFOは受信バッファがアクセスされる毎にその状態を切り替えます。この受信バッファの動きのため、この位置に読み・修正・書き(リード・モテファイライト命令(SBとCB)を使用できません。ビット検査(SBCとSBS)命令もFIFOの状態を換えるので、これらの命令を使用するときは注意してください。

USART制御/ステータスレジスタA (USARTn Control and Status Register A) UCSRnA

ビット	7	6	5	4	3	2	1	0	
\$0B (\$2B) : (\$9B)	RXCn	TXCn	UDREN	FEn	DORn	UPEn	U2Xn	MPCMn	UCSRnA
Read/Write	R	R/W	R	R	R	R	R/W	R/W	
初期値	0	0	1	0	0	0	0	0	

ビット7 - RXCn : USARTn受信完了フラグ (USARTn Receive Complete)

このフラグは受信バッファに未読データがあるときにセット(1)され、受信バッファが空の換言すると、どんな未読データ先含まないときにクリア(0)されます。受信部が禁止されると、受信バッファが破棄され、その結果RXCフラグは0になります。RXCフラグは受信完了割り込みを発生するために使用できます(USART制御/ステータスレジスタB(UCSRB)の受信完了割り込み許可(RXCE)ビットをご覧ください)。

ビット6 - TXCn : USARTn送信完了フラグ (USARTn Transmit Complete)

このフラグは送信シフトレジスタ内の完全なフレームがシフト出力されてしまい、送信バッファ(UDR)に新規データが現状存在しないときにセット(1)されます。TXCフラグは送信完了割り込みが実行される時、自動的にクリア(0)されるか、またはこのビット位置に1を書くことによってクリア(0)できます。TXCフラグは送信完了割り込みを発生できます(UCSRBの送信完了割り込み許可(TXCE)ビットをご覧ください)。

ビット5 - UDREN : USARTn送信データレジスタ空きフラグ (USARTn Data Register Empty)

UDREフラグは送信バッファ(UDR)が新規データを受け取る準備ができていどうかどうかを示します。UDREが1ならばバッファは空で、従って書かれる準備ができています。UDREフラグは送信バッファ空き割り込みを発生できます(UCSRBの送信データレジスタ空き割り込み許可(UDRE)ビットをご覧ください) 送信部が準備ができていことを示すため、セット後のUDREはセット(1)です。

ビット4 - FEn : フレーミングエラーフラグ (Framing Error)

受信バッファの次データが受信した時にフレーミングエラー換言すると、受信バッファで次データの最初の(第1)ストップビットがLowだった場合、このビットはセット(1)されます。このフラグは受信バッファ(UDR)が読まれるまで有効です。受信したデータのストップビットがHighのとき、FEフラグは0です。UCSRAに書くとき、常にこのビットを0に設定してください。

ビット3 - DORn : データオーバerrunフラグ (Data OverRun)

このビットはオーバerrun状態が検出されるとセット(1)されます。受信バッファ(2フレーム分)一杯で、新規フレームが受信シフトレジスタ内で待機中に新規スタートビットが検出されるとデータオーバerrunが起こります。UCSRAに書くとき、常にこのビットを0に設定してください。

ビット2 - UPEn : パリティエラーフラグ (Parity Error)

受信バッファの次データが受信した時にパリティエラーがあり、その時点でパリティ検査が許可されていれば(UPM1=1)このビットはセット(1)されます。このフラグは受信バッファ(UDR)が読まれるまで有効です。UCSRAに書くとき、常にこのビットを0に設定してください。

ビット1 - U2Xn : 倍速許可 (Double the USART Transmission Speed)

このビットは非同期動作でだけ有効です。同期動作を使用するとき、このビットに0を書いてください。

このビットに1を書くことはホルレー分周器の分周値を1から8に減らして事実上、非同期通信の転送速度を倍にします。

ビット0 - MPCMn : マルチプロセッサ通信動作 (Multi-Processor Communication Mode)

このビットはマルチプロセッサ通信動作を許可します。MPCMビットが1を書かれると、USART受信部により受信したアドレス情報を含まない全到着フレームは無視されます。送信部はMPCM設定に影響されません。より多くの詳細情報については126頁の「マルチプロセッサ通信動作」をご覧ください。



USARTn制御 /ステータス レジスタB (USARTn Control and Status Register B) UCSRnB

ビット	7	6	5	4	3	2	1	0	
\$0A (\$2A) : (\$9A)	RXC En	TXC En	UDR En	RXENn	TXENn	UCSZn2	RXB8n	TXB8n	UCSRnB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - RXC En 受信完了割り込み許可 (Receive Complete Interrupt Enable)

このビットに 1 を書くことは USART制御 /ステータス レジスタA (UCSRA) の受信完了 (RXC) フラグでの割り込みを許可します。USART受信完了割り込みは RXC ビットが 1 を書かれ、ステータス レジスタ (SREG) で全割り込み許可 (I) ビットが 1 を書かれ、UCSRA で RXC フラグがセット (1) される場合だけ生成されます。

ビット6 - TXC En 送信完了割り込み許可 (Transmit Complete Interrupt Enable)

このビットに 1 を書くことは USART制御 /ステータス レジスタA (UCSRA) の送信完了 (TXC) フラグでの割り込みを許可します。USART送信完了割り込みは TXC ビットが 1 を書かれ、SREG で全割り込み許可 (I) ビットが 1 を書かれ、UCSRA で TXC フラグがセット (1) される場合だけ生成されます。

ビット5 - UDR En 送信データレジスタ空き割り込み許可 (Transmit Data Register Empty Interrupt Enable)

このビットに 1 を書くことは USART制御 /ステータス レジスタA (UCSRA) の送信データレジスタ空き (UDRE) フラグでの割り込みを許可します。USART送信データレジスタ空き割り込みは UDR ビットが 1 を書かれ、SREG で全割り込み許可 (I) ビットが 1 を書かれ、UCSRA で UDRE フラグがセット (1) される場合だけ生成されます。

ビット4 - RXENn 受信許可 (Receiver Enable)

このビットに 1 を書くことは USART受信 部 を許可します。受信部は許可されると RXDピンの標準ホ - 動作を無効にします。受信 部) の禁止することは受信 ハッファを破棄し、フル - シング エラ (FE)、オーバ - ラン (DOR)、パリティ エラ (UPE) の フラグを無効にします。

ビット3 - TXENn 送信許可 (Transmitter Enable)

このビットに 1 を書くことは USART送信 部 を許可します。送信部は許可されると TXDピンの標準ホ - 動作を無効にします。送信 部) の禁止 (TXEN=0書き込み) は、進行中と保留中の送信が完了される 換言すると、送信シフトレジスタと送信 ハッファ レジスタが送信されるべきデータ - 宛含まないまで有効になりません。禁止したとき、送信部はもはや TXDホ - ートの標準 I/O機能 を無効にしません。

ビット2 - UCSZn2 : データビット長選択 2 (Character Size)

USART制御 /ステータス レジスタC (UCSRC) の UCSZ1ピットと組み合わせた UCSZ2ビットは、送受信部で使用するフレームのデータビット数 (Character size) を設定します。

ビット1 - RXB8n 受信データビット8 (Receive Data Bit 8)

RXB8は 9ビットデータでのシリアル フレーム操作時に受信したフレームの第 9データビット (ビット8) です。UDRから下位ビットを読む前に読んでください。

ビット0 - TXB8n 送信データビット8 (Transmit Data Bit 8)

TXB8は 9ビットデータでのシリアル フレーム操作時に送信されるべきデータ - 宛の第 9データビット (ビット8) です。UDRへ下位ビットを書く前に書いてください。

USARTn制御 /ステータス レジスタC (USARTn Control and Status Register C) UCSRnC

ビット	7	6	5	4	3	2	1	0	
(\$95) : (\$9D)	-	UMSELn	UPMn1	UPMn0	USBSn	UCSZn1	UCSZn0	UCPOLn	UCSRnC
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	1	1	0	

注 : このレジスタは ATmega103互換動作で利用できません。

ビット7 - Res : 予約 (Reserved)

このビットは将来使用するために予約されています。将来のデバイスとの共通性を保つため、UCSRCが書かれるとき、このビットは 0 が書かれなければなりません。

ビット6 - UMSELn : USARTn動作選択 (USARTn Mode Select)

このビットは非同期と同期の動作種別のどちらかを選びます。

表 77. USART動作選択

UMSEL	動作種別
0	非同期動作
1	同期動作

ビット54 - UPMn0 : パリティ選択 (Parity Mode)

これらのビットはパリティの発生と検査の許可と種別を設定します。許可した場合、送信部は各フレーム内の送信したデータビットのパリティを自動的に生成して送ります。受信部は到着データからパリティ値を生成し、UPM0設定と比較します。不一致が検出されると、USART制御 / ステータスレジスタA (UCSRA)でパリティエラー (UPE)フラグがセット(1)されます。

表 78. パリティ選択

UPM1	UPM0	パリティ動作
0	0	禁止
0	1	予約
1	0	偶数パリティ許可
1	1	奇数パリティ許可

ビット3 - USBSn : ストップビット選択 (Stop Bit Select)

このビットは送信部により挿入されるストップビット数を選びます。受信部はこの設定を無視しません (欠補常に第1ストップビットだけが有効)

表 79. ストップビット選択

USBS	ストップビット数
0	1ビット
1	2ビット

ビット2,1 - UCSZn0 : データビット長選択 (Character Size)

USART制御 / ステータスレジスタB (UCSRB)のUCSZ2ビットと組み合わせたUCSZ10ビットは、送受信部で使用するフレームのデータビット数 (Character size)を設定します。

表 80. データビット長選択

UCSZ2,10	000	001	010	011	100	101	110	111
データビット数	5ビット	6ビット	7ビット	8ビット	予約	予約	予約	9ビット

ビット0 - UCPOLn : クロック極性選択 (Clock Polarity)

このビットは同期動作に対してだけ使用されます。非同期動作が使用されるとき、このビットに0を書き込んでください。UCPOLビットは同期クロック(XCKと、データ出力変更、データ入力採取間の関係を設定します。

表 81. XCKクロック極性選択

UCPOL	送信データ変更 (TXDビット出力)	受信データ採取 (RXDビット入力)
0	XCKの立ち上りエッジ	XCKの立ち下りエッジ
1	XCKの立ち下りエッジ	XCKの立ち上りエッジ

USARTnボーレートレジスタ (USARTn Baud Rate Register) UBRRnH, UBRRnL (UBRRn)

ビット	15	14	13	12	11	10	9	8	
(\$90) : (\$98)	-	-	-	-	UBRRn11	UBRRn10	UBRRn9	UBRRn8	UBRRnH
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$09 (\$29) : (\$99)	UBRRn7	UBRRn6	UBRRn5	UBRRn4	UBRRn3	UBRRn2	UBRRn1	UBRRn0	UBRRnL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注 : UBRRHレジスタはATmega103互換動作で利用できません。

ビット15~ 12 - Res : 予約 (Reserved Bits)

これらのビットは将来使用するために予約されています。将来のデバイスとの共通性のため、UBRRHが書かれるとき、これらのビットは0が書かれなければなりません。

ビット11~ 0 - UBRRn11~ 0 : ボーレート分周値 (USART Baud Rate Register)

これはUSARTのボーレートを含む12ビットレジスタです。UBRRHがUSARTボーレートの上位4ビットを含み、UBRRLが下位8ビットを含みます。ボーレートが変更されると、送受信部で進行中の転送は不正にされます。UBRR書き込みはボーレート前置分周器の更新を直ちに始めます。

ホ-レ- 設定例

標準的なクリスタル発振子やセラミック振動子の周波数に対して最も共通して使用される非同期動作のホ-レ-は、表 82のUBRR設定を使用することにより生成できます。目的のホ-レ-に対して設定誤差 15%(標準速 U2X=0) 1.0%(倍速 U2X=1)以上を赤字で示します。**訳注** 原書の本文は0.9%(未満を太字)より高い誤差率でも受け入れ可能ですが、特に長いシリアルフレーム(125頁の「非同期での動作範囲」参照)で誤差率が高いと、受信部はノイズ耐性が低下します。誤差率は次式を使用して計算されます。

$$\text{誤差率 (\%)} = \left(\frac{\text{UBRR設定ホ-レ-最近似値}}{\text{目的のホ-レ-}} - 1 \right) \times 100(\%)$$

表 82. Xtal ホ-レ- 対 UBRRH/UBRRL 設定 (UBRR=UBRRH/UBRRL)

ホ-レ- (bps)	1MHz				1.8432MHz				2MHz				2.4576MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)
1200	51	0.2	103	0.2	95	0.0	191	0.0	103	0.2	207	0.2	127	0.0	255	0.0
2400	25	0.2	51	0.2	47	0.0	95	0.0	51	0.2	103	0.2	63	0.0	127	0.0
4800	12	0.2	25	0.2	23	0.0	47	0.0	25	0.2	51	0.2	31	0.0	63	0.0
9600	6	-7.0	12	0.2	11	0.0	23	0.0	12	0.2	25	0.2	15	0.0	31	0.0
14400	3	8.5	8	-3.5	7	0.0	15	0.0	8	-3.5	16	2.1	10	-3.0	20	1.6
19200	2	8.5	6	-7.0	5	0.0	11	0.0	6	-7.0	12	0.2	7	0.0	15	0.0
28800	1	8.5	3	8.5	3	0.0	7	0.0	3	8.5	8	-3.5	4	6.7	10	-3.0
38400	1	-18.6	2	8.5	2	0.0	5	0.0	2	8.5	6	-7.0	3	0.0	7	0.0
57600	0	8.5	1	8.5	1	0.0	3	0.0	1	8.5	3	8.5	2	-11.1	4	6.7
76800	0	-18.6	1	-18.6	1	-25.0	2	0.0	1	-18.6	2	8.5	1	0.0	3	0.0
115.2k	-	-	0	8.5	0	0.0	1	0.0	0	8.5	1	8.5	0	33.3	2	-11.1
230.4k	-	-	0	-45.7	0	-50.0	0	0.0	0	-45.7	0	8.5	0	-33.3	0	33.3
250k	-	-	-	-	-	-	0	-7.8	-	-	0	0.0	-	-	0	22.9
最高速	62500		125k		115.2k		230.4k		125k		250k		153.6k		307.2k	

ホ-レ- (bps)	3.2768MHz				3.6864MHz				4MHz				4.608MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)
1200	170	-0.2	340	0.1	191	0.0	384	0.0	207	0.2	416	-0.1	239	0.0	479	0.0
2400	84	0.4	170	-0.2	95	0.0	191	0.0	103	0.2	207	0.2	119	0.0	239	0.0
4800	42	-0.8	84	0.4	47	0.0	95	0.0	51	0.2	103	0.2	59	0.0	119	0.0
9600	20	1.6	42	-0.8	23	0.0	47	0.0	25	0.2	51	0.2	29	0.0	59	0.0
14400	13	1.6	27	1.6	15	0.0	31	0.0	16	2.1	34	-0.8	19	0.0	39	0.0
19200	10	-3.0	20	1.6	11	0.0	23	0.0	12	0.2	25	0.2	14	0.0	29	0.0
28800	6	1.6	13	1.6	7	0.0	15	0.0	8	-3.5	16	2.1	9	0.0	19	0.0
38400	4	6.7	10	-3.0	5	0.0	11	0.0	6	-7.0	12	0.2	7	-6.3	14	0.0
57600	3	-11.1	6	1.6	3	0.0	7	0.0	3	8.5	8	-3.5	4	0.0	9	0.0
76800	2	-11.1	4	6.7	2	0.0	5	0.0	2	8.5	6	-7.0	3	-6.3	7	-6.3
115.2k	1	-11.1	3	-11.1	1	0.0	3	0.0	1	8.5	3	8.5	2	-16.7	4	0.0
230.4k	0	-11.1	1	-11.1	0	0.0	1	0.0	0	8.5	1	8.5	0	25.0	2	-16.7
250k	-	-	1	-18.1	0	-7.8	1	-7.8	0	0.0	1	0.0	0	15.2	1	15.2
500k	-	-	0	-18.1	-	-	0	-7.8	-	-	0	0.0	0	-42.4	0	15.2
1M	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0	-42.4
最高速	204.8k		409.6k		230.4k		460.8k		250k		500k		288k		576k	

注: 最高速は UBRR=0 誤差=0.0%です。以降の周波数は次頁へ続く。

訳注) 原書では頁割された表毎に表番号 82~ 85となっていますが、共通性から纏めて表 82としました。原書に対して数種の発振周波数を追加しました。

表 82 続き).Xtal ホール対UBRRHUBRRL設定 (UBRR=UBRRHUBRRL)

ホール (bps)	4.9152MHz				6.144MHz				7.3728MHz				8MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)
1200	255	0.0	511	0.0	319	0.0	639	0.0	383	0.0	767	0.0	416	-0.1	832	0.0
2400	127	0.0	255	0.0	159	0.0	319	0.0	191	0.0	383	0.0	207	0.2	416	-0.1
4800	63	0.0	127	0.0	79	0.0	159	0.0	95	0.0	191	0.0	103	0.2	207	0.2
9600	31	0.0	63	0.0	39	0.0	79	0.0	47	0.0	95	0.0	51	0.2	103	0.2
14400	20	1.6	42	-0.8	26	-1.2	52	0.6	31	0.0	63	0.0	34	-0.8	68	0.6
19200	15	0.0	31	0.0	19	0.0	39	0.0	23	0.0	47	0.0	25	0.2	51	0.2
28800	10	-3.0	20	1.6	12	2.6	26	-1.2	15	0.0	31	0.0	16	2.1	34	-0.8
38400	7	0.0	15	0.0	9	0.0	19	0.0	11	0.0	23	0.0	12	0.2	25	0.2
57600	4	6.7	10	-3.0	6	-4.8	12	2.6	7	0.0	15	0.0	8	-3.5	16	2.1
76800	3	0.0	7	0.0	4	0.0	9	0.0	5	0.0	11	0.0	6	-7.0	12	0.2
115.2k	2	-11.1	4	6.7	2	11.1	6	-4.8	3	0.0	7	0.0	3	8.5	8	-3.5
230.4k	1	33.3	2	-11.1	1	-16.7	2	11.1	1	0.0	3	0.0	1	8.5	3	8.5
250k	1	22.9	2	-18.1	1	-23.2	2	2.4	1	-7.8	3	0.0	1	0.0	3	0.0
500k	0	-38.6	0	22.9	0	-23.2	1	-23.2	0	-7.8	1	-7.8	0	0.0	1	0.0
1M	-	-	0	-38.6	-	-	0	-23.2	-	-	0	-7.8	-	-	0	0.0
最高速	307.2k		614.4k		384k		768k		460.8k		921.6k		500k		1M	

ホール (bps)	9.216MHz				9.8304MHz				10MHz				11.0592MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)
1200	479	0.0	959	0.0	511	0.0	1023	0.0	520	-0.0	1041	-0.0	575	0.0	1151	0.0
2400	239	0.0	479	0.0	255	0.0	511	0.0	259	0.2	520	-0.0	287	0.0	575	0.0
4800	119	0.0	239	0.0	127	0.0	255	0.0	129	0.2	259	0.2	143	0.0	287	0.0
9600	59	0.0	119	0.0	63	0.0	127	0.0	64	0.2	129	0.2	71	0.0	143	0.0
14400	39	0.0	79	0.0	42	-0.8	84	0.4	42	0.9	86	-0.2	47	0.0	95	0.0
19200	29	0.0	59	0.0	31	0.0	63	0.0	32	-1.4	64	0.2	35	0.0	71	0.0
28800	19	0.0	39	0.0	20	1.6	42	-0.8	21	-1.4	42	0.9	23	0.0	47	0.0
38400	14	0.0	29	0.0	15	0.0	31	0.0	15	1.8	32	-1.4	17	0.0	35	0.0
57600	9	0.0	19	0.0	10	-3.0	20	1.6	10	-1.4	21	-1.4	11	0.0	23	0.0
76800	7	6.7	14	0.0	7	0.0	15	0.0	7	1.8	15	1.8	8	0.0	17	0.0
115.2k	4	0.0	9	0.0	4	6.7	10	-3.0	4	8.5	10	-1.4	5	0.0	11	0.0
230.4k	2	-16.7	4	0.0	2	-11.1	4	6.7	2	-9.6	4	8.5	2	0.0	5	0.0
250k	1	15.2	4	-7.8	1	-23.2	4	-1.7	2	-16.7	4	0.0	2	-7.8	5	-7.8
500k	0	15.2	1	15.2	0	22.9	1	22.9	0	25.0	2	-16.7	0	38.2	2	-7.8
1M	0	-42.4	0	15.2	0	-38.6	0	22.9	0	-37.5	0	25.0	0	-30.9	0	38.2
最高速	576k		1.152M		614.4k		1.2288M		625k		1.25M		691.2k		1.3824M	

ホール (bps)	14.7456MHz				16MHz				18.4320MHz				20MHz			
	U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1		U2X=0		U2X=1	
	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)	UBRR	誤差 (%)
1200	767	0.0	1533	0.0	832	0.0	1666	0.0	959	0.0	1919	0.0	1041	0.0	2082	0.0
2400	383	0.0	767	0.0	416	-0.1	832	0.0	479	0.0	959	0.0	520	0.0	1041	0.0
4800	191	0.0	383	0.0	207	0.2	416	-0.1	239	0.0	479	0.0	259	0.2	520	0.0
9600	95	0.0	191	0.0	103	0.2	207	0.2	119	0.0	239	0.0	129	0.2	259	0.2
14400	63	0.0	127	0.0	68	0.6	138	-0.1	79	0.0	159	0.0	86	-0.2	173	-0.2
19200	47	0.0	95	0.0	51	0.2	103	0.2	59	0.0	119	0.0	64	0.2	129	0.2
28800	31	0.0	63	0.0	34	-0.8	68	0.6	39	0.0	79	0.0	42	0.9	86	-0.2
38400	23	0.0	47	0.0	25	0.2	51	0.2	29	0.0	59	0.0	32	-1.4	64	0.2
57600	15	0.0	31	0.0	16	2.1	34	-0.8	19	0.0	39	0.0	21	-1.4	42	0.9
76800	11	0.0	23	0.0	12	0.2	25	0.2	14	0.0	29	0.0	15	1.7	32	-1.4
115.2k	7	0.0	15	0.0	8	-3.5	16	2.1	9	0.0	19	0.0	10	-1.4	21	-1.4
230.4k	3	0.0	7	0.0	3	8.5	8	-3.5	4	0.0	9	0.0	4	8.5	10	-1.4
250k	3	-7.8	6	5.3	3	0.0	7	0.0	4	-7.8	8	2.4	4	0.0	9	0.0
500k	1	-7.8	3	-7.8	1	0.0	3	0.0	1	15.2	4	-7.8	1	25.0	4	0.0
1M	0	-7.8	1	-7.8	0	0.0	1	0.0	0	15.2	1	15.2	0	25.0	1	25.0
最高速	921.6k		1.8432M		1M		2M		1.152M		2.304M		1.25M		2.5M	

注:最高速はUBRR=0 誤差=0%です。



2線シリアル インターフェイス (TWI:Two-wire Serial Interface, I²C)

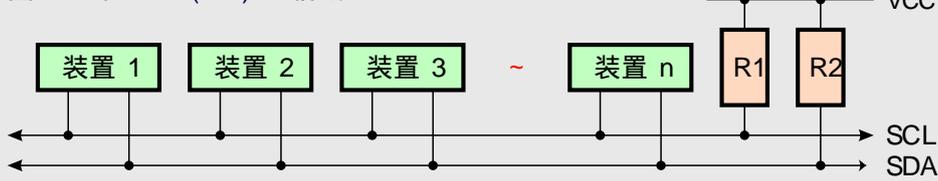
特徴

- 2本のバス信号線のみ必要な、単純ながら強力な柔軟な通信インターフェイス
- マスター動作とスレーブ動作の両方を支援
- 送信装置または受信装置として動作可能
- 7ビットのアドレス空間が128までの異なるスレーブアドレスを許容
- 複数マスターの調停支援
- 400kHzまでのデータ転送速度
- 立ち上り立ち下り(スローレイト)制限された出力駆動回路
- バス信号線のスパイクを排除するノイズ除去回路
- 一斉呼び出しを含む完全に設定変更可能なスレーブアドレスの支援
- AVRがスリープ動作のとき、アドレス認証(一致)が起動

2線シリアル インターフェイス バスの定義

2線シリアル インターフェイス(TWI)は代表的なマイクロコントロール応用に対して理想的に適用されます。TW通信規約は2本の双方向バス信号線、データ用線(SDA)とクロック用線(SCL)だけを使用して128個までの異なる装置の相互接続をシステム設計者に許します。バスを実現するために必要とされる外部ハードウェアは、TWバス信号線各々に1つずつのプルアップ抵抗だけです。バスに接続した全装置は個別のアドレスを持ち、バス衝突を解決する機構は本質的にTW通信規約で行います。

図 86. 2線シリアル (TWI) バス構成



TW用語定義

次の定義は本項で度々使用されます。

表 86. TW用語定義

用語	意味
マスター	送信の開始と終了する装置。マスターはSCLクロックを生成します。
スレーブ	マスターにより指定された装置。
送信装置	バス上にデータを送り出す装置。
受信装置	バスからデータを読み込む装置。

電気的な相互接続

図 86で描かれたように、両方のバス信号線はプルアップ抵抗を通して正供給電圧に接続されます。すべてのTW準拠装置のバスドライバはオープンドレインかオープンコレクタです。これはインターフェイスの動作のために重要なワイアードAND機能を実現します。TWバス信号線のLowレベルは1つまたはより多くのTW装置の0出力時に生成されます。Highレベルは全TW装置がHigh出力時の出力で、プルアップ抵抗に信号線をHighへ引き上げさせます。TWバスに接続した全てのAVRデバイスはそのバス動作も許すために、電源が供給されなければならないことに注意してください。

このバスに接続できる装置数は7ビットのスレーブアドレス空間と400pFのバス容量制限によってのみ制限されます。TWの電気的特性の詳細仕様は207頁の「2線シリアル インターフェイス特性」で与えられます。そこで与えられる2組の異なる仕様は、1つがバス速度100kHz以下に関するもので、もう1つはバス速度400kHzまでに関して有効です。

データ転送とフレーム形式

ビット転送

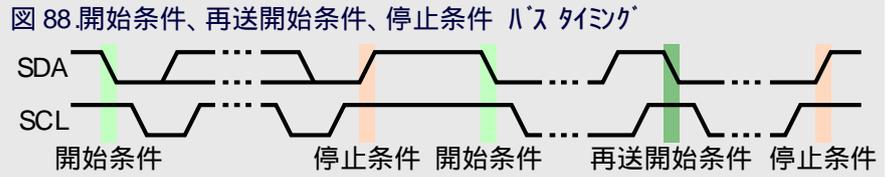
TWバスに転送される各データビットはクロック信号線のパルスを伴います。データ信号線のレベルはクロック信号線がHighのときに安定していなければなりません。この規則の例外は開始条件と停止条件の生成だけです。

図 87. データの有効性



開始条件と停止条件

マスターがデータ転送の開始と終了を行います。転送はマスターがバスに**開始条件**を起こすと開始され、マスターが**停止条件**を起こすと終了されます。**開始条件**と**停止条件**間はバスが使用中と考えられ、他のマスターはバスの制御を獲得することを試みるべきではありません。**開始条件**と**停止条件**間で新規**開始条件**が起こされると特別な状態が起きます。これは**再送開始条件**として引用され、マスターはバスの制御を手放さずに新規転送を始めたい時に使用されます。**再送開始条件**後、バスは次の**停止条件**まで使用中と考えられます。これは開始動作について全く同じで、従って特記事項を除いて、このデータシートに残りについて、**開始条件**と**再送開始条件**の両方の記述に**開始条件**が使用されます。右で描かれるように、**開始条件**と**停止条件**はSCL信号線がHighのときのSDA信号線のレベル変更により指示されます。



アドレス パケット形式

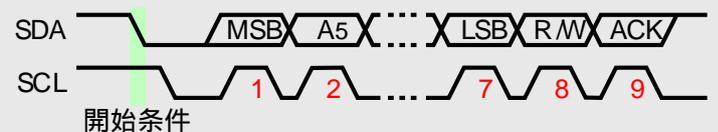
TWバスに送信した全てのアドレスパケットは7ビットのアドレスビット、1ビットの方向 (Read/Write制御ビット)、1ビットの応答ビットから成る9ビットです。方向 (RW)ビットが**セット(1)**されると読み出し操作が実行され、さもなければ書き込み操作が実行されるべきです。スレーブがアドレス指定されたことを認証すると、9番目のSCL(ACK)サイクルでSDAをLowへ引くことにより確認応答すべきです。アドレス指定されたスレーブが忙しいまたはその他の理由でマスターの要求を扱えない場合、**確認応答 (ACK)**クロックサイクルでSDA信号線をHighのままにすべきです。マスターはその後に**停止条件**または新規転送を始めるために**再送開始条件**を送出できます。スレーブアドレスと方向 (RW)ビットから成るアドレスパケットは、各々SLA+RまたはSLA+Wと呼ばれます。

アドレスビットの最上位ビット(MSB)が最初に送信されます。スレーブアドレスは設計者により自由に割り当てられますが、アドレス0000 000は一斉呼び出し用に予約されています。

一斉呼び出しが起こされると、全スレーブは確認応答 (ACK)サイクルでSDA信号線をLowにすることにより応答すべきです。一斉呼び出しはマスターシステム内のそれぞれのスレーブに同じ通信内容を送信したいときに使用されます。一斉呼び出しアドレスに続くW方向が書き込みビットがバスに送信されると、一斉呼び出しに回答する設定の全てのスレーブはACKサイクルでSDA信号線をLowに引き込みます。そして後続のデータパケットは一斉呼び出しに確認応答した全スレーブにより受信されます。一斉呼び出しアドレスに続くR方向が読み出しビットの送信は、スレーブそれぞれが異なるデータの送信を始めた場合の衝突の原因となるので意味がないことに注意してください。

1111 xx形式の全アドレスは将来の目的のために予約されるべきです (訳補: PC規格のアドレス拡張他)

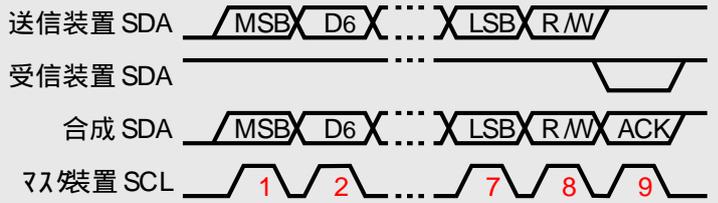
図 89. アドレス パケット形式



データパケット形式

TWバスに送信した全てのデータパケットは1バイトのデータと1ビットの応答ビットから成る9ビットです。データ転送中、マスターはクロックと**開始条件**、**停止条件**を生成し、一方受信装置は受信に回答する責任があります。確認応答 (ACK)は受信装置が9番目のSCLサイクル中にSDA信号線をLowに引き込むことにより示されます。受信装置がSDA信号線をHighのままにすると**NACK**を示します。受信装置が最終Highを受信したとき、または何らかの理由でこれ以上のHighを受信できないとき、最終High後に**NACK**を送ることにより送信装置へ通知すべきです。データバイトの最上位 (MSB)ビットが最初に送信されます。

図 90. データパケット形式

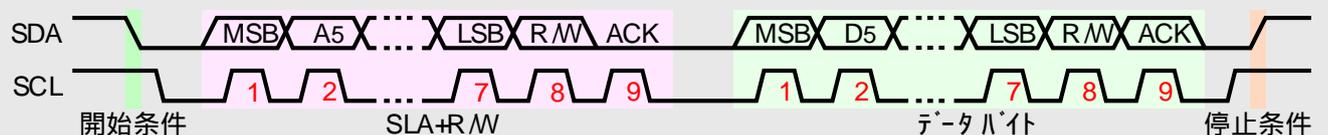


転送内でのアドレスパケットとデータパケットの組み合わせ

転送は基本的に**開始条件**、SLA+RW、1つ以上のデータパケット、**停止条件**から成ります。**開始条件**に続く**停止条件**から成る空の通信内容は規則違反です。SCL信号線のワイアードANDがマスターとスレーブ間のハンドシェイクに使用できることに注目してください。スレーブはSCL信号線をLowに引き込むことによりSCLのLow期間を引き伸ばせます。これはマスターがスレーブに対して速すぎるクロック速度設定、またはスレーブがデータ送信間の処理に追加時間を必要とする場合に有用です。スレーブがSCLのLow期間を延長することは、マスターにより決められるSCLのHigh期間に影響しません。同様にスレーブはSCLのデューティ比 (Low期間) を延長することによりTWデータ転送速度を落とせます。

図 91は代表的なデータ転送を示します。様々なデータは応用ソフトウェアにより実装されたソフトウェア規約に依存して、SLA+RWと停止条件間に送信できることに注意してください。

図 91. 代表的なデータ転送



複数マスタシステムの調停と同期

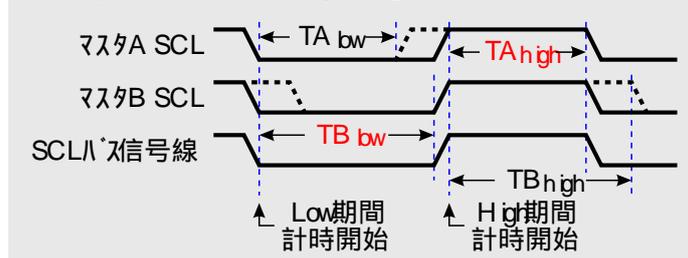
TW規約は多数マスタのバスシステムを許します。例え2つ以上のマスタが同時に送信を始めても、送信が通常のように続行することを保証するために特別な手段が講じられます。複数マスタのシステムでは2つの問題が起こります。

送信を完了するために1つのマスタだけを許す方法が実現されなければなりません。他の全てのマスタは自身が行っているスレーフ) 選択手順を失った(失敗した)ことに気付く時、送信を止めるべきです。この選択手順は調停(Arbitration)と呼ばれます。競合するマスタは調停(スレーフ)選択手順を失ったことに気付くと、勝ち残ったマスタによりアドレス指定されるかどうかを調べるため、直ちにスレーフ動作へ切り替えるべきです。複数のマスタが同時に送信を始めた事実はスレーフで検知できるべきではありません。換言すると、バスに転送されているデータが不正にされてはなりません。

違うマスタが異なるSCL周波数を使用するかもしれません。同期確定手順で送信が続行するために、全マスタからのシリアルクロックを同期化する方法が考案されなければなりません。これは調停手順を容易にします。

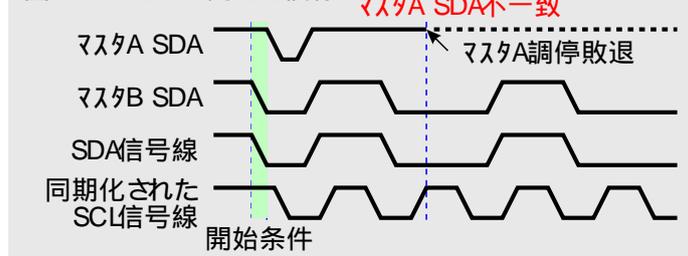
バス信号線のワイアードANDはこれらの問題の両方の解決に使用されます。すべてのマスタからのシリアルクロックはワイアードANDされ、最短High期間のマスタの1つからに等しいHigh期間の合成クロックを生成します。合成クロックのLow期間は最長Low期間のマスタのLow期間に等しくなります。すべてのマスタがSCL信号線を監視する、実際には合成SCL信号線がHighまたはLowになるとき、各々SCLのHighとLow経過時間の計時を始めることに注意してください。

図 92.複数マスタ間でのSCL同期化



調停は全てのマスタがデータ出力後にSDA信号線を継続的に監視することにより実行されます。SDA信号線から読んだ値がそのマスタの出力した値と一致しない場合、調停に敗れます。マスタがSDAにHigh値を出力し、同時に他のマスタがLow値を出力する時のみ調停に敗れるかもしれないことに注意してください。敗れたマスタは直ちにスレーフ動作へ移行し、勝ち残ったマスタによりアドレス指定されるかを確認すべきです。SDA信号線はHighのままにすべきですが、敗れたマスタは現在のデータ(若しくはアドレス)パケットの最後までクロック信号を生成することを許されます。調停は唯一のマスタが残るまで継続され、多くのビットを必要とするかもしれません。多くのマスタが同じスレーフをアドレス指定しようとすると、調停はデータパケットに続くでしょう。

図 93.2つのマスタ間での調停



調停が次の状態間で許されないことに注意してください。

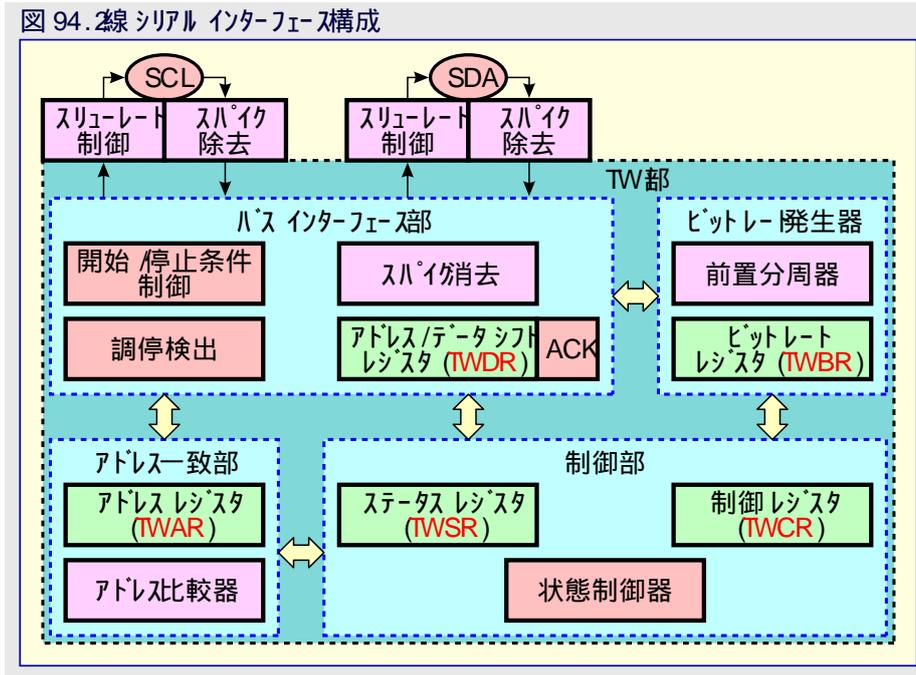
- 再送開始条件とデータビット間
- 停止条件とデータビット間
- 再送開始条件と停止条件間

これらの違法な調停状態を決して起こさないよう保証するのは使用者ソフトウェアの責任です。これは複数マスタシステムでの全てのデータ転送は同じ構成、SLA+R/Wとデータパケットを使用しなければならないことを意味します。言葉を変えると、全ての送信は同じデータパケット数を含まなければならない、さもなければ調停の結果は不定にされます。

訳補) 同じデータパケット数とは、或るマスタが最後まで調停を継続し、他のマスタがパケットを残している場合を想定しています。

TW部の概要

図 94で示されるように TW部は様々な部分から成ります。赤文字で示された **訳注** 原文は太線で描かれた 全てのレジスタは AVR データバスを通してアクセス可能です。



SCLとSDAピン

これらのピンは AVR TWをMCUシステムのその他とインターフェイスします。出力ドライバは、TW仕様に適合させるためのスlewレート位立ち上り立ち下り制限器を含みます。入力段は 50nsより短いスパイクを除去するスパイク除去部を含みます。**入出力ポート項**で説明したように、AVRパッドの内部プルアップは SCLとSDAピンに対応するポートのビットを設定 (=1) することにより許可できることに注目してください。内部プルアップは、いくつかのシステムで外部抵抗の必要をなくせます。

ビットレ発生器

この部分はマスタ動作で動く時の SCL周期を制御します。SCL周期は **TWIビットレートレジスタ (TWBR)** と **TWIステータスレジスタ (TWSR)** の前置分周選択ビットの設定により制御されます。スレーブ動作はビットレや前置分周器設定と関係ありませんが、スレーブでの CPUクロック周波数は SCL周波数より最低 16倍高くなければなりません。スレーブが SCLの Low期間を延長するかもしれない、これによって平均 TWバス クロック周波数が減少することに注意してください。SCL周波数は次式に従って生成されます。

$$\text{SCL周波数} = \frac{\text{CPUクロック周波数}}{16 + 2 \times (\text{TWBR}) \times \text{前置分周値}} \quad \begin{array}{l} \text{TWBR} \quad : \text{TWIビットレートレジスタ値} \\ \text{前置分周値} : \text{TWIステータスレジスタ内 TWPSで指定 (138頁の表 87参照)} \end{array}$$

注: TWがマスタ動作で動く場合、TWBRは 10以上にすべきです。TWBR値が 10未満の場合、マスタはハイの場合となる SDAとSCL出力を不正に生成するかもしれません。この問題は TWがマスタ動作で動き、**開始条件 +SLA+R/M**をスレーブへ送るときに起きやすくなる条件については、スレーブがバスに接続されている必要はありません。

バスインターフェース部

この部分は **データとアドレスのシフトレジスタ (TWDR)**、**開始条件/停止条件**制御器、調停検出回路を含みます。TWDRは送信されるべきアドレスまたはデータバイト若しくは受信したアドレスまたはデータバイトを含みます。8ビットの TWDRに加えバスインターフェース部は送信されるべきまたは受信した (N)ACKビットを含むレジスタを含みます。この (N)ACKレジスタはアプリケーションにより直接的にアクセスできません。けれども **TW制御レジスタ (TWCR)** を操作することにより、受信時にセット (1) またはクリア (0) できます。送信装置動作時、受信した (N)ACKビットの値は TWSRの値により判定できます。

開始条件/停止条件制御器は**開始条件**、**再送開始条件**、**停止条件**の生成と検出に対して責任があります。**開始条件/停止条件**制御器は AVR MCUがマスタによりアドレス指定されると MCUを起動できる **スリープ動作** の 1つの時でも、**開始条件**または**停止条件**を検出できます。

TWがマスタとして送信を始められると、調停検出ハードウェアは調停が進行中かを決めるために送信の試行を継続的に監視します。TWが調停に敗れた場合、制御部に通知されます。その後正しい処置が行われ、適切な状態コードが生成されます。

アドレス一致部

アドレス一致部は受信したアドレスハイがTWIアドレスレジスタ(TWAR)の7ビットアドレスと一致するかを検査します。TWARで一斉呼び出し検出許可 (TWGCE)ビットが1を書かれると、全ての到着アドレスビットは一斉呼び出しアドレスに対しても比較されます。アドレス一致を制御部は通知され、正しい処置を行うことを許します。TWはTW制御レジスタ(TWCR)の設定によって、そのアドレスへの応答をすることもしないし、しないかもしれません。アドレス一致部はAVR MCUがマスクによりアドレス指定されるとMCUを起動できるスリープ動作の一つの時でも、アドレスを比較できます。TWがハワーダウン動作でのアドレス一致でCPUを起動中に他の割り込み (例えば NTO)が起こると、TWは動作を停止し、アイドル状態で復帰します。これが何らかの問題の原因ならば、ハワーダウン動作へ移行するときにTWアドレス一致だけが割り込みを許可されることを保証してください。

制御部

制御部はTWバスを監視し、TW制御レジスタ(TWCR)の設定に従った応答を生成します。応用に注意を要求する事象がTWバスで起こると、TW割り込み要求フラグ(TWNT)が有効にされます。次のクロックサイクルで、TWIステータスレジスタ(TWSR)は事象を示す状態コードで更新されます。TW割り込み要求フラグが有効にされる時だけ、TWSRは適切な状態情報を含みます。他の全てのとき、TWSRは適切な状態情報が利用できないことを示す特別な状態コードを含みます。TWNTフラグがセット(1)されている限りSCL信号線はLowに保たれます。これは続くTW送信を許す前に現在の処理を完了することを応用ソフトウェアに許します。

TW割り込み要求フラグ(TWNT)は次の場合にセット(1)されます。

開始条件または再送開始条件送信後

SLA+R/M送信後

アドレスハイ送信後

調停に敗れた後

自身のスレーブアドレスまたは一斉呼び出しによりアドレス指定された後

データハイ受信後

スレーブとして未だアドレス指定されている間の停止条件または再送開始条件受信後

不正な開始条件または停止条件のためバス異常が起きた時

TW用レジスタ

TWビットレートレジスタ (TWBitRate Register) TWBR

ビット (\$70)	7	6	5	4	3	2	1	0	
	TWBR7	TWBR6	TWBR5	TWBR4	TWBR3	TWBR2	TWBR1	TWBR0	TWBR
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

ビット7~ 0 - TWBR7~ 0 : TWビットレート選択 (TWBitRate Register)

TWBRはビットレート発生器用の分周値を選びます。ビットレート発生器はマスタ動作でSCLクロック周波数を生成する周波数分周器です。ビットレートの計算については [135頁の「ビットレート発生器」](#)をご覧ください。

TW制御レジスタ (TWControl Register) TWCR

ビット (\$74)	7	6	5	4	3	2	1	0	
	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE	TWCR
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

TWCRはTW動作の制御に使用されます。TWの許可、バス上に開始条件を印加することによるマスタのアクセス開始、受信装置の応答生成、停止条件の生成、バスにデータを送出するためのTWIデータレジスタ(TWDR)への書き込み中のバスの一時停止制御に使用されます。TWDRがアクセス不能の間にTWDRへ書き込もうとする場合の上書きエラーを示します。

ビット7 - TWNT : TW割り込み要求フラグ (TWInterrupt Flag)

このビットはTWが現在の作業を終了し、応用ソフトウェアの応答が予測される時、ハードウェアによりセット(1)されます。TW制御レジスタ(TWCR)のTW割り込み許可(TWIE)ビットとステータスレジスタ(SREG)の全割り込み許可(I)ビットがセット(1)されていると、MCUはTW割り込みベクタへ飛びます。TWNTフラグがセット(1)の間中、SCLのLow期間は引き伸ばされます。TWNTフラグは論理1書き込みによりソフトウェアでクリア(0)されなければなりません。このフラグが割り込みルーチンを実行するとき、自動的にクリア(0)されないことに注意してください。このフラグのクリア(0)はTW動作を始めるので、このフラグをクリア(0)する前にTWIアドレスレジスタ(TWAR)、TWIデータレジスタ(TWDR)、TWIステータスレジスタ(TWSR)への全てのアクセスが完了していなければならないことにも注意してください。

ビット6 - TWEA : 確認応答 (ACK許可) (TWIEnable Acknowledge Bit)

TWEAビットは確認応答(ACK)バスの生成を制御します。TWEAビットが1を書かれ、次の条件に合致すると、TWバスにACKバスが生成されます。

- デバイスが自分用のスレーブアドレスを受信した場合。
- TWIアドレスレジスタ(TWAR)の一斉呼び出し検出許可(TWGC)ビットがセット(1)されているときに一斉呼び出しを受信した場合。
- マスタ受信装置またはスレーブ受信装置動作でデータハイを受信した場合。

TWEAビットに0を書くことによりデバイスは一時的かつ仮想的に2線シリアルバスから切り離されることができます。アドレス認証はその後に再びTWEAビットへ1を書くことにより再開できます。

ビット5 - TWSTA : 開始 (START条件生成許可) (TWIStart Condition Bit)

2線シリアルバスのマスタになることを欲するとき、応用はTWSTAビットに1を書きます。TWハードウェアはバスが利用可能かを検査し、開放ならばバスに開始条件を生成します。しかし、バスが未開放の場合、TWは停止条件が検出されるまで待ち、その後バスマスタ権を要求する新規開始条件を生成します。TWSTAは開始条件が送出されてしまう時、ソフトウェアによりクリア(0)されなければなりません。

ビット4 - TWSTO : 停止 (STOP条件生成許可) (TWIStop Condition Bit)

マスタ動作でTWSTOビットに1を書くことは2線シリアルバスに停止条件を生成します。停止条件がバスで実行されると、TWSTOビットは自動的にクリア(0)されます。スレーブ動作でのTWSTOビットのセット(1)はエラー状態からの回復に使用できます。これは停止条件を生成しませんが、TWは明確に指定されていないスレーブ動作に戻り、SCL、SDA信号線をHi-Z状態に開放します。

ビット3 - TWWC : TW止書きエラーフラグ (TWIWrite Collision Flag)

TW割り込み要求フラグ(TWNT)が0のときにTWIデータレジスタ(TWDR)への書き込みを試みると、このTWWCフラグがセット(1)されます。このフラグはTWNTが1の時のTWDR書き込みによりクリア(0)されます。

ビット2 - TWEN : TW動作許可 (TWIEnable Bit)

TWENビットはTW動作を許可し、TWインターフェースを活性(有効)にします。TWENが1を書かれると、TWはSCL、SDAピンに接続したI/Oピンを制御できるようになり、スパイクフィルタとスレーブ制限器を許可します。このビットが0を書かれると、TWがOFFにされ、どんな進行中の動作にも関係なく、全てのTW送信が終了されます。

ビット1 - Res : 予約 (Reserved Bit)

このビットは予約されており、常に0として読まれます。

ビット0 - TWE : TW割り込み許可 (TWInterrupt Enable)

このビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットがセット(1)されていると、TW割り込み要求フラグ(TWNT)が1である限りTW割り込み要求が活性に発生されます。



TWIステータスレジスタ (TWI Status Register) TWSR

ビット	7	6	5	4	3	2	1	0	
(\$71)	TWS7	TWS6	TWS5	TWS4	TWS3	-	TWPS1	TWPS0	TWSR
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	1	1	1	1	1	0	0	0	

ビット7~3 - TWS7~3 : TWIステータス (TWI Status)

これら5ビットはTW論理回路と線シリアルバスの状態を反映します。各種状態コードは本項の後ろで記述されます。TWSRから読む値は5ビットの状態コードと2ビットの前置分周選択値の両方を含むことに注意してください。応用設計者は状態ビットを検査するとき、前置分周選択ビットを0で隠すべきです。これは前置分周器設定に関係なく状態検査を行います。この手法は特記事項を除いて、このデータシート内で使用されます。

ビット2 - Res : 予約 (Reserved Bit)

このビットは予約されており、常に0として読まれます。

ビット1,0 - TWPS1, TWPS0 : TWI前置分周選択 (TWI Prescaler Bits)

これらのビットは読み書きでき、ビットレートの前置分周器を制御します。

ビットレートを計算するには135頁の「ビットレート発生器」をご覧ください。TWPS1~0の値は、この式で使用されます。

表 87. TWIビットレート 前置分周選択

TWPS1	TWPS0	分周値
0	0	1
0	1	4
1	0	16
1	1	64

TWIデータレジスタ (TWI Data Register) TWDR

ビット	7	6	5	4	3	2	1	0	
(\$73)	TWD7	TWD6	TWD5	TWD4	TWD3	TWD2	TWD1	TWD0	TWDR
Read/Write	R/W								
初期値	1	1	1	1	1	1	1	1	

送信動作でのTWDRは送信されるべき次のバイトを含みます。受信動作でのTWDRは最後に受信したバイトを含みます。TWDRはTWIがバイトをシフトする手順でない間に書き込み可能です。これはTW制御レジスタ(TWCR)のTW割り込み要求フラグ(TWNT)がハードウェアによりセット(1)されると起きます。最初のTW割り込みが起こる前にデータレジスタ(TWDR)は使用者により初期化できないことに注意してください。TWDRのデータはTWNTが安定してセット(1)されている限り持続します。データがシフト出力される間、バスのデータが同時にシフト入力されます。TW割り込みによるスリープ動作からの起動後を除いて、TWDRは常にバスに現れる最後のバイトを含みます。この例外の場合のTWDRの内容は不定です。バス調停に敗れた場合のマスターからスリープへの移行でもデータは失われません。確認応答(ACK)ビットの扱いはTW論理回路により自動的に制御され、CPUはACKビットを直接的にアクセスできません。

ビット7~0 - TWD7~0 : TWIデータ (TWI Data)

これら8ビットは送信されるべき次のデータバイトまたは線シリアルバスで最後に受信したデータバイトを構成します。

TWI (スレーブ) アドレスレジスタ (TWI (Slave) Address Register) TWAR

ビット	7	6	5	4	3	2	1	0	
(\$72)	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE	TWAR
Read/Write	R/W								
初期値	1	1	1	1	1	1	1	0	

TWARはスレーブの送受信装置として設定したときにTWが応答する7ビットスレーブアドレスを(TWAR上位7ビットに設定されるべきで、マスター動作では必要とされません。複数マスターのシステムでは、他のマスターによりスレーブとしてアドレス指定され得るマスターで、TWARは設定されなければなりません。

TWARの最下位ビット(TWGCE)は一斉呼び出しアドレス(\$00)認証の許可に使用されます。これらは受信したシリアルアドレスでスレーブアドレスと許可ならば一斉呼び出しアドレスを捜す関連アドレス比較器です。一致が見つかったら割り込み要求が生成されます。

ビット7~1 - TWA6~0 : TWIスレーブアドレス (TWI (Slave) Address)

これら7ビットはTW部のスレーブアドレスを構成します。

ビット0 - TWGCE : 一斉呼び出し検出許可 (TWI General Call Recognition Enable Bit)

セット(1)ならば、このビットは線シリアルバスを伝って与えられる一斉呼び出しの認証検出を許可します。

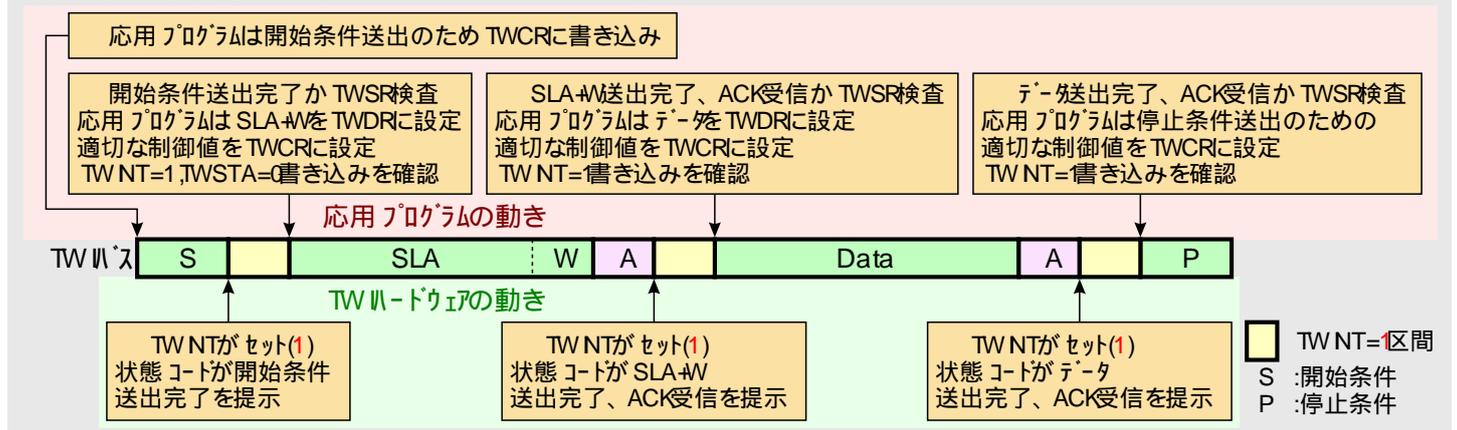
TWの使用法

AVR TWはハイ志向で、割り込みが基本です。割り込みはハイの受信や**開始条件**の送出のような全てのバスの出来事後に起こります。TWは割り込みが基本のため、応用ソフトウェアがTWバス転送中に他の操作を続行するために開放されます。**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**と共に**TW制御レジスタ(TWCR)のTW割り込み許可(TWE)ビット**は、TWCRの**TW割り込み要求フラグ(TWNT)**のセット(1)が割り込み要求を発生すべきかどうか決めることを応用(ソフトウェア)に許します。TWビットがクリア(0)されると、応用(ソフトウェア)はTWバスの動きを検知するためにTWNTフラグをホッピングしなければなりません。

TWNTフラグがセット(1)されると、TWは動作を終え、応用(ソフトウェア)の応答を待ちます。この場合、TWはステータスレジスタ(TWSR)はTWバスの現在の状態を示す値を含みます。そして応用ソフトウェアはTWCRとTWDRの操作により、TWが次のTWバスサイクルで何を行うべきかを決定できます。

図 95は応用(ソフトウェア)がTWバスドウェアにどうインターフェースできるかの簡単な例です。この例ではマスタが単一データバイトをスレーフに送信しようします。この内容はかなり大雑把ですので、より詳細な説明が本項の後に続きます。希望した動きを実現する簡単なコード例も示されます。

図 95. 代表的な送信での応用プログラムとTWのインターフェース



TW送信の最初の段階は**開始条件**を送出することです。これはTWバスドウェアに開始条件送出を命じる特別な値をTWCR内に書くことにより行います。どんな値を書かば後で記述されます。けれども書かれる値においてTWNTビットがセット(1)されることが重要です。TWNTへの1書き込みは、このフラグをクリア(0)します。TWCRでTWNTビットがセット(1)されている限りTWはどんな動作も始めません。応用(ソフトウェア)がTWNTをクリア(0)した後、TWは直ちに**開始条件**の送出を始めます。

開始条件が送出されてしまうと、TWCRでTWNTフラグがセット(1)され、TWSRは**開始条件**が正常に送出されてしまったことを示す状態コードに更新されます。

応用ソフトウェアは**開始条件**が正常に送信されたことを確認するためにTWSRの値を直ぐに検査すべきです。TWSRが他を示している場合、応用ソフトウェアはエラー・ルチン呼び出すような或る特別な動きを講じるかもしれません。期待した状態コードだと仮定すると、応用(ソフトウェア)はTWDRに**SLA+W**を設定しなければなりません。TWDRがアドレスとデータ両方に使用されることを思い出してください。TWDRが希望した**SLA+W**に設定されてしまった後、TWDRにある**SLA+W**の送信をTWバスドウェアへ命じる特別な値がTWCRに書かれなければなりません。どんな値を書かば後で記述されます。けれども書かれる値においてTWNTビットがセット(1)されることが重要です。TWNTへの1書き込みは、このフラグをクリア(0)します。TWCRでTWNTビットがセット(1)されている限りTWはどんな動作も始めません。応用(ソフトウェア)がTWNTをクリア(0)した後、TWは直ちにアドレスパケットの送信を始めます。

アドレスパケットが送信されてしまうと、TWCRでTWNTフラグがセット(1)され、TWSRはアドレスパケットが正常に送信されたことを示す状態コードに更新されます。この状態コードはスレーフがパケットに回答したかどうかも反映します。

応用ソフトウェアはアドレスパケットが正常に送信され、期待されたACKビット値であることを確認するためにTWSRの値を直ぐに検査すべきです。TWSRが他を示している場合、応用ソフトウェアはエラー・ルチン呼び出すような或る特別な動きを講じるかもしれません。期待した状態コードだと仮定すると、応用(ソフトウェア)はTWDRにデータを設定しなければなりません。その後TWDRにあるデータパケットの送信をTWバスドウェアへ命じる特別な値がTWCRに書かれなければなりません。どんな値を書かば後で記述されます。けれども書かれる値においてTWNTビットがセット(1)されることが重要です。TWNTへの1書き込みは、このフラグをクリア(0)します。TWCRでTWNTビットがセット(1)されている限りTWはどんな動作も始めません。応用(ソフトウェア)がTWNTをクリア(0)した後、TWは直ちにデータパケットの送信を始めます。

データパケットが送信されてしまうと、TWCR内のTWNTフラグがセット(1)され、TWSRはデータパケットが正常に送信されたことを示す状態コードに更新されます。この状態コードはスレーフがパケットに回答したかどうかも反映します。

応用ソフトウェアはデータパケットが正常に送信され、期待されたACKビットの値であることを確認するためにTWSRの値を直ぐに検査すべきです。TWSRが他を示している場合、応用ソフトウェアはエラー・ルチン呼び出すような或る特別な動きを講じるかもしれません。期待した状態コードだと仮定すると、応用(ソフトウェア)は**停止条件**の送出をTWバスドウェアへ命じる特別な値がTWCRに書かれなければなりません。どんな値を書かば後で記述されます。けれども書かれる値においてTWNTビットがセット(1)されることが重要です。TWNTへの1書き込みは、このフラグをクリア(0)します。TWCRでTWNTビットがセット(1)されている限り、TWはどんな動作も始めません。応用(ソフトウェア)がTWNTをクリア(0)した後、TWは直ちに**停止条件**の送出を始めます。**停止条件**が送出されてしまった後にTWNTがセット(1)されないことに注意してください。

この例は簡単とはいえ、全ての TW 送信に関係した原理を示しています。これらは次のように要約できます。

TW が動作を終了して応用ソフトウェアの反応を予想するとき、TWNTフラグがセット(1)されます。SCL信号線はTWNTがクリア(0)されるまでLowに引き込まれます。

TWNTフラグがセット(1)されると、使用者は次のTWバスサイクルに関連した値で必要な全てのTWレジスタを更新しなければなりません。例で示されるように、TWDRIは次のTWバスサイクルで送信されるべき値を設定されなければなりません。

必要な全てのTWレジスタを更新し、その他保留中の応用ソフトウェアの処理が完了してしまった後、TWCRが書かれます。TWCR書き込み時、TWNTビットはセット(1)されるべきです。TWNTへの書き込みは、このフラグをクリア(0)します。どんな動作がTWCR設定により指定されても、TWはその(TWNT=0)後に実行を始めます。

次にアセンブリ言語とC言語の実装例が与えられます。以下のコードは、例えばインクルードファイルの使用により、様々な定義が作成されている前提であることに注意してください。

	アセンブリ言語プログラム例	C言語プログラム例	コメント
	LDI R16, (1<<TWINT) (1<<TWSTA) (1<<TWEN) OUT TWCR, R16	TWCR = (1<<TWINT) (1<<TWSTA) (1<<TWEN);	; 開始条件送出
WAIT1:	IN R16, TWCR SBRS R16, TWINT RJMP WAIT1	while (!(TWCR & (1<<TWINT)));	; TWNT=1まで待機 ; 開始条件送出完了待機)
	IN R16, TWSR ANDI R16, \$F8 CPI R16, START BRNE ERROR	if ((TWSR & 0xF8) != START) ERROR();	; TWレジスタレジスタ値検査 ; 前置分周選択ビットのマスク ; STARTと異なる状態コードで ; エラ-処理へ
	LDI R16, SLA_W OUT TWDRI, R16 LDI R16, (1<<TWINT) (1<<TWEN) OUT TWCR, R16	TWDRI = SLA_W; TWCR = (1<<TWINT) (1<<TWEN);	; TWDRIにSLA_Wを設定 ; アドレス送信開始のため ; TWCRのTWNTをクリア(0)
WAIT2:	IN R16, TWCR SBRS R16, TWINT RJMP WAIT2	while (!(TWCR & (1<<TWINT)));	; TWNT=1まで待機 ; SLA_W送出完了と ; ACK/NACK受信完了待機)
	IN R16, TWSR ANDI R16, \$F8 CPI R16, MT_SLA_ACK BRNE ERROR	if ((TWSR & 0xF8) != MT_SLA_ACK) ERROR();	; TWレジスタレジスタ値検査 ; 前置分周選択ビットのマスク ; MT_SLA_ACKと違う状態コードで ; エラ-処理へ
	LDI R16, DATA OUT TWDRI, R16 LDI R16, (1<<TWINT) (1<<TWEN) OUT TWCR, R16	TWDRI = DATA; TWCR = (1<<TWINT) (1<<TWEN);	; TWDRIにデータを設定 ; データ送信開始のため ; TWCRのTWNTをクリア(0)
WAIT3:	IN R16, TWCR SBRS R16, TWINT RJMP WAIT3	while (!(TWCR & (1<<TWINT)));	; TWNT=1まで待機 ; データ送出完了と ; ACK/NACK受信完了待機)
	IN R16, TWSR ANDI R16, \$F8 CPI R16, MT_DATA_ACK BRNE ERROR	if ((TWSR & 0xF8) != MT_DATA_ACK) ERROR();	; TWレジスタレジスタ値検査 ; 前置分周選択ビットのマスク ; MT_DATA_ACKと違う状態コードで ; エラ-処理へ
	LDI R16, (1<<TWINT) (1<<TWSTO) (1<<TWEN) OUT TWCR, R16	TWCR = (1<<TWINT) (1<<TWSTO) (1<<TWEN);	; 停止条件送出

注: 拡張 I/O領域に配置した I/Oレジスタに対し、N, OUT, SBRS, SBRC, CBI, SB命令は拡張 I/O領域へのアクセスを許す命令に置き換えられなければなりません。代表的には SBRS, SBRC, SBR, CBR命令と組み合わせた LDS, STS命令です。

転送種別

TWは4つの主な動作種別の1つで動けます。これらはマスタ送信装置 (MT)、マスタ受信装置 (MR)、スレーブ送信装置 (ST)、スレーブ受信装置 (SR)と名付けられます。これら種別の多くは同じ応用に使用できます。例えば、TW方式のEEPROM内にデータを写すためにTWはMT動作を、EEPROMからデータを読み戻すためにMR動作を使用できます。システム内に他のマスタが存在する場合、それらのいくつかはTWにデータを送信するかもしれませんが、するとSR動作が使用されるでしょう。どの動作種別が適正かを決めるのは応用ソフトウェアです。

次項は、これら動作種別の各々を記述します。起こり得る状態コードは各動作種別のデータ伝送詳細図に沿って示されます。これらの図は次の略号を含みます。

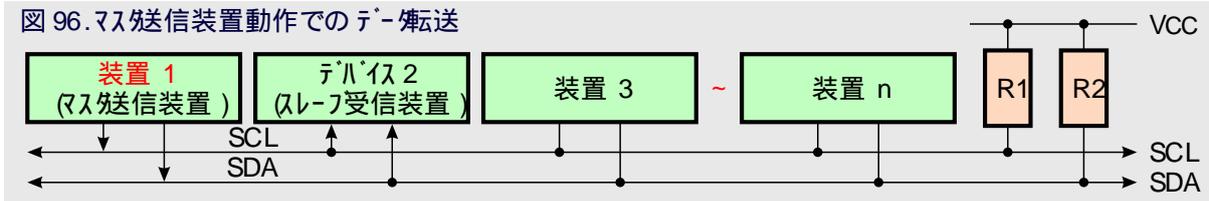
S	開始 (START条件)
Rs	再送開始 (REPEATED START条件)
R	読み出し指定ビット (SDA=High)
W	書き込み指定ビット (SDA=Low)
A	確認応答 (ACK)ビット (SDA=Low)
\bar{A}	非確認応答 (NACK)ビット (SDA=High)
Data	8ビットデータバイト
P	停止 (STOP条件)
SLA	スレーブアドレス

図 97 ~ 103内の楕円 (訳注 原文は円)はTW制御レジスタ(TWCR)のTW割り込み要求フラグ(TWNT)がセット(1)されたことを示すために使用されます。この楕円内の番号は前置分周選択ビットが0で遮蔽されたTWステータスレジスタ(TWSR)に保持した状態コードを表します。これら位置での動きはTW転送を継続または完了することを応用(ソフトウェア)により行われなければなりません。TW転送はソフトウェアによりTWNTフラグがクリア(0)されるまで一時停止されます。

TW割り込み要求フラグ(TWNT)がセット(1)される時、TWステータスレジスタ(TWSR)の状態コードは適切なソフトウェア動作を決めるために使用されます。各状態コードに対する必要なソフトウェア動作や後続のシリアル転送の詳細は表 88 ~ 91で与えられます。これらの表において前置分周選択ビットが0で遮蔽されていることに注意してください。

マス送信装置動作

マス送信装置動作では何ハイかのデータがスレーブ受信装置へ送信されます (図 96 参照)。マス動作へ移行するためには**開始条件**が送出されなければなりません。それに続くアドレスパケットの形式がマス送信装置またはマス受信装置のどちらへ移行すべきかを決めます。**SLA+W**が送信されるとマス送信装置 (MT)へ移行し、**SLA+R**が送信されるとマス受信装置 (MR)へ移行します。本項で言及する全ての状態コードは**前置分周選択ビット**が **0**か、または **0**で遮蔽されることが前提です。



開始条件は TWCR に次の値を書くことにより送出されます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	1	0	X	1	0	X

TWENは 2線シリアルインターフェイス (TWI) を許可するためにセット (1) されなければなりません。**TWSTA**は**開始条件**を送出するために 1 を書かれなければならず、**TWNT**は TWNT フラグをクリア (0) するために 1 を書かれなければなりません。そして TW は 2線シリアルバスを検査し、バスが開放になると直ぐに**開始条件**を生成します。**開始条件**が送出されてしまった後、TWNT フラグがハードウェアによりセット (1) され、**TWSR**の状態コードが \$08 (表 88 参照) になります。マス送信装置へ移行するためには、**SLA+W**が送信されなければなりません。これは **TWDR**に **SLA+W**を書くことにより行います。その後、転送を継続するために TWNT ビットは (1 の書き込みにより) クリア (0) されるべきです。これは TWCR に次の値を書くことにより成し遂げられます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	0	0	X	1	0	X

SLA+Wが送信されてしまい、応答ビットが受信されてしまうと、TWNT が再びセット (1) され、TWSR の状態コードの数値が利用可能になります。マス動作で可能性のある状態コードは \$18, \$20, \$38 です。これら状態コードの各々に対する適切な動作は表 88 で詳述されます。

SLA+Wが正常に送信されてしまうと、データパケットが送信されるべきです。これは TWDR にデータハイを書き込むことにより行われます。TWDR は TWNT が 1 のときにだけ書かれなければなりません。そうでなければ、そのアクセスは破棄され、**上書きエラー (TWWC) フラグ**が TWCR でセット (1) されます。TWDR 更新後、転送を継続するために TWNT ビットは (1 の書き込みにより) クリア (0) されるべきです。これは TWCR に次の値を書くことにより成し遂げられます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	0	0	X	1	0	X

この手順は最後のハイが送られてしまうまで繰り返され、この転送は**停止条件**または**再送開始条件**を生成することにより終了されます。**停止条件**は TWCR に次の値を書くことにより生成されます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	0	1	X	1	0	X

再送開始条件は TWCR に次の値を書くことにより生成されます。

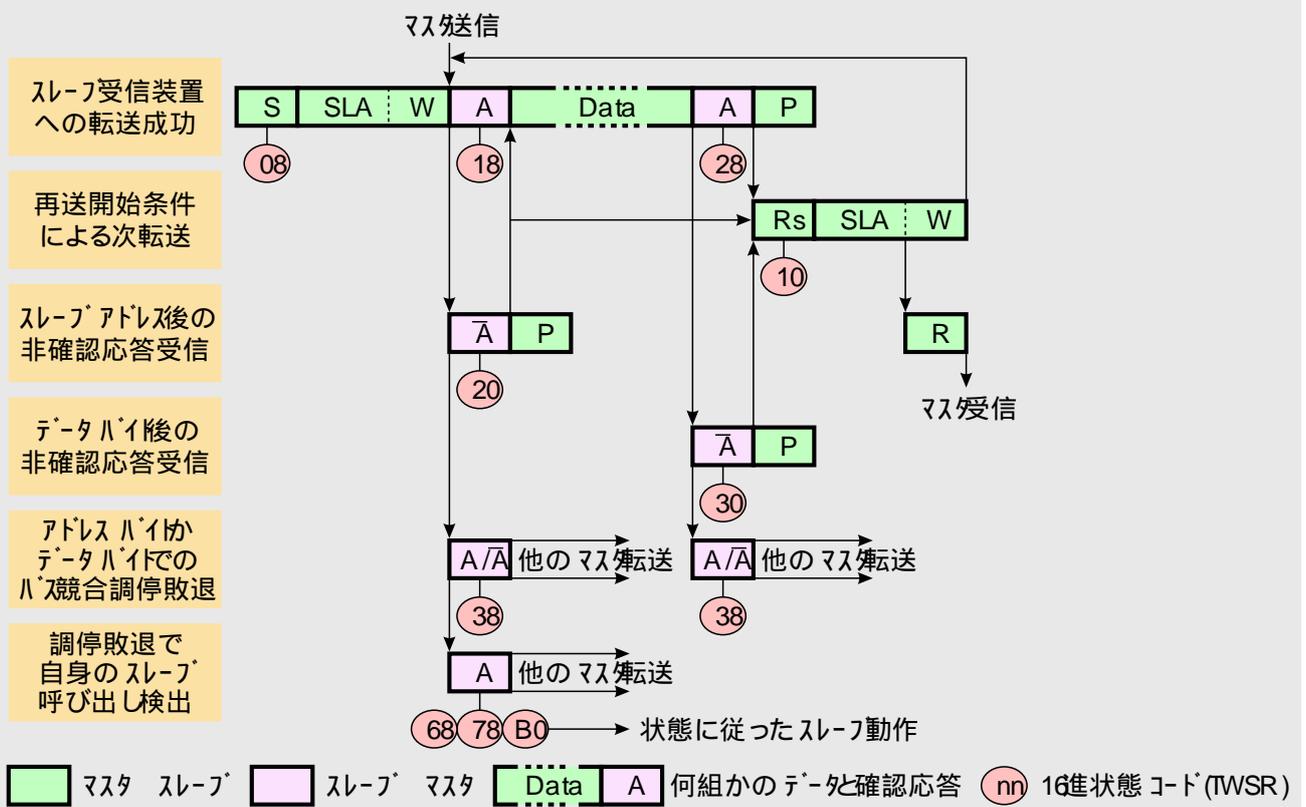
ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	1	0	X	1	0	X

再送開始条件 (状態コード \$10 後、2線シリアルインターフェイスは**停止条件**を送出せずにより再び同じスレーブまたは新しいスレーブにアクセスできます。**再送開始条件**はマスデータバスの制御を失わずにマス送信装置、マス受信装置間を切り替えることを可能にします (訳注 原文ではスレーブも含まれていますが、基本動作に対して不適切なため削除しました))

表 88. マス送信装置動作の状態コード (注: TWSRの前置分周選択ビットは 0 の前提)

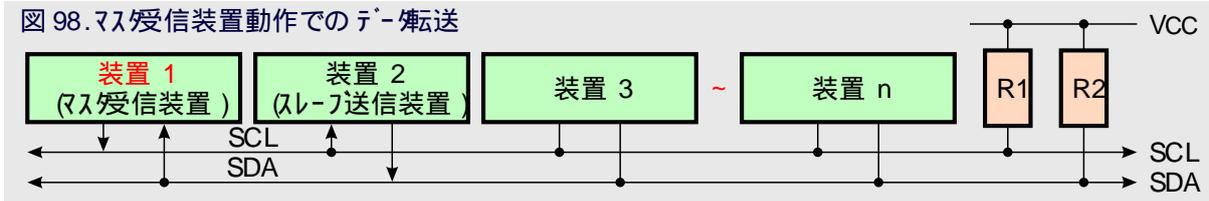
状態コード (TWSR)	直前の動作とハスの状態	ソフトウェアの対応					TWCR設定によるハードウェア動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWNT	TWEA	
\$08	開始条件送信	SLA+W設定	0	0	1	X	SLA+W送信、ACKかNACK受信
\$10	再送開始条件送信	SLA+W設定	0	0	1	X	SLA+W送信、ACKかNACK受信
		SLA+R設定	0	0	1	X	SLA+R送信、マス受信動作へ移行
\$18	SLA+W送信 ACK受信	デ-設定	0	0	1	X	デ-送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件 開始条件送信、TWSTO=0
\$20	SLA+W送信 NACK受信	デ-設定	0	0	1	X	デ-送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件 開始条件送信、TWSTO=0
\$28	データハイ送信 ACK受信	デ-設定	0	0	1	X	デ-送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件 開始条件送信、TWSTO=0
\$30	データハイ送信 NACK受信	デ-設定	0	0	1	X	デ-送信、ACKかNACK受信
		なし	1	0	1	X	再送開始条件送信
			0	1	1	X	停止条件送信、TWSTO=0
			1	1	1	X	停止条件 開始条件送信、TWSTO=0
\$38	SLA+W, デ-データハイで ハス競合調停敗退	なし	0	0	1	X	ハス開放、未指定スレーフ動作へ移行
			1	0	1	X	ハス開放時に開始条件送信

図 97. マス送信装置動作の形式と状態



マス受信装置動作

マス受信装置動作では何ハイかのデータがスレーブ送信装置から受信されます (図 98 参照)。マス動作へ移行するためには**開始条件**が送出されなければなりません。それに続くアドレスパケットの形式がマス送信装置またはマス受信装置のどちらへ移行すべきかを決めます。**SLA+W**が送信されるとマス送信装置 (MT)へ移行し、**SLA+R**が送信されるとマス受信装置 (MR)へ移行します。本項で言及する全ての状態コードは**前置分周選択ビット**が **0**か、または **0**で遮蔽されることが前提です。



開始条件は TWCR に次の値を書くことにより送出されます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	1	0	X	1	0	X

TWENは 2線シリアルインターフェース (TWI) を許可するためにセット (1) されなければなりません。**TWSTA**は**開始条件**を送出するために 1 を書かれなければならず、**TWNT**は TWNT フラグをクリア (0) するために 1 を書かれなければなりません。そして TW は 2線シリアルバスを検査し、バスが開放になると直ぐに**開始条件**を生成します。**開始条件**が送出されてしまった後、TWNT フラグがハードウェアによりセット (1) され、**TWSR**の状態コードが \$08 (表 89 参照) になります。マス受信装置へ移行するためには、**SLA+R**が送信されなければなりません。これは **TWDR**に **SLA+R**を書くことにより行います。その後、転送を継続するために TWNT ビットは (1 の書き込みにより) クリア (0) されるべきです。これは TWCR に次の値を書くことにより成し遂げられます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	0	0	X	1	0	X

SLA+Rが送信されてしまい、応答ビットが受信されてしまうと、TWNT が再びセット (1) され、TWSR の状態コードの数値が利用可能になります。マス動作で可能性のある状態コードは \$38, \$40, \$48 です。これら状態コードの各々に対する適切な動作は表 89 で詳述にされます。

ハードウェアにより TWNT フラグがセット (1) されると、受信したデータが TWDR から読めます。この手順は最後のハイが受信されてしまうまで繰り返されます。最後のハイが受信されてしまった後、マス受信装置は最後に受信したデータハイ後の **NACK** 送信によりスレーブ送信装置へ通知すべきです。この転送は**停止条件**または**再送開始条件**を生成することにより終了されます。**停止条件**は TWCR に次の値を書くことにより生成されます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	0	1	X	1	0	X

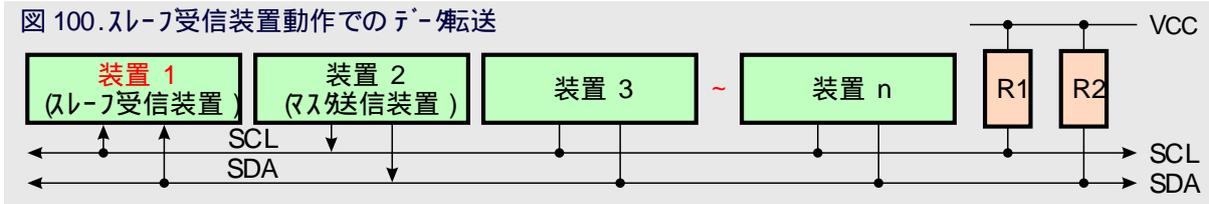
再送開始条件は TWCR に次の値を書くことにより生成されます。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
設定値	1	X	1	0	X	1	0	X

再送開始条件 (状態コード \$10 後、2線シリアルインターフェースは**停止条件**を送出せずに再び同じスレーブまたは新しいスレーブにアクセスできます。**再送開始条件**はマスがバスの制御を失わずにマス送信装置、マス受信装置間を切り替えることを可能にします (訳注 原文ではスレーブも含まれていますが、基本動作に対して不適切なため削除しました))

スレーフ受信装置動作

スレーフ受信装置動作では何れかのデータがマスタ送信装置から受信されます (図 100 参照)。本項で言及する全ての状態コードは前置分周選択ビットが 0 か、または 0 で遮蔽されることが前提です。



スレーフ受信装置動作を始めるには **TWAR** と **TWCR** が次のように初期化されなければなりません。

ビット	7	6	5	4	3	2	1	0
TWCR	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE
設定値	装置自身のスレーフアドレス							1/0

上位 7 ビットはマスタによりアドレス指定される時に 2 線シリアル インターフェイスが応答するアドレスです。最下位 (**TWGCE**) ビットがセット (1) されるなら、TW は一斉呼び出し (\$00) に応答し、さもなければ一斉呼び出しアドレスを無視します。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWE
設定値	0	1	0	0	0	1	0	X

TWEN は 2 線シリアル インターフェイス (TWI) を許可するために 1 を書かれなければなりません。**TWEA** は装置自身のスレーフアドレスまたは一斉呼び出しアドレスの確認応答 (ACK) を許可するために 1 を書かれなければなりません。**TWSTA** と **TWSTO** は 0 を書かれなければなりません。

TWAR と **TWCR** が初期化されてしまうと、TW は自身のスレーフアドレスまたは許可ならば一斉呼び出しアドレスとそれに続くデータ方向ビットによりアドレス指定されるまで待機します。方向ビットが 0 (R) ならば TW はスレーフ受信装置で動作し、さもなければ (1 (R) ならば) スレーフ送信装置へ移行されます。自身のスレーフアドレスと **W** ビットが受信されてしまった後、**TWNT** フラグがセット (1) され、**TWSR** から有効な状態コードが読めます。この状態コードは適切なソフトウェア動作を決めるために使用されます。各状態コードに対して行うべき適切な動作は表 90 で詳述されます。スレーフ受信装置動作は TW がマスタ動作の間で調停に敗れた場合にも移行されるかもしれません。(状態コード \$68, \$78 参照)

転送中に **TWEA** ビットがリセット (0) されると、TW は次に受信したデータハイ後の SDA に非確認応答 (NACK) (SDA=High) を返します。これはスレーフがこれ以上受信できないことを示すために使用できます。**TWEA** が 0 の間中、TW は自身のスレーフアドレスに応答しませんが、2 線シリアルバスは未だ監視され、アドレス認証は **TWEA** のセット (1) により何時でも再開できます。これは **TWEA** ビットが TW を 2 線シリアルバスから一時的に隔離するために使用できることを意味します。

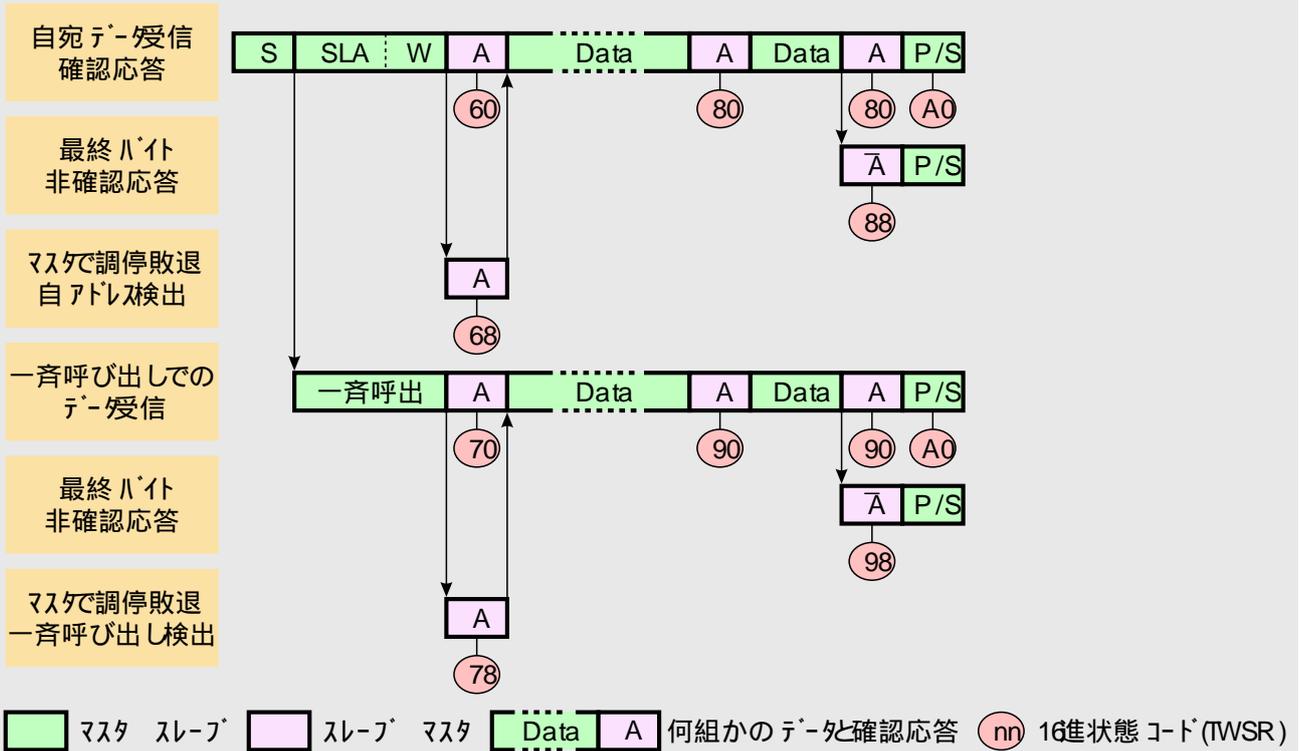
アイドル動作を除くスリープ動作では TW のクロックシステムが OFF にされます。**TWEA** ビットがセット (1) されていると、このインターフェイスはクロック元として 2 線シリアルバスクロック (SCL) を使用することにより、自身のスレーフアドレスと一斉呼び出しに未だ確認応答できます。その後データハイがスリープ動作から起動し、TW は起動中から **TWNT** フラグが (1 書き込みにより) クリア (0) されるまで SCL クロックを Low に保ちます。その後のデータ受信は AVR クロックが通常通り走行することで通常通りに行われます。AVR が長い起動時間に設定されていると、SCL 信号線が長時間 Low に保持され、他のデータ送信を阻止するかもしれないことに気付いてください。

これらの (アイドル動作を除く) スリープ動作から起動すると、2 線シリアル インターフェイス データレジスタ (**TWDR**) はバスで渡す最後のハイを反映しないことに注意してください。

表 90. スレーブ受信装置動作の状態コード (注: TWSRの前置分周選択ビットは 0 の前提)

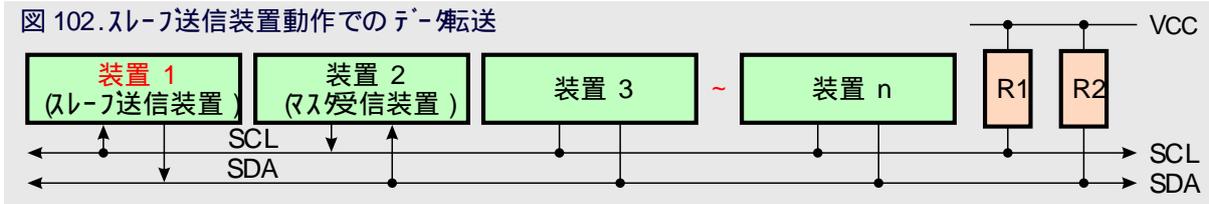
状態コード (TWSR)	直前の動作とバスの状態	ソフトウェアの応答					TWCR設定によるハードウェア動作
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWNT	TWEA	
\$60	自宛 SLA+W受信 ACK応答	なし	X	0	1	0	デー受信、NACK応答
			X	0	1	1	デー受信、ACK応答
\$68	マスクでの SLA+R/Wで 調停敗退 / 自宛 SLA+W 受信 / ACK応答	なし	X	0	1	0	デー受信、NACK応答
			X	0	1	1	デー受信、ACK応答
\$70	一斉呼び出し受信 ACK応答	なし	X	0	1	0	デー受信、NACK応答
			X	0	1	1	デー受信、ACK応答
\$78	マスクでの SLA+R/Wで 調停敗退 / 一斉呼び 出し受信 / ACK応答	なし	X	0	1	0	デー受信、NACK応答
			X	0	1	1	デー受信、ACK応答
\$80	自宛 データハイ受信 ACK応答	デー取得	X	0	1	0	デー受信、NACK応答
			X	0	1	1	デー受信、ACK応答
\$88	自宛 データハイ受信 NACK応答	デー取得	0	0	1	0	未指定スレーブ動作へ移行、応答禁止
			0	0	1	1	未指定スレーブ動作へ移行、応答対応
			1	0	1	0	未指定スレーブ動作へ移行、応答禁止 バス開放で開始条件送信
			1	0	1	1	未指定スレーブ動作へ移行、応答対応 バス開放で開始条件送信
\$90	一斉呼び出しのデータ ハイ受信 / ACK応答	デー取得	X	0	1	0	デー受信、NACK応答
			X	0	1	1	デー受信、ACK応答
\$98	一斉呼び出しのデータ ハイ受信 NACK応答	デー取得	0	0	1	0	未指定スレーブ動作へ移行、応答禁止
			0	0	1	1	未指定スレーブ動作へ移行、応答対応
			1	0	1	0	未指定スレーブ動作へ移行、応答禁止 バス開放で開始条件送信
			1	0	1	1	未指定スレーブ動作へ移行、応答対応 バス開放で開始条件送信
\$A0	自指定中の 停止条件または 再送開始条件検出	なし	0	0	1	0	未指定スレーブ動作へ移行、応答禁止
			0	0	1	1	未指定スレーブ動作へ移行、応答対応
			1	0	1	0	未指定スレーブ動作へ移行、応答禁止 バス開放で開始条件送信
			1	0	1	1	未指定スレーブ動作へ移行、応答対応 バス開放で開始条件送信

図 101. スレーブ受信装置動作の形式と状態



スレーフ送信装置動作

スレーフ送信装置動作では何れかのデータがマスタ送信装置へ送信されます (図 102 参照)。本項で言及する全ての状態コードは前置分周選択ビットが **0**か、または **0**で遮蔽されることが前提です。



スレーフ送信装置動作を始めるには **TWAR**と**TWCR**が次のように初期化されなければなりません。

ビット	7	6	5	4	3	2	1	0
TWCR	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE
設定値	装置自身のスレーフアドレス							1/0

上位 7ビットはマスタによりアドレス指定される時に 2線シリアル インターフェイスが応答するアドレスです。最下位 (**TWGCE**)ビットがセット(1)されるなら、TWは一斉呼び出し (**\$00**)に回答し、さもなければ一斉呼び出しアドレスを無視します。

ビット	7	6	5	4	3	2	1	0
TWCR	TWNT	TWEA	TWSTA	TWSTO	TWVC	TWEN	-	TWE
設定値	0	1	0	0	0	1	0	X

TWENは 2線シリアル インターフェイス (TWI)を許可するために **1**を書かれなければなりません。**TWEA**は装置自身のスレーフアドレスまたは一斉呼び出しアドレスの確認応答 (**ACK**)を許可するために **1**を書かれなければなりません。**TWSTA**と**TWSTO**は **0**を書かれなければなりません。

TWARと**TWCR**が初期化されてしまうと、TWは自身のスレーフアドレスまたは許可ならば一斉呼び出しアドレスとそれに続くデータ方向ビットによりアドレス指定されるまで待機します。方向ビットが **1 (R)**ならば TWはスレーフ送信装置で動作し、さもなければ (**0 (W)**ならば)スレーフ受信装置へ移行されます。自身のスレーフアドレスと**R**ビットが受信されてしまった後、**TWNT**フラグがセット(1)され、**TWSR**から有効な状態コードが読めます。この状態コードは適切なソフトウェア動作を決めるために使用されます。各状態コードに対して行うべき適切な動作は表 91で詳述されます。スレーフ送信装置動作は TWがマスタ動作の間で調停に敗れた場合にも移行されるかもしれません。(状態コード **\$B0**参照)

転送中に **TWEA**ビットが **0**を書かれると、TWは転送の最後のハイを送信します。マスタ受信装置が最終ハイ後に **ACK**または **NACK**のどちらを送信するかによって状態 **\$C0**か **\$C8**へ移行します。TWはアドレス指定されていないスレーフ動作に切り替えられ、マスタ転送を続ける場合、そのマスタを無視します。従ってマスタ受信装置はシリアルデータとして全て **1**を受信します。スレーフが最後のハイを送信 (**TWEA**が **0**で、マスタからの **NACK**を予測したとしても、マスタが **ACK**送信により追加データハイを要求すると状態 **\$C8**へ移行します。

TWEAが **0**の間中、TWは自身のスレーフアドレスに回答しませんが、2線シリアルバスは未だ監視され、アドレス認証は **TWEA**のセット(1)により何時でも再開できます。これは **TWEA**ビットが TWを 2線シリアルバスから一時的に隔離するために使用できることを意味します。

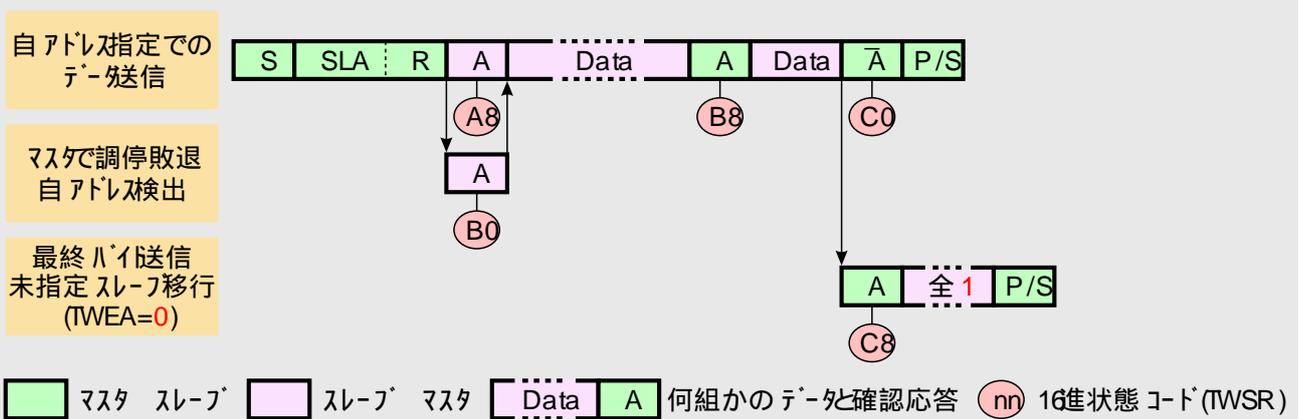
アイドル動作を除くスレーフ動作では TWへのクロックシステムが OFFにされます。**TWEA**ビットがセット(1)されていると、このインターフェイスはクロック元として 2線シリアルバスクロック (SCL)を使用することにより、自身のスレーフアドレスと一斉呼び出しに未だ確認応答できます。その後データハイがスレーフ動作から起動し、TWは起動中から **TWNT**フラグが (1書き込みにより)クリア (**0**)されるまで SCLクロックを **Low**に保ちます。その後のデータ受信は AVRクロックが通常通り走行することで通常通りに行われます。AVRが長い起動時間に設定されていると、SCL信号線が長時間 **Low**に保持され、他のデータ送信を阻止するかもしれないことに気付いてください。

これらの (アイドル動作を除く)スレーフ動作から起動すると、2線シリアルインターフェイスデータレジスタ (**TWDR**)はバスで渡す最後のハイを反映しないことに注意してください。

表 91. スレーフ送信装置動作の状態コード (注: TWSRの前置分周選択ビットは 0 の前提)

状態コード (TWSR)	直前の動作とバスの状態	ソフトウェアの応答				TWCR設定によるハードウェア動作	
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWNT		TWEA
\$A8	自宛 SLA+R受信 ACK応答	デ-般設定	X	0	1	0	最終データハイ送信、NACK受信予定
			X	0	1	1	データハイ送信、ACK受信予定
\$B0	マスタでの SLA+R/Wで 調停敗退 / 自宛 SLA+ R受信 / ACK応答	デ-般設定	X	0	1	0	最終データハイ送信、NACK受信予定
			X	0	1	1	データハイ送信、ACK受信予定
\$B8	データハイ送信 ACK受信	デ-般設定	X	0	1	0	最終データハイ送信、NACK受信予定
			X	0	1	1	データハイ送信、ACK受信予定
\$C0	データハイ送信 NACK受信	なし	0	0	1	0	未指定スレーフ動作へ移行、応答禁止
			0	0	1	1	未指定スレーフ動作へ移行、応答対応
			1	0	1	0	未指定スレーフ動作へ移行、応答禁止 バス開放で開始条件送信
			1	0	1	1	未指定スレーフ動作へ移行、応答対応 バス開放で開始条件送信
\$C8	最終データハイ送信 (TWEA=0) ACK受信	なし	0	0	1	0	未指定スレーフ動作へ移行、応答禁止
			0	0	1	1	未指定スレーフ動作へ移行、応答対応
			1	0	1	0	未指定スレーフ動作へ移行、応答禁止 バス開放で開始条件送信
			1	0	1	1	未指定スレーフ動作へ移行、応答対応 バス開放で開始条件送信

図 103. スレーフ送信装置動作の形式と状態



その他の状態

定義した TW 状態に従わない 2 つの状態コードがあります。表 92 をご覧ください。

状態 \$F8 は TW 割り込み要求フラグ (TWNT がセット (1) されたため、適切な情報が利用できないことを示します。これは他の状態間で TWI がシリアル転送に関係しないときに起きます。

状態 \$00 は 2 線シリアルバス転送中にバス異常が起きたことを示します。バス異常はフレーム形式の不正な位置で開始 (START 条件または停止 (STOP 条件) が起きるときに発生します。このような不正位置の例はアドレスハイ、データハイ、確認応答 (ACK) ビットのシリアル転送中です。バス異常が起きると TWNT がセット (1) されます。バス異常から回復するには、停止 (STOP 条件) 生成許可 (TWSTO) ビットがセット (1) され、TWNT が論理 1 書き込みによりクリア (0) されなければなりません。これは TW をアドレス指定されていないスレーフ動作にさせ、TWSTO ビットをクリア (0) させます (TWCR の他のビットは影響されません)。SDA と SCL 信号進は開放され、停止条件は送出されません。

表 92. その他の状態コード (注: TWSRの前置分周選択ビットは 0 の前提)

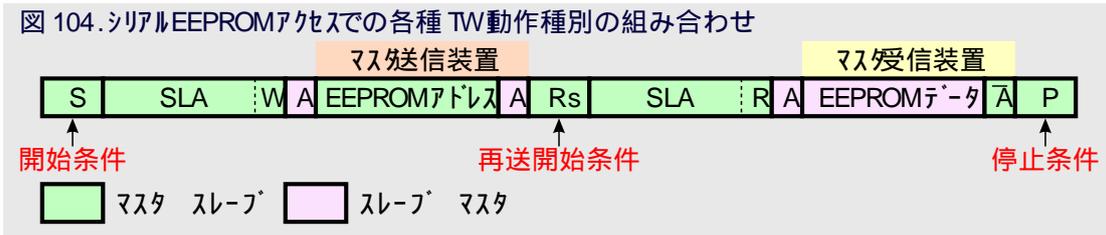
状態コード (TWSR)	直前の動作とバスの状態	ソフトウェアの応答				TWCR設定によるハードウェア動作	
		TWDR操作	TWCR設定				
			TWSTA	TWSTO	TWNT		TWEA
\$F8	適切な状態情報なし TWNT=0	なし	-	-	-	待機または現在の転送続行	
\$00	不正な開始条件 / 停止条件でのバス異常	なし	0	1	1	停止条件を送出せずにバスを開放 TWSTO=0	

各種 TW動作種別の組み合わせ

いくつかの場合で、望んだ動作を満たすために各々の TW動作種別は組み合わせられなければなりません。例えば シリアルEEPROM からのデータ読み出しを考えてください。一般的に、このような転送は次の段階を含みます。

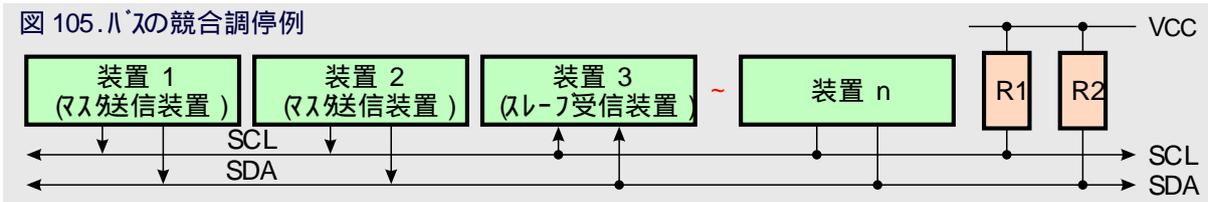
- 転送が開始されなければなりません。
- EEPROMは読み出すべき場所を指示されなければなりません。
- 読み出しが実行されなければなりません。
- 転送が終了されなければなりません。

データがマスタからスレーブへとその逆の両方向へ転送されることに注意してください。マスタはどの場所を読みたいかをスレーブに指示しなければならず、マスタ送信装置動作の使用を必要とします。その後データはスレーブから読まねばならず、マスタ受信装置動作の使用を意味します。従って転送方向が切り替えられなければなりません。マスタはこれら全ての段階中にバスの制御を保持しなければならず、この手順は排他的 非分断 操作として行われるべきです。複数マスタシステムでこの原則に違反すると、他のマスタと段階間でEEPROM内のデータポイントを変更するかもしれず、死のマスタは不正なデータ位置を読むでしょう。このような転送方向の切り替えは、アドレスハイの送信とデータの受信間で**再送開始条件**を送出することにより成し遂げられます。**再送開始条件**後もマスタはバスの占有権を保持します。次の図は、この転送の流れを示します。



複数マスタシステムでのバス競合と調停

複数のマスタが同じバスに接続されると、それらの一つまたはそれ以上により同時に送信が開始されるかもしれません。TWはマスタの一つが転送を続けることを許され、手順内でデータが失われないような方法で、このような状態が扱われることを標準で保証します。2つのマスタがスレーブ受信装置へデータを送信することを試みる場合の調停状況の例は以下で図示されます。



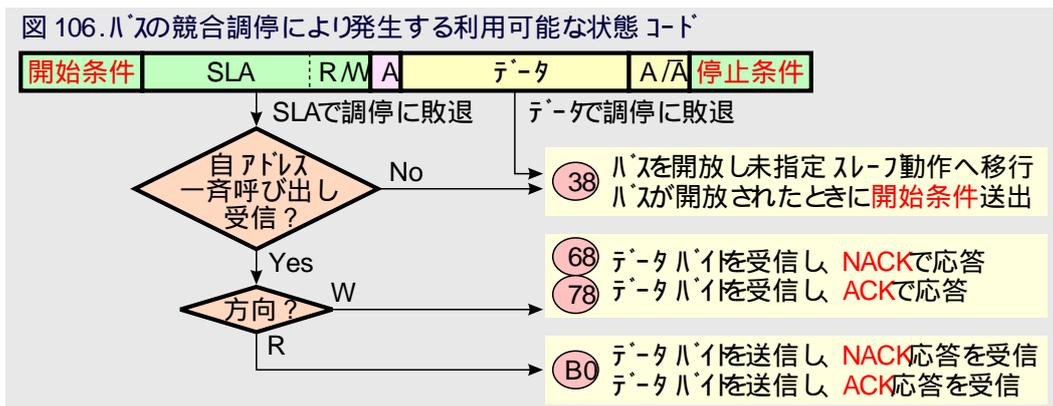
以下で示されるように様々な異なる状況が調停中に起こるかもしれません。

複数のマスタが同じスレーブに全く同じ通信を実行する場合。この場合、スレーブもマスタのどれもがバスの衝突について知りません。

複数のマスタが異なるデータまたは方向ビット(R/W)で同じスレーブをアクセスする場合。この場合、R/Wビットまたはデータビットのどちらかで調停が起きます。他のマスタがSDAに0を出力する間に1を出力しようとするマスタが調停に敗れます。敗れるマスタは応用ソフトウェアの処置によって未指定スレーブ動作に切り替えるか、またはバスが開放になるまで待つて新規**開始条件**を送出します。

複数のマスタが異なるスレーブをアクセスする場合。この場合、SLAビット内で調停が起きます。他のマスタがSDAに0を出力する間に1を出力しようとするマスタが調停に敗れます。SLA内で調停に敗れるマスタは勝つマスタによりアドレス指定されるかを検査するため、スレーブ動作に切り替えます。アドレス指定されると、R/Wビットの値によってスレーブ受信装置(SR動作)またはスレーブ送信装置(ST動作)へ切り替えます。アドレス指定されないならば、応用ソフトウェアの処置によって未指定スレーブ動作に切り替えるか、またはバスが開放になるまで待つて新規**開始条件**を送出します。

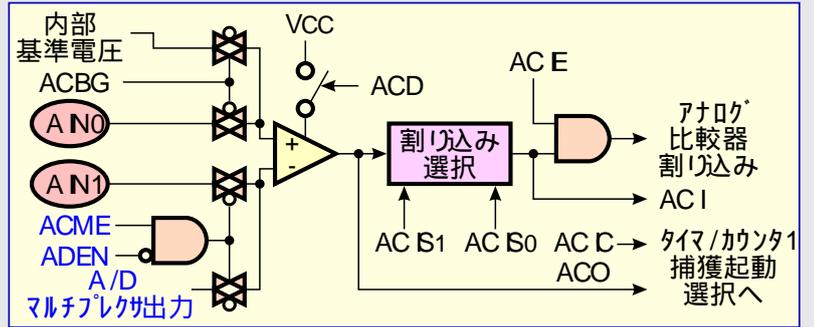
これは図 106で要約されます。利用可能な状態コードは楕円 **訳注** 原文は円 で与えられます。



アナログ比較器

アナログ比較器は非反転入力 AN0ピンと反転入力 AN1ピンの入力値を比較します。非反転 AN0ピンの電圧が反転 AN1ピンの電圧より高いとき、ACSRのアナログ比較器出力 (ACO)ビットがセット(1)されます。この比較器の出力はタイマ/カウンタ1の捕獲 (キャプチャ機能を起動するために設定できます。加えて、この比較器はアナログ比較器専用の独立した割り込みを起動できます。使用者は比較器出力の立ち上り、立ち下り、またはその両方で割り込み起動を選べます。この比較器とその周辺論理回路の構成図は図 107で示されます。

図 107. アナログ比較器部構成図



注：A/Dマルチプレクサ出力については 152頁の表 94をご覧ください。
アナログ比較器ピン配置については 1頁の「ピン配置」と49頁の表 39を参照してください。

アナログ比較器 制御 / ステータス レジスタ (Analog Comparator Control and Status Register) ACSR

ビット	7	6	5	4	3	2	1	0	
\$08 (\$28)	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACS1	ACS0	ACSR
Read/Write	RW	RW	R	RW	RW	RW	RW	RW	
初期値	0	0	不定	0	0	0	0	0	

ビット7 - ACD : アナログ比較器禁止 (Analog Comparator Disable)

このビットが論理 1を書かれると、アナログ比較器への電力がOFFにされます。このビットはアナログ比較器をOFFにするために何時でもセット(1)できます。これは通常動作やアイドル動作で電力消費を削減します。ACDビットを変更するとき、ACSRでアナログ比較器割り込み許可 (ACIE)ビットをクリア(0)することにより、アナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更されるときに割り込みが起り得ます。

ビット6 - ACBG : 基準電圧選択 (Analog Comparator Bandgap Select)

このビットがセット(1)されると、内部基準電圧 (公称 1.23V) がアナログ比較器への非反転入力に取って代わります。このビットがクリア(0)されると、AN0がアナログ比較器の非反転入力に印加されます。32頁の「内部基準電圧」をご覧ください。

ビット5 - ACO : アナログ比較器出力 (Analog Comparator Output)

アナログ比較器の出力は同期化され、その後直接ACOに接続されます。この同期化は1~2クロックサイクルの遅延をもたらします。

ビット4 - ACI : アナログ比較器割り込み要求フラグ (Analog Comparator Interrupt Flag)

このビットは比較器出力での出来事がACSRのアナログ比較器割り込み条件 (ACS1 ACS0)ビットにより定義した割り込み方法で起動するときにセット(1)されます。ACSRのアナログ比較器割り込み許可 (ACIE)ビットがセット(1)され、ステータスレジスタ(SREG)の全割り込み許可 (I)ビットがセット(1)されていると、アナログ比較器割り込みルーチンが実行されます。対応する割り込み処理ルーチンを実行すると、ACはハードウェアによりクリア(0)されます。代わりに、このフラグへ論理 1を書くことによってもACはクリア(0)されます。

ビット3 - ACIE : アナログ比較器 割り込み許可 (Analog Comparator Interrupt Enable)

ACIEビットが論理 1を書かれ、ステータスレジスタ(SREG)の全割り込み許可 (I)ビットがセット(1)されていると、アナログ比較器割り込みが活性(有効)にされます。論理 0を書かれると、この割り込みは禁止されます。

ビット2 - ACIC : アナログ比較器捕獲起動許可 (Analog Comparator Input Capture Enable)

論理 1を書かれると、このビットはアナログ比較器により起動されるタイマ/カウンタ1の捕獲 (キャプチャ機能を許可します。この場合、比較器出力は比較器にタイマ/カウンタ1捕獲割り込みのノイズ消去機能とエッジ選択機能を利用させる捕獲入力前置論理回路へ直接的に接続されます。論理 0を書かれると、アナログ比較器と捕獲機能間の接続は存在しません。比較器がタイマ/カウンタ1捕獲割り込みを起動するには、タイマ/カウンタ1割り込みマスクレジスタ(TMSK)の捕獲割り込み許可 (TCE1)ビットがセット(1)されなければなりません。

ビット1,0 - ACS1, ACS0 : アナログ比較器割り込み条件 (Analog Comparator Interrupt Mode Select)

これらのビットはアナログ比較器 割り込みを起動する比較器のどの出来事かを決めます。各種設定は表 93で示されます。

ACS1 ACS0ビットを変更するとき、ACSRでアナログ比較器割り込み許可 (ACIE)ビットをクリア(0)することにより、アナログ比較器割り込みが禁止されなければなりません。さもなければ、これらのビットが変更されるときに割り込みが起き得ます。

表 93. アナログ比較器割り込み条件選択

ACS1	ACS0	割り込み発生条件
0	0	比較器出力の変移 (ダブル)
0	1	予約
1	0	比較器出力の立ち下りエッジ
1	1	比較器出力の立ち上りエッジ

特殊 I/O機能レジスタ (Special Function I/O Register) SFDR

ビット	7	6	5	4	3	2	1	0	
\$20 (\$40)	TSM	-	-	-	ACME	PUD	PSR0	PSR321	SFDR
Read/Write	R/W	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット3 - ACME : アナログ比較器マルチプレクサ許可 (Analog Comparator Multiplexer Enable)

このビットが論理 1 を書かれ、A/D変換部がOFF (ADCSRAのADENビットが0) にされると、A/D変換のマルチプレクサはアナログ比較器への反転入力を選択します。このビットが論理 0 を書かれると、AN1がアナログ比較器の反転入力に印加されます。このビットの詳細な記述については次の「アナログ比較器入力選択」をご覧ください。

アナログ比較器入力選択

アナログ比較器への反転入力を取り替えるためにADC7~ 0のどれかを選択することができます。A/D変換のマルチプレクサはこの入力選択に使用され、従ってこの機能を利用するためにA/D変換部がOFF (動作禁止) にされなければなりません。SFDRの **アナログ比較器マルチプレクサ許可 (ACME) ビット** がセット (1) され、A/D変換部がOFF (ADCSRAのADENビットが0) にされていれば、表 94で示されるようにADMUXの **チャンネル選択 (MUX2~ 0) ビット** はアナログ比較器への反転入力を取り替えるための入力ピンを選びます。ACMEがクリア (0) またはADENがセット (1) されると、AN1がアナログ比較器への反転入力に印加されます。

表 94. アナログ比較器反転入力選択

ACME	ADEN	MUX2~ 0	アナログ比較器反転入力	備考
0	x	x x x	AN1	
	1	x x x		
1	0	0 0 0	ADC0	
		0 0 1	ADC1	
		0 1 0	ADC2	
		0 1 1	ADC3	
		1 0 0	ADC4	
		1 0 1	ADC5	
		1 1 0	ADC6	
		1 1 1	ADC7	

A/D変換器

A/D変換部の主な機能を次に示します。

- 10ビット分解能
- 積分性非直線誤差 0.75LSB
- 絶対精度 ± 1.5 LSB
- 変換時間 13~ 260 μ s
- 最大分解能で15kSPS採取 /sまで
- 8チャンネルのシングルエンド入力マルチプレクサ内蔵
- 7チャンネルの差動入力チャンネル
- $\times 10, \times 200$ の任意利得付き2つの差動入力チャンネル
- A/D変換結果読み出しに対する任意の左揃え
- 0~ VCC A/D変換入力電圧範囲
- 選択可能な2.56V A/D変換基準電圧
- 連続と単独の変換動作
- A/D変換完了割り込み
- スリープ動作ノイズ低減機能

ATmega128は10ビット逐次比較A/D変換器が特徴です。このA/D変換器はポートのピンから構成された8つのシングルエンド電圧入力を許す8チャンネルアナログマルチプレクサに接続されます。このシングルエンド電圧入力は0V (GND)が基準です。

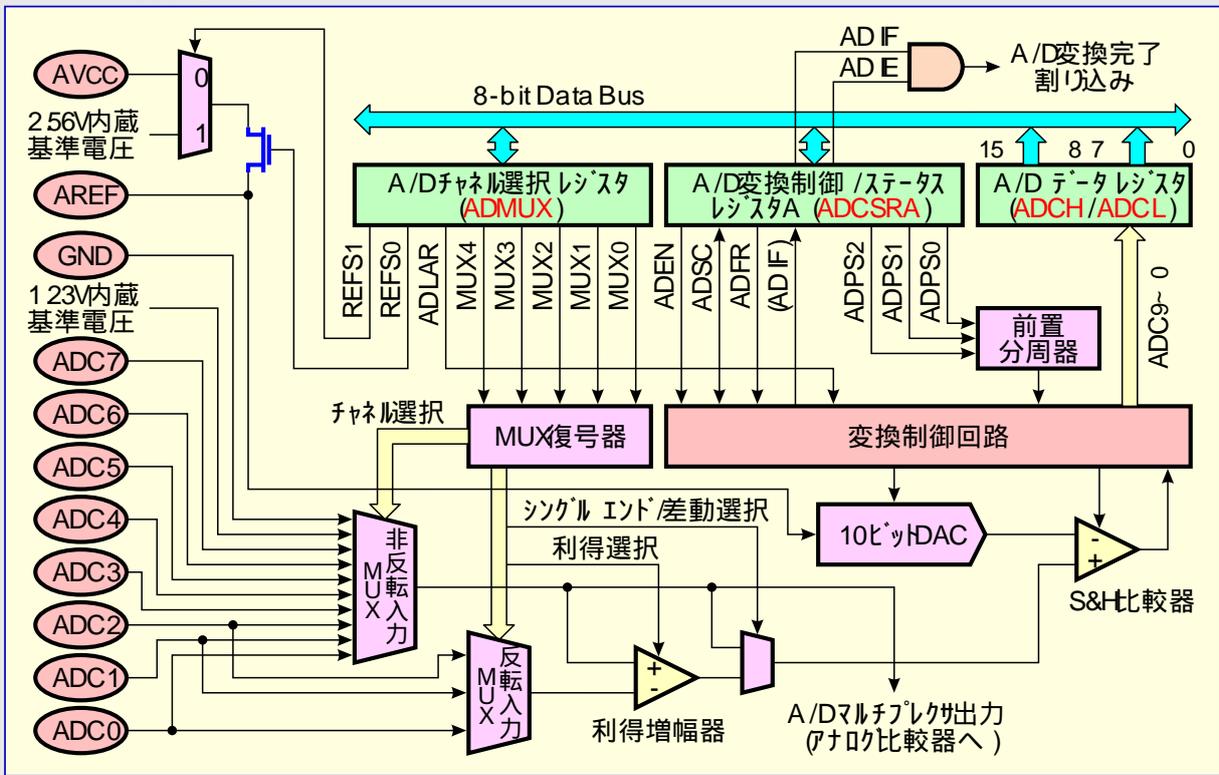
ゲインは16通りの差動電圧入力も支援します。差動入力の2つ (ADC1/ADC0とADC3/ADC2)は、A/D変換前の差動入力電圧で0dB ($\times 1$)、20dB ($\times 10$)、46dB ($\times 200$)の増幅段を提供する設定変更可能な利得段が装備されます。7つの差動アナログ入力は共通反転端子 (ADC1を共用し、一方他のADC入力は非反転入力端子として選択できます。利得 $\times 1$ または $\times 10$ が使用される場合は8ビット分解能が期待でき、利得 $\times 200$ が使用される場合は7ビット分解能が期待できます。

このA/D変換器はA/D変換器への入力電圧が変換中に一定の値で保持されることを保証するサンプル&ホールド(S/H)採取/保持回路を含みます。A/D変換部の構成図は図108で示されます。

A/D変換部には分離されたアナログ電源供給ピン(AVCC)があります。AVCCはVCCから ± 0.3 Vより多く違ってはなりません。このピンの接続方法は15頁の「ノイズ低減技術」項をご覧ください。

公称2.56Vの内蔵基準電圧またはAVCCがチップ上で提供されます。この基準電圧はノイズ特性向上のため、コンデンサによりAREFピンで外部的にデカップ(ノイズ分離)できます。

図 108. A/D変換器部構成図



操作

A/D変換部は逐次比較を通してアナログ入力電圧を10ビットのデジタル値に変換します。最小値はGNDを表し、最大値はAREFピンへの電圧 -1LSBを表します。A/Dチャンネル選択レジスタ(ADMUX)の基準電圧選択 (REFS1, REFS0)ビットへの書き込みにより、任意でAVCCまたは内部2.56V基準電圧がAREFピンに接続できます。この内部基準電圧はノイズ耐性を改善するためにAREFピンで外部コンデンサによりテーパーアップ(ノイズ結合減少)のようにできます。

アナログ入力チャンネルと差動利得はADMUXのチャンネル選択 (MUX4~ 0)ビットへの書き込みにより選択されます。GNDと固定基準電圧(1.23V内蔵基準電圧(VBG))だけでなく、どのADC入力ピン(ADC7~ 0)先がA/D変換器のシングルエンド入力として選択できます。ADC入力ピンの選択は差動利得増幅器への反転と非反転入力として選択できます。

差動チャンネルが選択されると、差動利得段は選択した入力チャンネル間の差電圧を選択した増幅率で増幅します。それからこの増幅した値はA/D変換器の入力になります。シングルエンドチャンネルが使用されると、利得増幅器全体が迂回無視されます。

A/D変換部はA/D変換制御/ステータスレジスタ(ADCSRA)のA/D許可 (ADEN)ビットのセット(1)により動作が許可されます。基準電圧と入力チャンネルの選択はADENがセット(1)されるまで実施しません。ADENがクリア(0)されているとA/D変換部は電力を消費しないので、電力を節約するスリープ動作へ移行する前にA/D変換部をOFFに切り替えることが推奨されます。

A/D変換部はA/Dデータレジスタ(ADCH, ADCL)で示される10ビットの結果を生成します。既定により、この結果は右揃え(16ビットのビット0則10ビット)で示されますが、ADMUXで左揃え選択 (ADLAR)ビットをセット(1)することにより、任意で左揃え(16ビットのビット15則10ビット)で示せます。

この結果が左揃え補正され、8ビットを越える精度が必要とされない場合はADCHを読むことで足ります。さもなければデータレジスタの内容が同じ変換に属することからの結果を保証するため、ADCLが初めに、次にADCHが読まれなければなりません。一度ADCLが読まれると、A/D変換器からのA/Dデータレジスタ(ADCH, ADCL)アクセスが阻止されます。これはADCLが読まれてしまい、ADCHが読まれる前に変換が完了すると、どちらのレジスタ(ADCH, ADCL)先更新されず、その変換からの結果が失われることを意味します。ADCHが読まれると、ADCH, ADCLへのA/D変換器アクセスが再び許可されます。

A/D変換部には変換完了時に起動できる自身の割り込みがあります。A/DデータレジスタへのA/D変換器アクセスがADCLとADCHの読み込み間で禁止されている場合、例えばその変換結果が失われても割り込みは起動します。

変換の開始

単独変換はADCSRAで変換開始 (ADSC)ビットに論理1を書くことにより開始されます。このビットは変換が進行中である限り1に留まり、変換が完了されるとハードウェアによりクリア(0)されます。変換が進行中に違う入力チャンネルが選択されると、A/D変換部はそのチャンネル変更を実行する前に現在の変換を済ませます。

連続変換動作でのA/D変換部は継続的に採取/変換とA/Dデータレジスタを更新します。連続変換動作はADCSRAでA/D動作選択 (ADFR)ビットに1を書くことにより選択されます。最初の変換はADCSRAでADSCビットに論理1を書くことにより始めなければなりません。この動作でのA/D変換器はA/D変換完了割り込み要求フラグ(ADIF)がクリア(0)されるかどうかにかかわらず、連続的な変換を実行します。

前置分周と変換タイミング

既定により、逐次比較回路は最大分解能を得るために50~200kHzの入力クロック周波数を必要とします。10ビットより低い分解能が必要とされる場合、A/D変換器への入力クロック周波数は、より高い採取速度を得るために200kHzより高くできます。

A/D変換部は100kHz以上のどんなCPUクロックからも受け入れ可能なA/D変換クロック周波数を生成する前置分周器を含みます。この前置分周器はA/D変換制御/ステータスレジスタ(ADCSRA)のA/Dクロック選択(ADPS2~0)ビットにより設定されます。前置分周器はADCSRAでA/D許可(ADEN)ビットのセット(1)により、A/D変換部がONにされた瞬間から計数を始めます。前置分周器はADENビットがセット(1)される限り走行を維持し、ADENが0のとき、継続的にリセットされます。

ADCSRAのA/D変換開始(ADSC)ビットのセット(1)によりシングルエンド入力の変換を起動すると、その変換は直後の変換クロックの立ち上がりエッジで始まります。差動入力変換タイミングの詳細については157頁の「差動増幅チャネル」を参照してください。

通常の変換は13変換クロックサイクルで行われます。A/D変換部がONされる(ADCSRAのADEN=1)後の最初の変換はアナログ回路を初期化するために25変換クロックサイクルで行われます。

実際のサンプル&ホールド(保持開始点)は通常変換の開始後15変換クロックサイクル、初回変換の開始後135変換クロックサイクルで行われます。変換が完了すると、結果がA/Dデータレジスタ(ADCH、ADCL)に書かれ、ADCSRAのA/D変換完了割り込み要求フラグ(ADIF)がセット(1)されます。単独変換動作(ADFR=0)では同時にADCSRAのA/D変換開始(ADSC)ビットがクリア(0)されます。その後ソフトウェアは再びADSCをセット(1)でき、新規変換は変換クロックの最初の立ち上がりで開始されます。

連続変換動作(ADFR=1)では変換完了後直ちに新規変換が開始され、一方ADSCは1に留まります。変換時間の概要については表95をご覧ください。

図109. A/D変換前置分周器部構成

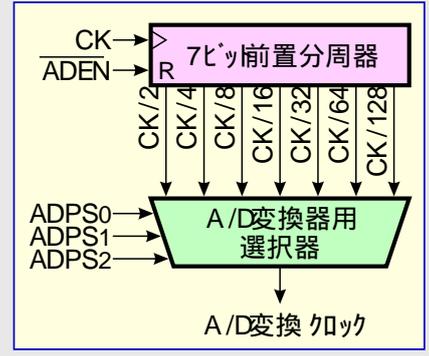


図110. 初回変換タイミング(単独変換動作)

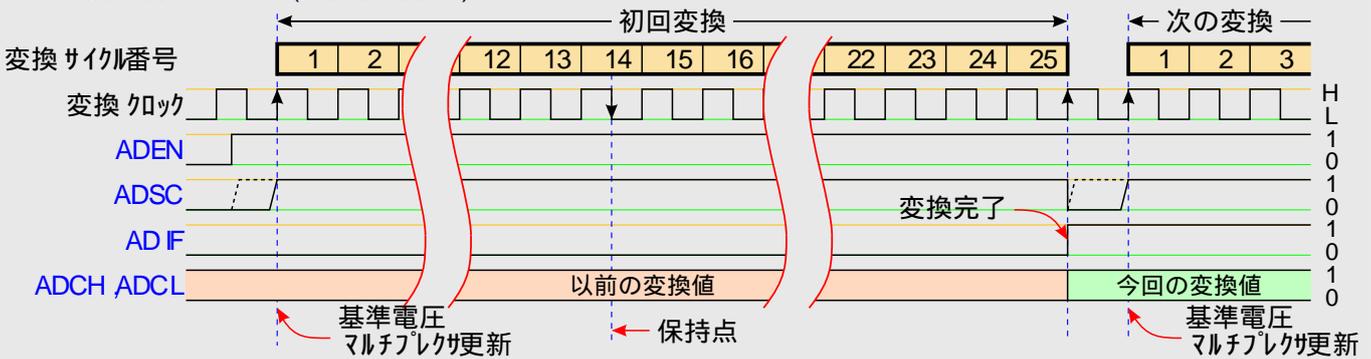


図111. 通常変換タイミング(単独変換動作)

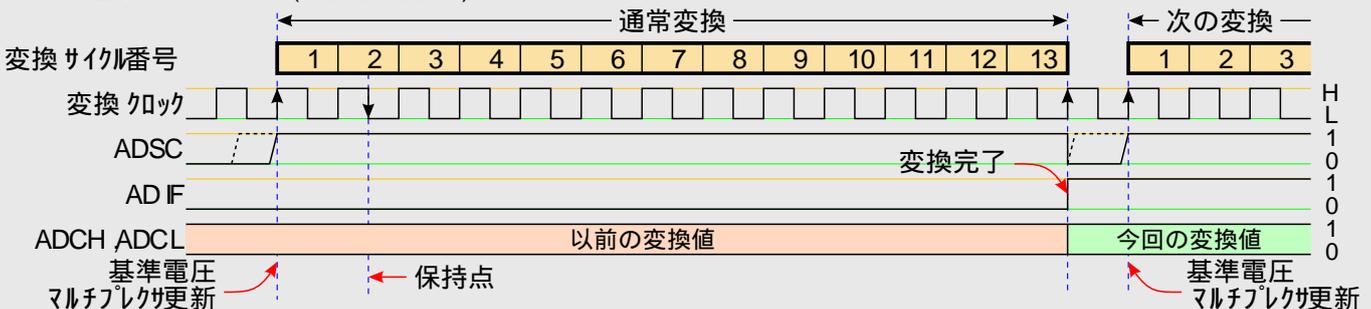


図112. 連続変換動作タイミング

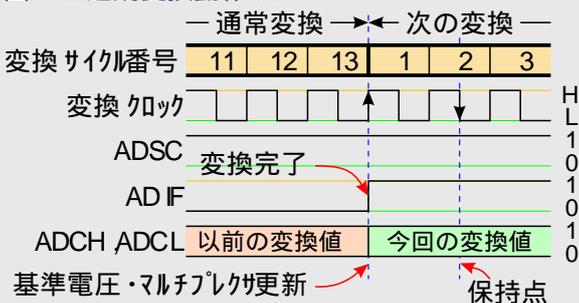


表95. A/D変換時間

変換種別	保持点	変換時間
初回変換	135	25
シングルエンド入力通常変換	15	13
差動入力通常変換	15/25 (注1)	13/14 (注1)

注: 変換時間を除く各値は変換開始からの変換クロック数です。

注1: CKADC2の状態に依存 (注 共通性から追加)

差動増幅チャネル

差動増幅チャネルを使用するとき、変換の±方向を考慮に入れる必要があります。

差動変換は変換クロックの半分に等しい内部クロックCKADC2に同期化されます。この同期化はサンプル&ホールドがCKADC2の特定位相で起きるといような方法でA/D変換器インターフェイスにより自動的に行われます。CKADCがLowのときに使用者により変換が開始されると即ち全ての単独変換と連続変換の最初、シングルエンド入力変換（次の前置分周したクロックサイクルから1変換クロックサイクルと同じ変換時間になります。CKADCがHighのときに使用者により変換が開始されると、同期化機構のため1変換クロックサイクルになります。連続変換動作では、直前の変換完了後、直ちに次の変換が開始され、このときCKADCがHighのため、自動的に開始される全ての連続変換（即ち、初回を除く全ては1変換クロックサイクルになります。

利得段は全利得設定において帯域幅4kHzで最適化されています。より高い周波数は非直線増幅に陥るかもしれません。利得段帯域幅より高い周波数成分を含む入力信号の場合、外部低域通過濾波器（ローパスフィルタ）が使用されるべきです。A/D変換クロック周波数が利得段帯域幅制限と無関係なことに注意してください。例えばA/D変換クロック周期が6μsでは、このチャネルの帯域幅とは無関係に12kHz採取/5で採取されることをチャネルに許せます。

チャネル変更と基準電圧選択

A/Dチャネル選択レジスタ(ADMUX)のチャネル選択(MUX4~0)ビットと基準電圧選択(REFS1~0)ビットはCPUがランダムにアクセスするための一時レジスタを通して単独パツパされます。これはチャネルと基準電圧の選択が変換中の安全なところでだけ行うことを保証します。チャネルと基準電圧の選択は変換が開始されるまで継続的に更新されます。一旦変換が始まると、A/D変換器に対して十分な採取/変換時間を保証するためにチャネルと基準電圧の選択は固定されます。継続的な更新は変換完了(ADCSRAのADIF=1)前の最後の変換クロックサイクルで再開します。ADCSRAの変換開始(ADSC)ビットが書かれた後の次の変換クロックの立ち上りエッジで変換が始まることに注意してください。従って使用者はADSC書き込み後、1変換クロックサイクル経過まで新しいチャネルまたは基準電圧選択値をADMUXに書かないことを推奨されます。

差動入力チャネルを変更するとき、特別な注意が求められるべきです。一旦差動入力チャネルが選択されてしまうと、利得段は新しい値に安定するのに125μs程度かかるかもしれません。従って変換は新規差動入力チャネル選択後の最初の125μs内に開始されるべきではありません。または、この期間内に得た変換結果は破棄されるべきです。

(ADMUXのREFS1~0ビットの変更による)A/D変換器基準電圧変更後の最初の差動入力変換に対して、同じ設定安定時間が厳守されるべきです。

JTAGインターフェイスが許可されると、PORTF7~4のADC入力チャネル機能が無効にされます。5頁の表42を参照してください。

A/D入力チャネル

チャネル選択を変更するとき、使用者は正しいチャネルが選択されることを保証するために次の指針を守るべきです。

単独変換動作では常に変換を始める前にチャネルを選択してください。チャネル選択はADSCへの1書き込み後、1変換クロックサイクルで変更されるかもしれません。とは言え、最も簡単な方法はチャネル選択を変更する前に変換が完了するまで待つことです。

連続変換動作では常に最初の変換を始める前にチャネルを選択してください。チャネル選択はADSCへの1書き込み後、1変換クロックサイクルで変更されるかもしれません。とは言え、最も簡単な方法は最初の変換が完了するまで待ち、その後チャネル選択を変更することです。既に次の変換が自動的に開始されているため、次の結果は直前のチャネル選択を反映します。それに続く変換は新しいチャネル選択を反映します。

差動増幅チャネルに切り替えるとき、自動オフセット消去回路用の設定時間が必要なため、最初の変換結果は貧弱な正確さとなってしまふかもしれません。使用者は最初の変換結果をなるべくなら無視すべきです。

A/D変換基準電圧

このA/D変換用の基準電圧(VREF)はA/D変換に対する変換範囲を示します。VREFを越えるシングルエンド入力チャネルは\$3FFで打ち切るコードに帰着します。VREFはAVCC、内部2.56V基準電圧、外部AREFピン)のどれかとして選択できます。

AVCCは受動型スイッチを通してA/D変換部に接続されます。内部2.56V基準電圧は内蔵基準(バンドギャップ)電圧(VBG)から内部増幅器を通して生成されます。どちらの場合でも外部AREFピン)は直接的にA/D変換部へ接続され、AREFピン)とGND間にコンデンサを接続することにより、基準電圧はノイズ耐性をより高められます。VREF(電圧)は高入力インピーダンス電圧計とAREFピン)で測定することもできます。VREFは高インピーダンス出力で、容量性負荷のみがシステム内で接続されるべきであることに注意してください。

使用者がAREFピン)に接続された固定電圧源にするならば、この外部電圧がその他の内部基準電圧と短絡してしまうため、使用者はこの応用内で他の基準電圧選択を使用してはいけません。外部電圧がAREFピン)に印加されないならば、使用者は基準電圧選択としてAVCCと内部2.56V基準電圧間の切り替えができます。基準電圧源切り替え後の最初のA/D変換結果は不正確かもしれませんが、使用者はこの結果を破棄することが推奨されます。

差動入力チャネルが使用される場合、選択した基準電圧は20頁の表135で示されるよりAVCCに近くすべきではありません。

A/D変換の精度定義

シングル入力電圧のnビットA/D変換はGNDとVREF間を2ⁿで直線的に変換します。最低値コードは0として読み、最高値コードは2ⁿ-1として読みます。以下の各種パラメータは理想状態からの偏差を表します。

オフセット誤差 - 図 115.

最初の遷移点 (\$000から\$001)に於いて理想遷移点 (差 0.5 LSBと比較した偏差)です。理想値は0LSBです。

利得誤差 - 図 116.

オフセット誤差補正後の最後の遷移点 (\$3FEから\$3FF)に於いて理想遷移点 (最大差 1.5LSB以下)と比較した偏差です。理想値は0LSBです。

積分性非直線誤差 (NL) - 図 117.

オフセット誤差と利得誤差補正後の全ての遷移点に於いて理想遷移点と比較した最大偏差です。理想値は0LSBです。

差動非直線誤差 (DNL) - 図 118.

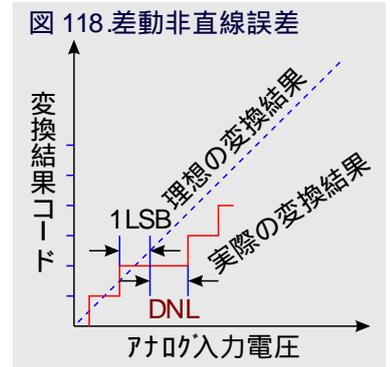
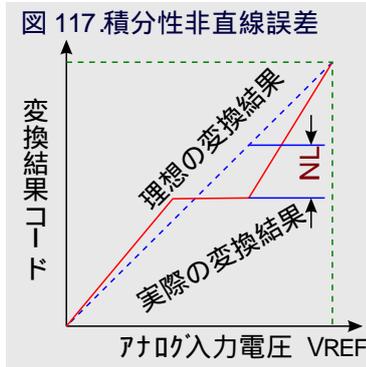
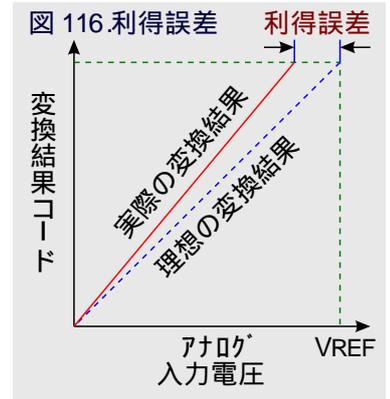
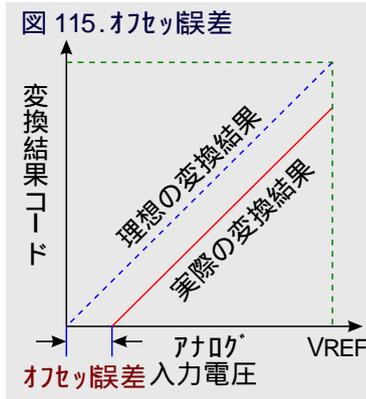
実際のコードの幅 隣接する2つの遷移点間)に於いて理想コード幅 (1LSB)と比較した最大偏差です。理想値は0LSBです。

量子化誤差

有限数のコードで入力電圧を量子化するため、1LSB幅となる入力電圧範囲は同じ値のコードになります。この値は常に±0.5LSBです。

絶対精度

補正しない全ての遷移点に於いて理想遷移点と比較した最大偏差です。これは、オフセット誤差、利得誤差、差動誤差、非直線誤差の影響の合成です。理想値は±0.5LSBです。



A/D変換の結果

変換完了 (ADF=1後)、変換結果はA/Dレジスタ(ADCH,ADCL)で得られます。

シングル入力変換の結果は右式で示されます。VINは選択した入力ピン^①の電圧で、VREFは選択した基準電圧です (159頁の表 97と表 98をご覧ください)、\$000はGNDを表し、\$3FFは選択した基準電圧 -1LSBを表します。

$$ADC = \frac{V_{IN} \times 1024}{V_{REF}}$$

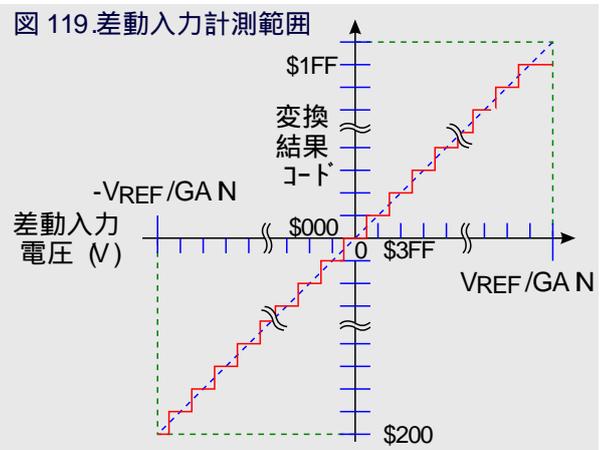
差動チャネルが使用されると、その結果は右式で示されます。VPOSは非反転入力ピン^①の電圧、VNEGは反転入力ピン^①の電圧、GAINは選択した倍率、VREFは選択した基準電圧です。この結果は -512(\$200)~ +511 (\$1FF)の2の補数形式で示されます。使用者が結果の符号を素早く検査したいならば、結果のMSB (ADCHのADC9)を読むことで充分なことに注目してください。このビットが1ならばその結果は -、0ならばその結果は + です。図 119は差動入力範囲のコード化を示します。

$$ADC = \frac{(V_{POS} - V_{NEG}) \times GAIN \times 512}{V_{REF}}$$

表 96は差動入力チャネルの組 (ADCn-ADCm)が基準電圧 (VREF)で選択された場合の出力コードの結果を示します。

表 96.入力電圧と出力コードの関係

VADCn	読み出しコード	対応する10進値
VADCm+VREF/GAIN	\$1FF	511
VADCm+(511/512)VREF/GAIN	\$1FF	511
VADCm+(510/512)VREF/GAIN	\$1FE	510
⋮	⋮	⋮
VADCm+(1/512)VREF/GAIN	\$001	1
VADCm	\$000	0
VADCm-(1/512)VREF/GAIN	\$3FF	-1
⋮	⋮	⋮
VADCm-(511/512)VREF/GAIN	\$201	-511
VADCm-VREF/GAIN	\$200	-512



例: ADMUX=\$ED (ADC3とADC2差動10倍入力、VREF=2.56V、左揃え)で、ADC3が300mV、ADC2が500mVの場合、A/D変換値=512×10×(300-500)÷2560=-400=\$270
従って、ADCH=\$9C,ADCL=\$00,ADLAR=0ならば、ADCH=\$02,ADCL=\$70

A/D変換用レジスタ

A/Dチャネル選択レジスタ (ADC Multiplexer Select Register) ADMUX

ビット	7	6	5	4	3	2	1	0	
\$07 (\$27)	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0	ADMUX
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7,6 - REFS1,REFS0 :基準電圧選択 (Reference Select Bits 1,0)

これらのビットは表 97で示されるようにA/D変換器の基準電圧を選びます。これらのビットが変換中に変更されると、その変更はこの変換が完了する (ADCSRAのAD F=1) まで実施しません。AREFに外部基準電圧が印加される場合、内部の基準電圧が使用されてはなりません。

表 97. A/D変換部の基準電圧選択

REFS1	REFS0	基準電圧
0	0	AREFの外部基準電圧 (AVCCと内部 2.56V基準電圧は切り離されます。)
0	1	AVCC (内部 2.56V基準電圧は切り離されますが、AREFにテカッパ用コンデンサが接続できます。)
1	0	予約
1	1	内部 2.56V基準電圧 (AVCCは切り離されますが、AREFにテカッパ用コンデンサが接続できます。)

ビット5 - ADLAR :左揃え選択 (ADC Left Adjust Result)

ADLARビットはA/Dレジスタ内の変換結果の配置に影響を及ぼします。結果を左揃えにするにはADLARに 1を書いてください。さもなければ結果は右揃えです。ADLARビットの変更はどんな進行中の変換にも拘らず、直ちにA/Dレジスタの内容に影響を及ぼします。このビットの完全な記述については 16頁の「A/Dレジスタ」をご覧ください。

ビット4,3,2,1,0 - MUX4,MUX3,MUX2,MUX1,MUX0 :A/Dチャネル選択 (Analog Channel Select Bits 4~ 0)

これらのビットの値はA/D変換器にどのアナログ入力の組み合わせが接続されるかを選びます。これらのビットは差動チャネルに対する利得も選びます。詳細については表 98をご覧ください。これらのビットが変換中に変更される場合、その変更はこの変換が完了する (ADCSRAのAD F=1) まで実施しません。

表 98. アナログ入力チャネル選択

MUX4~ 0	シングルエンド 入力	差動入力			MUX4~ 0	シングルエンド 入力	差動入力		
		非反転入力	反転入力	利得			非反転入力	反転入力	利得
0000	ADC0				1000		ADC0	ADC1	× 1
0001	ADC1				1001		ADC1	ADC1	× 1
0010	ADC2				1010		ADC2	ADC1	× 1
0011	ADC3				1011		ADC3	ADC1	× 1
0100	ADC4				1100		ADC4	ADC1	× 1
0101	ADC5				1101		ADC5	ADC1	× 1
0110	ADC6				1110		ADC6	ADC1	× 1
0111	ADC7				1111		ADC7	ADC1	× 1
01000		ADC0	ADC0	× 10	11000		ADC0	ADC2	× 1
01001		ADC1	ADC0	× 10	11001		ADC1	ADC2	× 1
01010		ADC0	ADC0	× 200	11010		ADC2	ADC2	× 1
01011		ADC1	ADC0	× 200	11011		ADC3	ADC2	× 1
01100		ADC2	ADC2	× 10	11100		ADC4	ADC2	× 1
01101		ADC3	ADC2	× 10	11101		ADC5	ADC2	× 1
01110		ADC2	ADC2	× 200	11110	1.23V (VBG)			
01111		ADC3	ADC2	× 200	11111	0V (GND)			

A/D変換 制御 /ステータス レジスタ (ADC Control and Status Register A) ADCSRA

ビット	7	6	5	4	3	2	1	0	
\$06 (\$26)	ADEN	ADSC	ADFR	ADIF	ADE	ADPS2	ADPS1	ADPS0	ADCSRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - ADEN : A/D許可 (ADC Enable)

このビットに **1** を書くことは A/D変換部 動作 を許可します。 **0** を書くことにより A/D変換部は 電源が OFF されます。変換が進行中に A/D変換部を OFF にすることは、その変換を途中 終了します。

ビット6 - ADSC : A/D変換開始 (ADC Start Conversion)

単独変換動作では各変換を始めるために、このビットへ **1** を書いてください。連続変換動作では最初の変換を始めるために、このビットへ **1** を書いてください。A/D変換部が許可される (ADEN=1) と同時に ADSC が書かれるか、または A/D変換部が許可された後に ADSC が書かれた後の **初回変換** は通常の 13 に代わって 25 変換 クロック サイクルで行います。この初回変換は A/D変換部の初期化を実行します。

ADSC は変換が進行中である限り **1** として読めます。変換が完了すると **0** に戻ります。このビットへの **0** 書き込みは無効です。

ビット5 - ADFR 連続 /単独変換動作選択 (ADC Free Running Select)

このビットが **セット(1)** されると A/D変換器は連続変換動作で動作します。この動作種別では連続的に A/D変換の採取 /変換と A/D データレジスタを更新します。このビットを **クリア(0)** することは連続変換動作を終了します (単独変換動作になります)。

ビット4 - ADIF : A/D変換完了割り込み要求 フラグ (ADC Interrupt Flag)

A/D変換が完了し、A/D データレジスタが更新されると、このフラグが **セット(1)** されます。ステータス レジスタ (SREG) の全割り込み許可 (I) ビットと A/D変換完了割り込み許可 (ADE) ビットが **セット(1)** されていれば、A/D変換完了割り込みが実行されます。対応する割り込み処理へアクセスを実行するとき、ADIF はハードウェアにより **クリア(0)** されます。代わりに、このフラグに論理 **1** を書くことによっても ADIF は **クリア(0)** されます。ADCSRA で読み 変更 書き (リード モディファイアイト) を行うと、保留中の割り込みが禁止され得ることに注意してください。これは **SBI, CB** 命令が使用される場合にも適用されます。

ビット3 - ADE : A/D変換完了割り込み許可 (ADC Interrupt Enable)

このビットが **1** を書かれ、SREG の全割り込み許可 (I) ビットが **セット(1)** されていると、A/D変換完了割り込みが活性に 許可 されます。このビットが **クリア(0)** されると、この割り込みは禁止されます **訳注** 共通性のため本行追加)

ビット2,1,0 - ADPS2, ADPS1, ADPS0 : A/D変換 クロック 選択 (ADC Prescaler Select Bits)

これらのビットは XTAL (システム 周波数) と A/D変換部への入力 クロック間の分周値を決めます。

表 99. A/D変換 クロック 選択 (CK=システム クロック)

ADPS2	0	0	0	0	1	1	1	1
ADPS1	0	0	1	1	0	0	1	1
ADPS0	0	1	0	1	0	1	0	1
A/D変換 クロック	CK/2	CK/2	CK/4	CK/8	CK/16	CK/32	CK/64	CK/128

A/Dデータレジスタ (ADC Data Register) ADCH ADCL (ADCD)

		ADLAR=0時								
ビット		15	14	13	12	11	10	9	8	
\$05 (\$25)		-	-	-	-	-	-	ADC9	ADC8	ADCH
Read/Write		R	R	R	R	R	R	R	R	
初期値		0	0	0	0	0	0	0	0	
ビット		7	6	5	4	3	2	1	0	
\$04 (\$24)		ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0	ADCL
Read/Write		R	R	R	R	R	R	R	R	
初期値		0	0	0	0	0	0	0	0	
		ADLAR=1時								
ビット		15	14	13	12	11	10	9	8	
		ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADCH
		7	6	5	4	3	2	1	0	
		ADC1	ADC0	-	-	-	-	-	-	ADCL

A/D変換が完了すると、その結果がこれら2つのレジスタで得られます。差動チャネルが使用されると、結果は20補数形式で表されま

す。ADCLが読まれると、A/DデータレジスタはADCHが読まれるまで更新されません。従ってこの結果が左揃えで、且つ8ビットを越える精度が必要とされない場合、ADCHを読むことで用が足ります。さもなければADCLが初めに、その後ADCHが読まれなければなりません。

A/Dチャネル選択レジスタ(ADMUX)の左揃え選択 (ADLAR)ビットとA/Dチャネル選択 (MUX4~ 0)ビットは、このレジスタから結果を読む方法に影響を及ぼします。ADLARがセット(1)されると結果は左揃えにされます。ADLARがクリア(0)されていると既定)結果は右揃えにされます。

ADC9~ 0 :A/D変換結果 (ADC Conversion result)

これらのビットは 158頁の「A/D変換の結果」で詳述されるように変換での結果を表します。

JTAGインターフェースと内蔵デバッグ機能

- 特徴**
- JTAGインターフェース (IEEE標準 1149.1準拠)
 - JTAG標準に従った境界走査 (Boundary-Scan能力)
 - デバッグは各部のアクセスが可能
 - すべての内蔵周辺機能
 - 内部及び外部RAM
 - 内蔵レジスタファイル
 - プログラムカウンタ
 - EEPROM及びフラッシュメモリ
 - ブレーク(BREAK)によって支援される広範囲な内蔵デバッグ機能
 - AVRの **BREAK**命令
 - プログラムの流れ変更での停止
 - 命令実行 (シングル ステップ) 停止
 - プログラムメモリ上の単一アドレスまたはアドレス範囲によるブレークポイント
 - データメモリ上の単一アドレスまたはアドレス範囲によるブレークポイント
 - JTAGインターフェースを介してのフラッシュメモリ、EEPROM、ヒューズビット、ロックビットの読み書き (プログラミング)
 - AVR Studioによる内蔵デバッグ機能の支援

概要

AVRの IEEE標準 1149.1準拠 JTAGインターフェースは以下について使用できます。

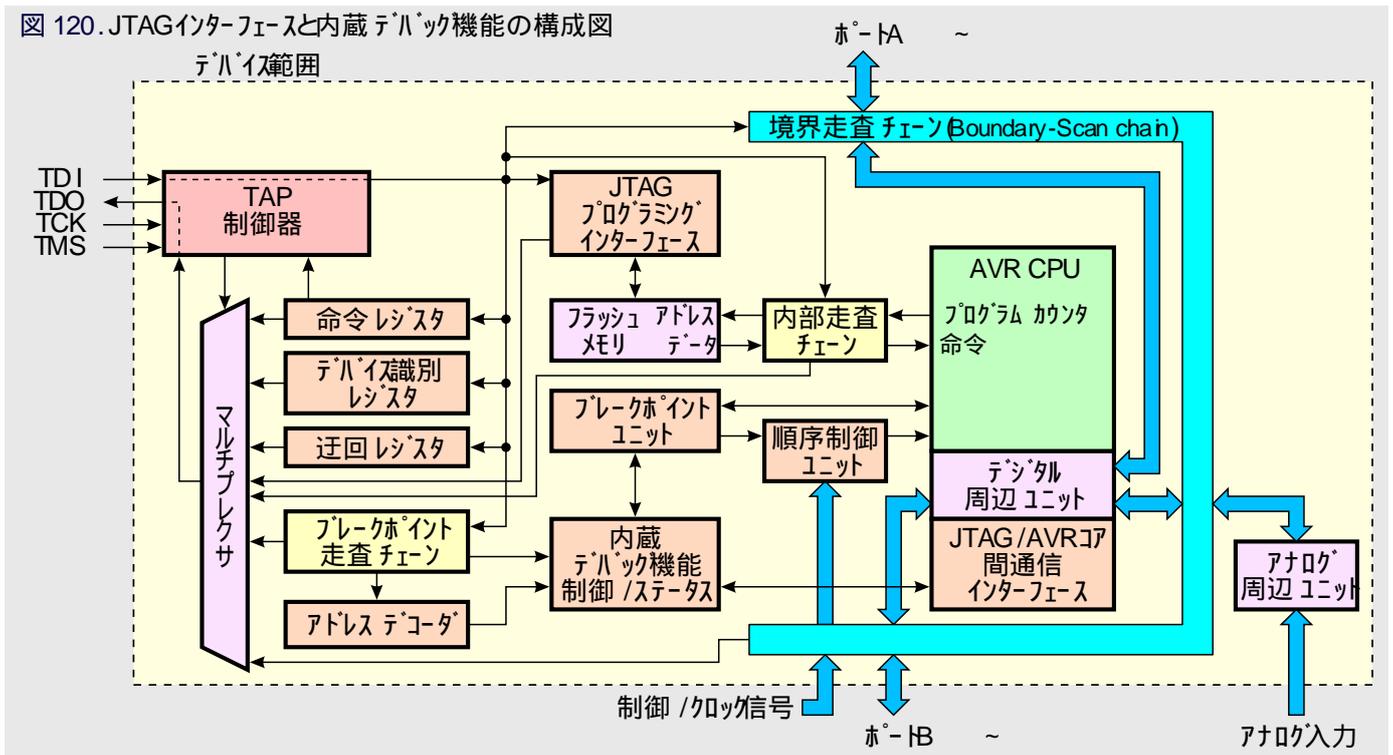
- JTAG境界走査 (Boundary-Scan能力による基板などの試験)
- 不揮発性メモリ、ヒューズビット、ロックビットの読み書き (プログラミング)
- 内蔵デバッグ機能による実装デバッグ

簡単な記述は次節で与えられます。JTAGインターフェース経由のプログラミングと境界走査 (Boundary-Scan)チェーンについての詳細な記述は、各々 19頁の「JTAGインターフェース経由のプログラミング」と、16頁の「IEEE 1149.1 (JTAG境界走査 (Boundary-Scan))」で得られます。内蔵デバッグ機能の支援は独自 JTAG命令で考慮されており、ATMELと選ばれた業者のみに配布されます。

図 120は JTAGインターフェースと内蔵デバッグ機能の構成図を示します。TAP検査アクセスポート制御器は、TMSとTCKにより制御される順次回路です。TAP制御器は、TD入力とTDO出力間の走査チェーン(シフトレジスタ)接続として、JTAG命令レジスタまたは各種データレジスタのうちのどれかを選びます。JTAG命令レジスタはデータレジスタの動きを制御するJTAG命令を保持します。

デバイス識別 (Device Identification)レジスタ、迂回 (Bypass)レジスタ、境界走査チェーン (Boundary-Scan chain)の各データレジスタは、基板レベルの試験に使用されます。実際には現実と仮定の各種データレジスタで構成する JTAGプログラミングインターフェースは、JTAGインターフェース経由でのシリアルプログラミングに使用されます。内部走査チェーン (Scan chain)とブレークポイント走査チェーンは、内部デバッグ機能だけで使用されます。

図 120. JTAGインターフェースと内蔵デバッグ機能の構成図



検査アクセスポート (TAP Test Access Port)

JTAGインターフェイスはAVRの4つのピンを通してアクセスされます。JTAG用語では、これらのピンが検査アクセスポート(TAP)を構成します。

TMS :検査種別選択。このピンはTAP制御器順次回路を通しての指示に使用されます。

TCK :検査クロック。JTAG操作は、TCKに同期します。

TDI :検査データ入力。命令レジスタまたはデータレジスタ走査チェーン内にシフトされるべきシリアル入力データです。

TDO :検査データ出力。命令レジスタまたはデータレジスタからのシリアル出力データです。

IEEE標準 1149.1では任意 TAP信号の検査リセット(TRST)先記載されていますが、この信号は提供されません。

JTAGエンピュスが非プログラム(1)のとき、これら4つのTAPピンは標準ポートピンで、TAP制御器はリセットです。プログラム(0)され、MCU制御/ステータスレジスタ(MCUCSR)のJTAG禁止(JTD)ビットがクリア(0)されると、TAP信号入力は内部的にHighへ引かれ、JTAGは境界走査(Boundary-Scan)とプログラミングについて許可されます。この場合、TAP出力(TDO)ピンはJTAG TAP制御器がデータ値をシフトしていない状態で浮き状態(フローティング)のままにされ、従ってプルアップ抵抗が接続されるか、または他のハードウェア(例えば走査チェーン内の次のデバイスのTD入力)がプルアップを持たなければなりません。このデバイスはこのヒュスがプログラム(0)されて出荷されます。

内蔵デバッグ機能では、JTAGインターフェイスピンに加え、外部リセット元が検知できるため、RESETピンがデバッグにより監視されます。応用でリセット信号線にオープンコレクタ(ドレイン)だけが使用されるとすれば、デバッグは全システムをリセットするためにRESETピンをLowにすることもできます。

TAP制御器

TAP制御器は境界走査(Boundary-Scan)回路、JTAGプログラミング回路、内蔵デバッグ機能の働きを制御する1段の無限順次回路です。図121に描かれた状態遷移はTCKクロックの立ち上がり時の各状態遷移付近で示されるTMS上に存在する信号に依存します。電源投入リセット後の初期状態は検査回路リセットです。

この資料内の定義として、全てのシフトレジスタについて、入出力ともLSBが最初にシフトされます。

検査実行/アイドル状態が現在の状態と仮定した、JTAGインターフェイスを使用するための典型的な手順を次に示します。

命令レジスタシフト(Rシフト)状態へ移行するために、TCKの立ち上がりでTMSに順次1,1,0,0を与えます。この状態中、TCKの立ち上がりエッジでTD入力からJTAG命令レジスタ内に4ビットのJTAG命令をシフトします。TMS入力はRシフト状態に留まるために3LSBの入力中、Lowに保持されなければなりません。命令のMSBはTMS入力のHigh設定により、この状態を抜ける時にシフト入力されます。命令がTDピンからシフトされている間、捕獲(キャプチャ)されたRの状態(\$01)がTDOピンへシフト出力されます。JTAG命令はTDとTDO間に通ず接続する特定のデータレジスタを選択し、選択したデータレジスタ周辺回路を制御します。

検査実行/アイドル状態へ再度移行するため、TMSに順次1,1,0を与えます。このJTAG命令はR更新状態通過でシフトレジスタからパラレル出力にラッチされます。R終了1、R一時停止、R終了2の各状態は、順次回路の誘導操作のためだけに使用されます。

データレジスタシフト(DRシフト)状態へ移行するため、TCKの立ち上がりエッジでTMSに順次1,0,0を与えます。この状態中、TCKの立ち上がりエッジでTD入力からJTAG命令レジスタ内の現在のJTAG命令で選択したデータレジスタに値をシフト入力します。DRシフト状態に留まるため、MSBを除く全ビットの入力中、TMS入力はLowに保持されなければなりません。データのMSBはTMS入力のHigh設定により、この状態を抜ける時にシフト入力されます。データレジスタがTDピンからシフト入力される間、DR捕獲状態(1,0)でデータレジスタに捕獲したパラレル入力がTDOピンへシフト出力されます。

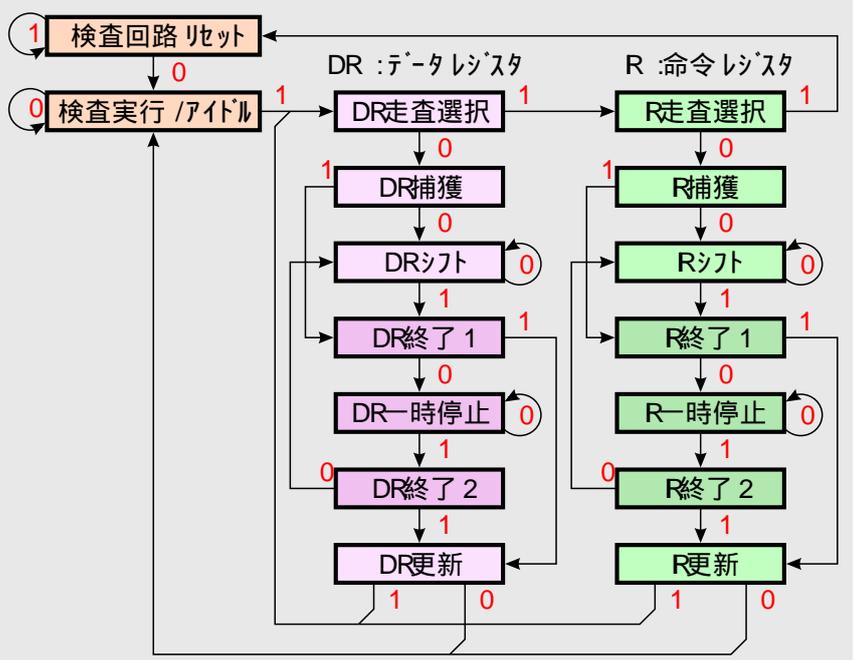
検査実行/アイドル状態へ再度移行するため、TMSに順次1,1,0を与えます。選択したデータレジスタがラッチしたパラレル出力を持つ場合、DR更新状態でラッチを行います。DR終了1、DR一時停止、DR終了2の各状態は、順次回路の誘導操作のためだけに使用されます。

状態遷移図で示されるように、検査実行/アイドル状態はJTAG命令の選択とデータレジスタの使用間で移行される必要がなく、また、いくつかのJTAG命令は検査実行/アイドル状態で実行されるべき必然的な機能を選択するかもしれませんが、それはアイドル状態として不適当になります。

注：TAP制御器の初期状態に関係なく、5TCKクロック周期に対してTMSをHighに保持することにより常に検査回路リセット状態へ移行できます。

JTAG仕様の詳細情報については、165頁の「参考文献」に記載された文献を参照してください。

図 121. TAP制御器状態遷移図



境界走査チェーン(Boundary-Scan Chain)の使用

境界走査能力の完全な説明は、166頁の「EEE 1149.1(JTAG境界走査(Boundary-Scan))」項目で与えられます。

内蔵デバッグ機能の使用

図 120で示されるように、内蔵デバッグについてのハードウェア支援は主に次の部分から成ります。

- 内部 AVR CPUコアと内部周辺機能部間 インターフェースの走査チェーン(Scan chain)
- ブレークイン部
- CPUとJTAGシステム間の通信 インターフェース

デバッグの実行で必要とされる全ての読み込みまたは変更/書き込みは、内部 AVR CPU走査チェーン(Scan chain)経由の AVR 命令により行われます。CPUはCPUとJTAGシステム間の通信インターフェース部分が配置される I/Oメモリ位置に結果を送ります。

ブレークイン部は、プログラムの流れ変更での一時停止(Break) 命令実行(Single Step Break) 2つのプログラムメモリブレークポイント 2つの複合ブレークインを実行します。合わせて4つブレークインは次の何れかとして設定ができます。

- 4つのプログラムメモリブレークポイント
- 3つのプログラムメモリブレークポイント + 1つのデータメモリブレークポイント
- 2つのプログラムメモリブレークポイント + 2つのデータメモリブレークポイント
- 2つのプログラムメモリブレークポイント + 1つのプログラムメモリ範囲ブレークポイント(ブレークインとマスク)
- 2つのプログラムメモリブレークポイント + 1つのデータメモリ範囲ブレークポイント(ブレークインとマスク)

けれどもAVR Studio®のようなデバッグは、最終使用者への柔軟性をより少なくする内部目的に、これら資源の1つまたはそれ以上を使用するかもしれません。

内蔵デバッグ特殊 JTAG命令の一覧は 164頁の「内蔵デバッグ特殊 JTAG命令」で与えられます。

JTAG検査アクセスポート(TAP)を許可するには、JTAGエンピュースがプログラム(0)されなければなりません。加えて内蔵デバッグ機能で作業するには、更にOCDENピュースがプログラム(0)され、ロックビットがロックなしに設定されなければなりません。何れかのロックビットが設定(0)されると、保護機能で内蔵デバッグ機能は禁止されます。そうでなければ内蔵デバッグ機能が保護されたデバイスへの裏口を提供することになっていでしょう。訳補 保護の意味がなくなるの意)

AVR Studioは使用者にチップ内蔵デバッグ能力(機能) AVRインサーキットエミュレータ または (AVR Studio組み込み AVR命令セットシミュレータでAVRデバイスのプログラム実行を完全に制御することを可能にします。AVR StudioはATMEL AVRアセンブラでアセンブルしたアセンブリ言語プログラムと他業者製コンパイラでコンパイルしたC言語プログラムのソースレベル実行を支援します。

AVR StudioはMicrosoft Windows® 95/98/2000 Windows NT®, Windows XP®下で走行します。

AVR Studioの完全な記述についてはAVR Studioのオンラインヘルプで得られるAVR Studio1-サーガイドを参照してください。要点だけが本資料で示されます。

すべての必要な実行コマンドは、AVR Studio内のソースレベルと逆アセンブリレベルの両方で利用できます。使用者はプログラムの実行、1命令実行(Single Step) 内側関数内実行、外側関数外実行、命令行へのカーソル配置と命令行が(カーソル行へ到達されるまでの実行、一時停止、実行対象のロック)ができます。加えて使用者は無制限数のコードのブレークポイント(BREAK命令使用)と、2つまでのデータメモリのブレークインか、代わりにマスクによる範囲指定(複合)ブレークインを持てます。

内蔵デバッグ特殊 JTAG命令

内蔵デバッグの支援は独自 JTAG命令で考慮され、ATMELと選ばれた業者だけに配布されます。参考のため、命令コードの一覧が示されます。

- 独自命令 0 : \$8 (内蔵デバッグ機能アクセス用独自 JTAG命令)
- 独自命令 1 : \$9 (内蔵デバッグ機能アクセス用独自 JTAG命令)
- 独自命令 2 : \$A (内蔵デバッグ機能アクセス用独自 JTAG命令)
- 独自命令 3 : \$B (内蔵デバッグ機能アクセス用独自 JTAG命令)

内蔵デバッグに関連する I/Oメモリ内のレジスタ

内蔵デバッグレジスタ (On-chip Debug Register) OCDR

ビット	7	6	5	4	3	2	1	0		
\$22 (\$42)	DRD/MSB							LSB		OCDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
初期値	0	0	0	0	0	0	0	0		

OCDRはマイクロコントローラ内の実行プログラムからデバッグへの通信チャネルを提供します。CPUはこの位置へ書くことによりデバッグへパイプ転送できます。このレジスタが書かれてしまっていることをデバッグに示すため、同時に内部フラグ DRD (I/Oデバッグレジスタ更新) がセット(1)されます。CPUがOCDRを読むとき、LSB 7ビットがOCDRからで、一方MSBは DRDビットです。デバッグは、この情報を読むとき、DRDビットをクリア(0)します。

いくつかのAVRデバイスで、このレジスタは標準 I/O位置で共用されます。この場合、OCDRは内蔵デバッグ許可(OCDEN)ピュースがプログラム(0)された場合だけアクセスでき、デバッグはOCDRへアクセスできます。他の全ての場合、標準 I/O位置がアクセスされます。

このレジスタの使用法のより多くの情報は、デバッグの資料を参照してください。

JTAGプログラミング能力の使用

JTAG経由 AVRデバイスプログラミングは、4ピンの JTAGポート TCK, TMS, TDI, TDO経由で実行されます。これらは JTAGプログラミング実行のために電源ピンに加えて制御/監視される必要があるピンだけです。外部的な 12V印加は必要とされません。JTAG検査アクセスポート(TAP)を許可するには、[JTAGENピンスがプログラム \(0\)され](#)、[MCU制御 /ステータスレジスタ\(MCUCSR\)の JTAGインターフェース禁止 \(JTD\)ビットがクリア \(0\)されなければなりません](#)。

JTAGプログラミング能力は以下を支援します。

- フラッシュメモリのプログラミングと照合
- EEPROMのプログラミングと照合
- ヒューズビットのプログラミングと照合
- ロックビットのプログラミングと照合

[ロックビット保護](#)は丁度パラレルプログラミング動作でのようです。[ロックビットLBまたはLB2がプログラム \(0\)されると](#)、先にチップ消去を行わない限り、[OCDENピンスはプログラム \(0\)できません](#)。これは保護されたデバイスの内容を読み出す裏口が存在しないことを保証する保護機能です。

プログラミング特殊 JTAG命令の記述は、[198頁の「プログラミング特殊 JTAG命令」](#)で与えられます。JTAGインターフェースを通すプログラミングの詳細は、[198頁の「JTAGインターフェース経由のプログラミング」](#)項目で与えられます。

参考文献

一般的な境界走査 (Boundary-Scan)についての詳細は、次の文献を参照してください。

- EEE : EEE Std 1149.1-1990. EEE Standard Test Access Port and Boundary-Scan Architecture, EEE, 1993
- Colin Maunder : The Board Designers Guide to Testable Logic Circuits, Addison Wesley, 1992

EEE 1149.1 (JTAG)境界走査 (Boundary-Scan)

- 特徴**
- JTAGインターフェース (EEE標準 1149.準拠)
 - JTAG標準に従った境界走査 (Boundary-Scan)能力
 - チップ外接線を持つアナログ回路は勿論、全てのポート機能の完全な走査 (Scan)
 - 任意 DCODE命令の支援
 - AVRチップ公開 AVR_RESET命令の追加

概要

境界走査チェーン (Boundary-Scan chain)には、デジタル I/Oピンは勿論、チップ外の接続を持つアナログ回路のアナログとデジタル間境界の論理値を駆動、監視する能力があります。システム上では JTAG能力を持つ全ての ICが TDとTDOの接続により長いシフトレジスタの形態で接続されます。外部制御器が、これらの出力ピンで値を駆動するためにデバイスを設定し、他のデバイスから受け取った入力値を監視します。この制御器は予測される結果と受信した値を比較します。この方法で、境界走査 (Boundary-Scan)は4つの TAP信号だけを使用することにより、基板上の部品全般と内部結線の検査機構を提供します。

EEE 1149.1で定義された4つの必須 JTAG命令、**DCODE**、**BYPASS**、**SAMPLE/PRELOAD**、**EXTEST**だけでなく、AVR特殊公開 JTAG命令の **AVR_RESET**も基板検査に使用できます。既定 JTAG命令が DCODEのため、データレジスタ経路の初期走査は、デバイスの識別コード (D-code)を示します。検査動作中にリセット状態の AVRデバイスがあることは好都合かもしれませんが、リセットでない場合、デバイスの入力は走査動作により決定されるかもしれず、検査動作を終了するとき、内部ソフトウェアは未確定状態となってしまうかもしれません。リセットへの移行で、どのポートピンの出力も直ちに Hi-Z状態に移行し、**HIGHZ**命令が不要になります。必要とされるならば、デバイスを通る走査チェーンを可能な限り最短とするために **BYPASS**命令が発行できます。外部 RESETピンを **Low**に引き込むか、またはリセットデータレジスタの適切な設定による **AVR_RESET**命令の発行で、デバイスはリセット状態に設定できます。

EXTEST命令は外部ピンの採取と出力ピンの値設定に使用されます。**EXTEST**命令が JTAG命令レジスタ (R)に設定されると、直ちに出力ラッチからの値がピンで出力駆動されます。このため、最初に **EXTEST**命令を発行するとき、基板の損傷を避けるため、走査チェーン内に初期値を設定するのに **SAMPLE/PRELOAD**命令も使用されるべきです。**SAMPLE/PRELOAD**命令は通常動作中デバイスの外部ピン的高速監視にも使用できます。

JTAG検査アクセスポート (TAP)を許可するには **JTAGEN**レジスタがプログラム (0)され、**MCU制御 /ステータス レジスタ (MCUCSR)**の **JTAGインターフェース禁止 (JTD)**ビットがクリア (0)されなければなりません。

境界走査 (Boundary-Scan)に JTAGインターフェースを使用する場合、内部チップ周波数より高い JTAG TCKクロック周波数の使用が可能です。チップのクロックは走行に必要とされません。

データレジスタ

境界走査 (Boundary-Scan)に関連するデータレジスタ (DR)を次に示します。

- 迂回 (Bypass)レジスタ
- リセット (Reset)レジスタ
- デバイス識別 (Device Identification)レジスタ
- 境界走査チェーン (Boundary-Scan chain)

迂回 (Bypass)レジスタ

迂回レジスタは1段のシフトレジスタから成ります。TDとTDO間の経路として迂回レジスタが選択されると、このレジスタは TAP制御器がデータレジスタ (DR)捕獲状態を抜けると、0にリセットされます。迂回レジスタは他のデバイスが検査される時、システム上の走査チェーン (Scan chain)を短くするために使用できます。

デバイス識別 (Device Identification)レジスタ

図 122はデバイス識別レジスタの構造を示します。

図 122. デバイス識別レジスタの形式

ビット	31	28	27	12	11	1	0
デバイス識別	バージョン				部品番号		製造者識別
ビット数	4				16		11

バージョン バージョンは部品 (デバイス)のバージョン (Revision)を示す4ビットです。JTAGバージョンはデバイスのバージョンに従います。バージョンAは \$00、バージョンBは \$01、以下同様です。

部品番号 部品番号は部品名を示す16ビットです。ATmega128の JTAG部品番号は表 100で示されます。

表 100. AVR JTAG 部品番号

部品番号	JTAG部品番号 (Hex)
ATmega128	\$9702

製造者識別 製造者識別は製造業者を示す11ビットです。ATMELの JTAG製造者識別は表 101で示されます。

表 101. 製造者 D

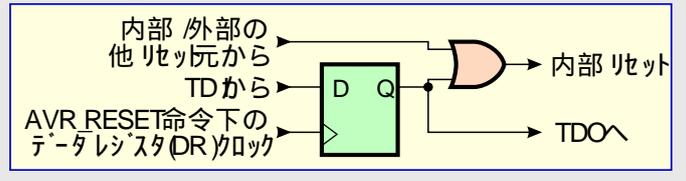
製造業者	JTAG製造者 D号 (Hex)
ATMEL	\$01F

リセット (Reset) レジスタ

リセットレジスタはデバイスのリセットに使用される検査データレジスタです。リセットによりAVRのポートピンがHi-Z状態となるため、未実装の任意 JTAG命令 **HIGHZ** 機能の代わりにできます。

リセットレジスタ内の値 **1** は外部 RESET ピンを **Low** に引っ張るのと同じです。デバイスはリセットレジスタ内の値が **1** である限り、リセットです。リセットレジスタの開放後、デバイスは **クロック選択用ヒューズビット** の設定に従い、リセット起動遅延時間 (2頁の「クロック」参照) リセットに留まります。図 123 で示されるように、本データレジスタからの出力はラッチされず、直ちにリセットが行われます。

図 123. リセットレジスタ



境界走査チェーン (Boundary-Scan Chain)

境界走査チェーンにはデジタル I/O ピンは勿論、チップ外の接続を持つアナログ回路のアナログとデジタル間境界の論理値上の設定と監視能力があります。

完全な記述については 169 頁の **境界走査チェーン (Boundary-Scan chain)** をご覧ください。

境界走査 (Boundary-Scan) 用 JTAG 命令

命令レジスタ (R) は 16 種までの命令を支援する 4 ビット幅です。以下に示した一覧は境界走査 (Boundary-Scan) 操作に有用な JTAG 命令です。全ポートピンを Hi-Z 状態にするための任意 **HIGHZ** 命令は実装されませんが、**AVR_RESET** 命令を使用することにより全出力が Hi-Z 状態に設定できることに注目してください。

このデータレジスタ内の定義として、全てのシフトレジスタについて、入出力とも LSB が最初にシフトされます。

各命令の命令コードは命令名下の 16 進形式で示されます。本文は各命令について TD と TDO 間の経路として選択されるデータレジスタを記述します。 **訳注** 配置構成変更により内容を一部変更)

EXTEST (\$0)

AVR デバイスに外部回路的検査を行うため、データレジスタ (DR) として境界走査チェーン (Boundary-Scan chain) を選択するための必須 JTAG 命令です。ポートピンは方向、プルアップ、出力値、入力値は走査チェーン (Scan chain) 内で全てアクセス可能です。チップ外接線を持つアナログ回路についてはアナログとデジタル論理間のインターフェースが走査チェーン内になります。境界走査チェーンのラッチした出力値は JTAG 命令レジスタ (R) に **EXTEST** 命令が設定されると直ちに駆動されます。本命令が有効な状態を次に示します。

- DR 捕獲 : 外部ピン上の値が境界走査チェーン内に採取されます。
- DR シフト : 内部走査チェーンが TCK クロック入力によりシフトされます。
- DR 更新 : 走査チェーンからの値が出力ピンに印加 (出力) されます。

DCODE (\$1)

データレジスタ (DR) として 32 ビットのデバイス識別 (D) レジスタを選択する任意 JTAG 命令です。デバイス識別レジスタはバージョン番号、デバイス番号と JEDEC により決められた製造者コードから成ります。これは電源投入後の既定命令です。本命令が有効な状態を次に示します。

- DR 捕獲 : デバイス識別レジスタ内の値が境界走査チェーン内に採取されます。
- DR シフト : 内部走査チェーン (デバイス識別レジスタ値) が TCK クロック入力によりシフトされます。

SAMPLE_PRELOAD (\$2)

システム動作に影響を与えずに、入出力ピンの状態採取、出力ラッチの事前設定を行うための必須 JTAG 命令です。けれども出力ラッチはピンに接続されません。データレジスタ (DR) として境界走査チェーン (Boundary-Scan chain) が選択されます。本命令が有効な状態を次に示します。

- DR 捕獲 : 外部ピン上の値が境界走査チェーン内に採取されます。
- DR シフト : 境界走査チェーンが TCK クロック入力によりシフトされます。
- DR 更新 : 境界走査チェーンからの値が出力ラッチに印加 (設定) されます。けれども出力ラッチはピンに接続されません。

AVR_RESET (\$C)

AVR デバイスを強制的にリセット状態、または JTAG リセット元から開放するための AVR 特殊公開 JTAG 命令です。この命令により検査アクセスポート (TAP 制御器) はリセットされません。データレジスタ (DR) として 1 ビットのリセットレジスタが選択されます。リセットチェーン (レジスタ) が論理 **1** である限り、リセットが活性 (有効) なことに注意してください。このチェーンからの出力はラッチされません。本命令が有効な状態を次に示します。

- DR シフト : 走査チェーン (リセットレジスタ) が TCK クロック入力によりシフトされます。

BYPASS (\$F)

データレジスタ (DR) に迂回 (Bypass) レジスタを選択する必須 JTAG 命令です。本命令が有効な状態を次に示します。

- DR 捕獲 : 迂回レジスタに論理 **0** を設定します。
- DR シフト : TD と TDO 間の迂回レジスタセルがシフトされます。

境界走査 (Boundary-Scan)に関連する I/Oメモリ内のレジスタ

MCU制御 /ステータス レジスタ (MCU Control and Status Register)MCUCSR

MCU制御 /ステータス レジスタは、一般MCU機能制御ビットを含み、MCUリセットを起こしたビット元の情報を提供します。

ビット	7	6	5	4	3	2	1	0	
\$34 (\$54)	JTD	-	-	JTRF	WDRF	BORF	EXTRF	PORF	MCUCSR
Read/Write	R/W	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	内容参照	内容参照	内容参照	内容参照	内容参照	

ビット7 - JTD :JTAGインターフェース禁止 (JTAG interface disable)

このビットが **0** のとき、**JTAGインターフェース**がプログラム (**0**) されている場合は、JTAGインターフェースが許可されます。このビットが **1** の場合、JTAGインターフェースは禁止されます。JTAGインターフェースの予期せぬ許可や禁止を避けるため、このビットを変更するとき、時間制限手順に従わなければなりません。この値を変更するため、応用ソフトウェアは4サイクル以内に希望する値をこのビットへ2回書き込まなければなりません。

JTAGインターフェースが他のJTAG回路に接続されないままにされる場合、このJTDビットは **1** に設定されるべきです。この理由はJTAGインターフェースのTDOピンの静止時電流を避けるためです。

ビット4 - JTRF :JTAG リセットフラグ (JTAG Reset Flag)

このビットは **JTAG命令 AVR_RESET**により選択した**JTAG リセットレジスタ**内の論理 **1**でリセットが起こされるとセット(**1**)されます。このビットは**電源ON リセット**またはこのフラグへの論理 **0**書き込みによりリセット(**0**)されます。

境界走査チェーン(Boundary-Scan Chain)

境界走査チェーンにはデジタル I/Oピンは勿論、チップ外の接続を持つアナログ回路のアナログとデジタル間境界の論理値の設定と監視の能力があります。

デジタルポートピンの走査

図 124はプルアップ機能付き双方向ポートピン用境界走査(Boundary-Scan)セルを示します。このセルはプルアップ許可(PUE_{xn})用標準境界走査(Boundary-Scan)セルと3つの信号、出力方向制御(OC_{xn})、出力データ(OD_{xn})、入力データ(D_{xn})の組み合わせの双方向ピン用セルの2段のシフトレジスタだけから成ります。ポートピンの添え字は続く記述で使用されません。

境界走査(Boundary-Scan)論理回路はデータシート内の図に含まれません。図 125は39頁の「入出力ポート」項で記載される単純なデジタルポートピンを示します。図 124からの境界走査セルの詳細が図 125上の破線内に置き換わります。

兼用ポート機能が存在しない場合、入力データ(D)はPN_{xn}レジスタ値(けれどもDは同期化回路を持たない)、出力データ(OD)はPORT_{xn}レジスタ、出力制御(OC)はDD_{xn}方向レジスタ、プルアップ許可(PUE)は論理合成値(PUD AND DD_{xn} AND PORT_{xn})に各々対応します。

デジタル兼用ポートピン機能は走査チェーン(Scan chain)が実際のピン値を読むために図 125内の破線外側に接続されます。アナログ機能について、それらは外部ピンからアナログ回路へ直結で、走査チェーンはアナログ回路とデジタル論理回路間のインターフェイスに挿入されます。

図 124.プルアップ機能付き双方向ポートピン用境界走査(Boundary-Scan)セル構成図

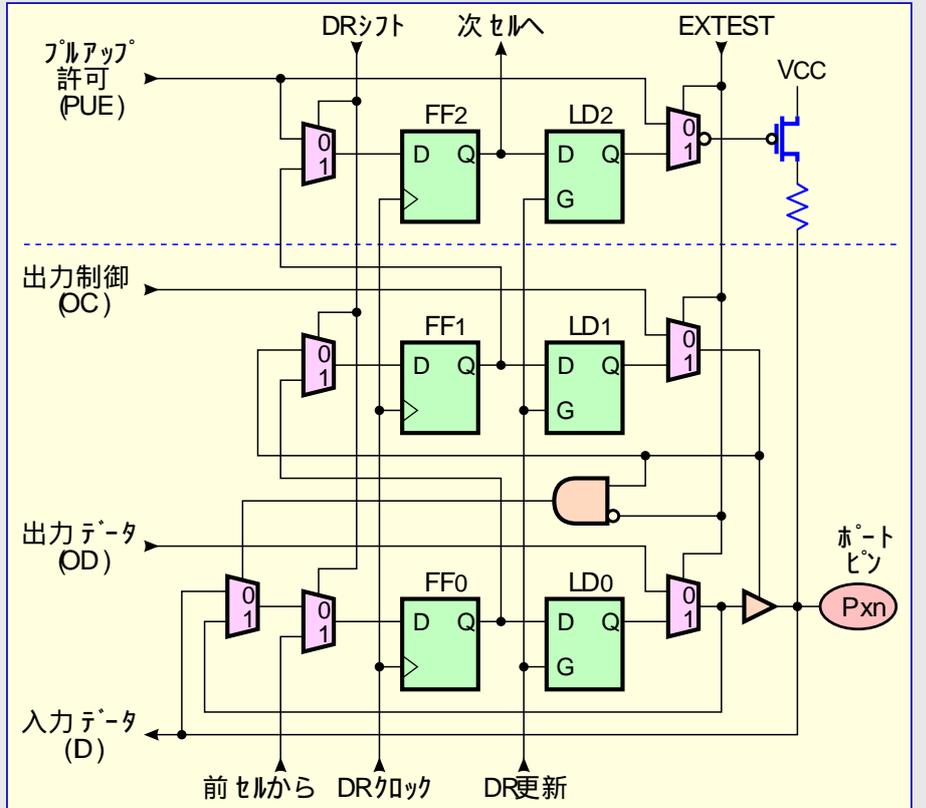
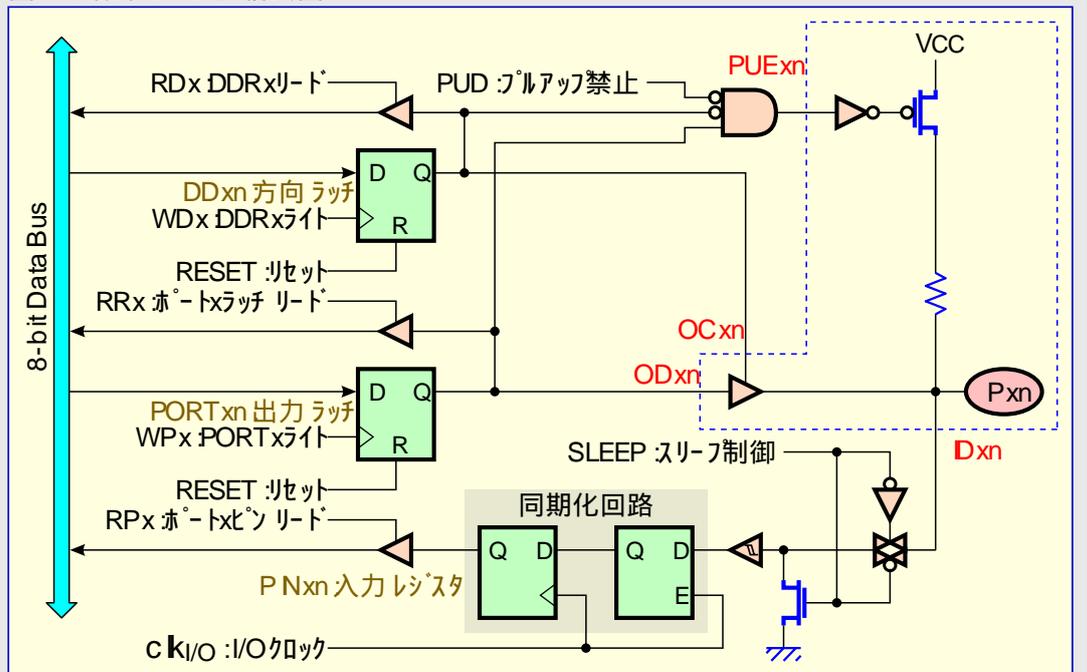


図 125 標準ポートピン構成図



注 : 詳細については境界走査 (Boundary-Scan) をご覧ください。

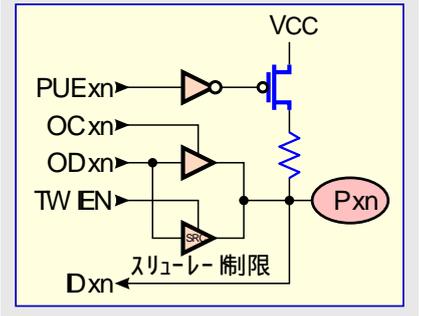
境界走査と線 (シリアル) インターフェース

2線 インターフェース びんの SCLとSDAは走査チェーン内に1つの追加制御信号 TW EN (2線 インターフェース 許可) を持ちます。図 126で示されるように、この TW EN信号は通常のデジタルポートピンと並列のスリュート立ち上り/立ち下り制御付きトリス状態バッファを許可します。図 130で示される標準走査セルが TW EN信号に付随します。

注 : 1. 入力の 50nsスライプ除去器用の独立した走査チェーンは提供されません。デジタルポートピンに対する標準走査の支援は接続検査に対して充分です。走査経路内に TW ENを持っている理由は境界走査を行う時にスリュート制御バッファを切断できることだけです。

2. 駆動出力の衝突を引き起こさないよう OCとTW EN信号は同時に有効とされないように注意してください。

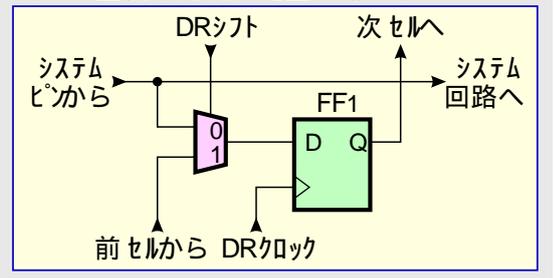
図 126. TW用追加走査信号



RESETピンの走査

RESETピンは標準リセット動作について5V負論理 (Low有効) 高電圧パラレルプログラマックについて12V正論理 (High有効) を受け入れます。図 127で示される監視専用セルが5Vリセット信号 (RSTT)と12Vリセット信号 (RSTHV)の両方に挿入されます。

図 127 監視専用境界走査セル構成図



クロックピンの走査

AVRデバイスにはヒューズにより選択可能な多くのクロック種別があります。これらは校正付き内蔵RC発振器、外部RC発振器、外部クロック信号、高周波数クリスタル発振器、低周波数クリスタル発振器、セラミック振動子です。

図 128は走査チェーン内で支援される各発振器と外部接続を示します。許可信号は標準境界走査セルで支援され、一方発振器/クロック出力には監視専用セルが付随されます。主クロックに加え、タイマ用発振器も同じ方法で走査されます。校正付き内蔵RC発振器からの出力は、この発振器が外部接続を持たないために走査されません。

図 128. クロック機能と発振器用境界走査セル構成図

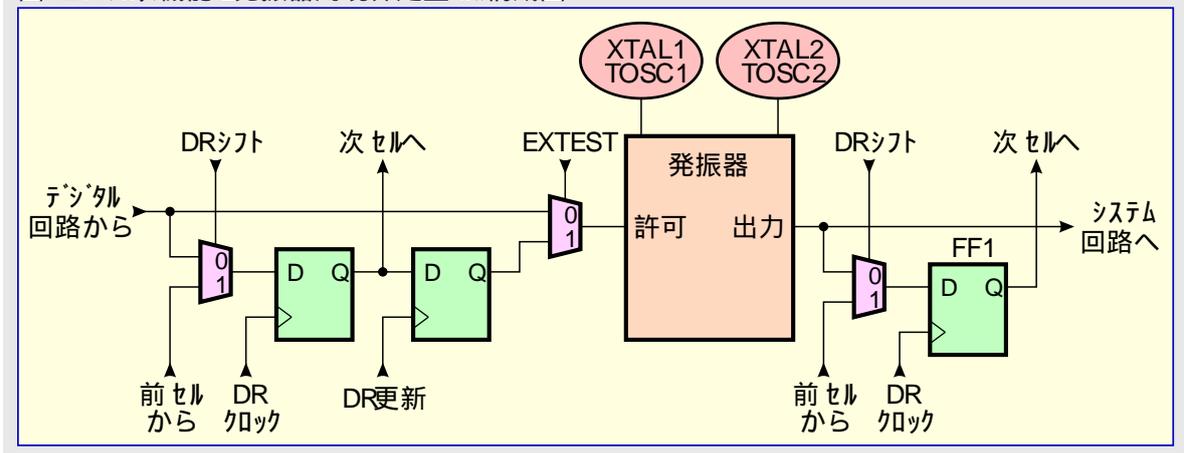


表 102はタイマ用 32kHz発振器は勿論、外部クロックピンXTAL1、XTAL1/XTAL2接続の発振器に対する走査レジスタの一覧です。

表 102. 発振器用走査信号

許可信号	走査 クロック信号線	クロック種別	未使用時値
EXTCLKEN	EXTCLK (XTAL1)	外部 クロック信号	0
OSCON	OSCCK	外部 クリスタル発振子 外部 セラミック振動子	0
RCOSCEN	RCCK	外部 RC発振	1
OSC32EN	OSC32CK	低周波数外部 クリスタル	0
TOSKON	TOSCK	タイマ用 32kHz発振器	0

注：1. 主 クロックとして同時に一つより多くの クロック元を許可してはいけません。

2. 発振器出力の走査は内部発振器とJTAGの TCKクロック間の周波数偏差のため、予期せぬ結果を与えます。可能ならば、外部 クロックでの走査が望まれます。

3. クロック設定はヒューズによりプログラミングされます。ヒューズは実行動作時に変更されないため、クロック設定は与えられた応用について考慮し決定されます。使用者は最終システムで使用されるのと同じクロック選択で走査することを推奨されます。システム論理回路がスリープ動作でクロック選択 元 を禁止できるため、許可信号は走査チェーン内で支援され、それ（その禁止）により（クロックが 供給されない場合、発振器ピンを走査経路から切り離します。CKOPTヒューズ^{*}訳注 原書の NTCAPは誤り）は走査チェーン内で支援されませんので、このヒューズが正しくプログラム（0）される場合を除いて、境界走査チェーンは内部コンデンサを必要とするXTAL発振器を形成できません。

アナログ比較器の走査

境界走査に関する比較器関連の信号は図 129で示されます。図 130の境界走査セルがこれら信号の各々に付随します。この信号は表 103で記述されます。

この比較器は全てのアナログ入力がデジタルポートピンとしても兼用されるため、純粋な接続試験用に使用される必要がありません。

図 129. アナログ比較器部構成図

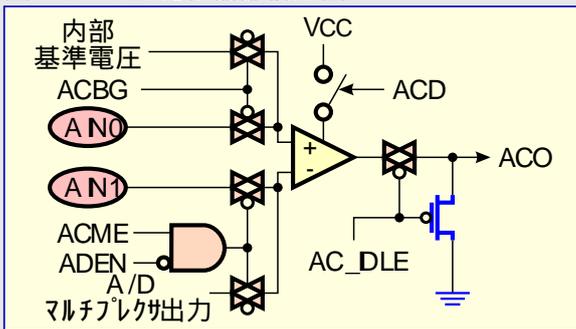


図 130. 比較器、A/D変換用標準境界走査セル構成図

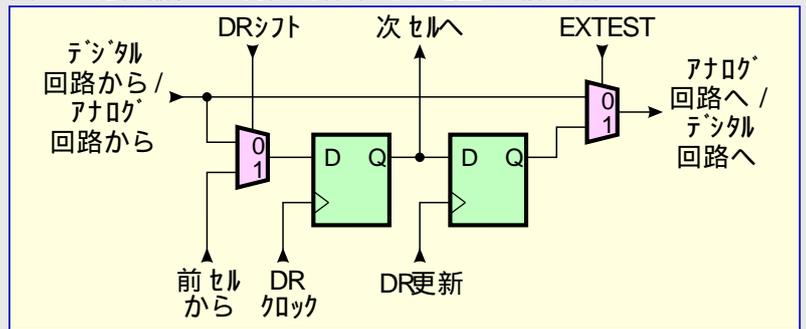


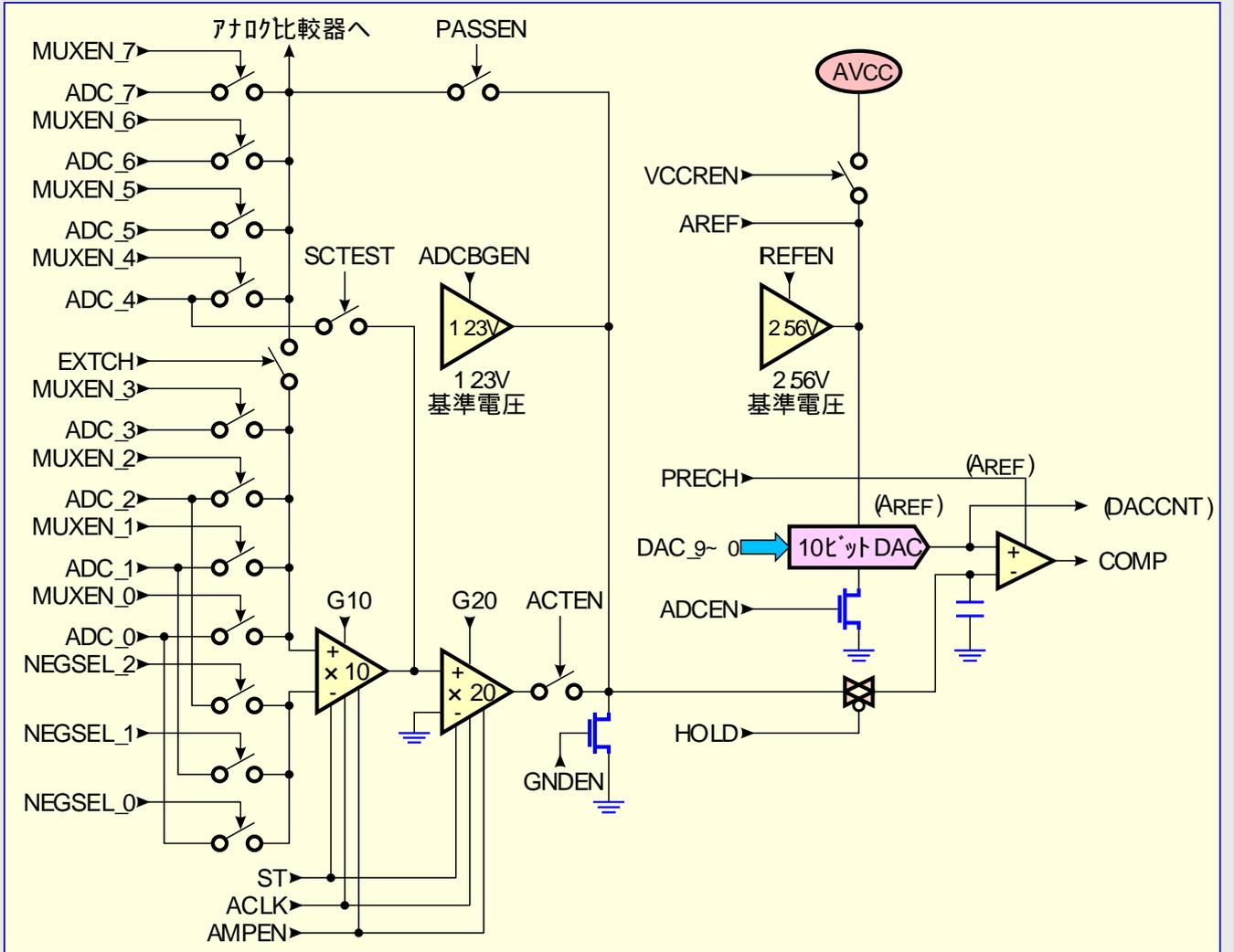
表 103. アナログ比較器用境界走査信号

信号名	比較器側での方向	意味	未使用時推奨入力値	推奨入力時出力値
AC_DLE	入力	真のときアナログ比較器OFF	1	CPU実行に依存
ACO	出力	アナログ比較器出力	CPU実行時入力	0
ACME	入力	真のときA/Dマルチプレクサ出力使用	0	CPU実行に依存
ACBG	入力	内蔵基準電圧許可	0	CPU実行に依存

A/D変換器の走査

図 131は A/D変換部と関連する制御と監視信号の構成図を示します。図 130の境界走査セルがこれら信号の各々に付随されます。この A/D変換器は、全てのアナログ入力がデジタルポートピンとしても兼用されるため、純粋な接続試験に使用される必要がありません。

図 131. A/D変換部構成図



各信号の概要は表 104で示されます。

表 104. A/D変換用境界走査信号

信号名	A/D変換器側での方向	意味	未使用時 推奨入力値	推奨入力または 未使用時出力値
COMP	出力	比較器出力	0	0
ACLK	入力	利得段のスイッチキャパシタのクロック	0	0
ACTEN	入力	利得段 比較器接続許可	0	0
ADCBGEN	入力	比較器反転入力へ内部 1.23V基準電圧接続	0	0
ADCEN	入力	A/D変換器電源ON信号	0	0
AMPEN	入力	利得段電源ON信号	0	0
DAC_9	入力	D/A変換器デジタル入力ビット9	1	1
DAC_8	入力	D/A変換器デジタル入力ビット8	0	0
DAC_7	入力	D/A変換器デジタル入力ビット7	0	0
DAC_6	入力	D/A変換器デジタル入力ビット6	0	0
DAC_5	入力	D/A変換器デジタル入力ビット5	0	0
DAC_4	入力	D/A変換器デジタル入力ビット4	0	0
DAC_3	入力	D/A変換器デジタル入力ビット3	0	0
DAC_2	入力	D/A変換器デジタル入力ビット2	0	0
DAC_1	入力	D/A変換器デジタル入力ビット1	0	0
DAC_0	入力	D/A変換器デジタル入力ビット0	0	0
EXTCH	入力	ADC3~0の利得段迂回接続	1	1
G10	入力	10倍利得許可	0	0
G20	入力	20倍利得許可	0	0
GNDEN	入力	比較器反転入力GND接続	0	0
HOLD	入力	S&H信号。0=採取、1=保持。利得段使用の場合 ACLK =1のとき切り替えなければなりません。	1	1
REFEN	入力	D/A変換器への AREFとして内部 2.56V基準電圧許可	0	0
MUXEN_7	入力	ADC7 アナログ入力チャネル接続	0	0
MUXEN_6	入力	ADC6 アナログ入力チャネル接続	0	0
MUXEN_5	入力	ADC5 アナログ入力チャネル接続	0	0
MUXEN_4	入力	ADC4 アナログ入力チャネル接続	0	0
MUXEN_3	入力	ADC3 アナログ入力チャネル接続	0	0
MUXEN_2	入力	ADC2 アナログ入力チャネル接続	0	0
MUXEN_1	入力	ADC1 アナログ入力チャネル接続	0	0
MUXEN_0	入力	ADC0 アナログ入力チャネル接続	1	1
NEGSEL_2	入力	ADC2 反転差動入力接続	0	0
NEGSEL_1	入力	ADC1 反転差動入力接続	0	0
NEGSEL_0	入力	ADC0 反転差動入力接続	0	0
PASSEN	入力	利得段迂回路許可	1	1
PRECH	入力	比較器出力ラッチのプリチャージ (負論理)	1	1
SCTEST	入力	スイッチキャパシタ検査 (10倍利得段出力 ADC4)	0	0
ST	入力	AMPEN=1後の最初の 2ACLK周期間 1ならば、利得段出力がより早く安定	0	0
VCCREN	入力	D/A変換器への AREFとして AVCC許可	0	0

注: 図 131内の不正なスイッチ設定は信号衝突の原因になり、デバイスに損傷するかもしれません。それらは多くの入力を図 131で出力比較器の反転入力の S&Hへ選択します。1つの ADCビット、内部基準電圧、GNDのどれか 1つの経路だけが選択されることを確認してください。

走査中にA/D変換器が使用されないなら、表 104の推奨入力値が使用されるべきです。使用者は走査中に差動利得段を使用しないことを推奨されます。スイッチキャパシタンスを基にした利得段は、走査チェーン内で使用されるとき達成が難しい高速な操作とタイミング精度が必要です。従って差動利得段の操作に関する詳細は提供されません。

AVRのA/D変換部はデジタル論理回路内に実装した逐次比較方式と図 131で示したアナログ回路が基になります。境界走査使用時、問題は印加したアナログ電圧が或る範囲内で計測されることを常に保証することです。これは逐次比較動作を行わずして容易に実行でき、DAC₉₋₀ デジタル信号線に下限値を加え、比較器からの出力がLow (0)であることを確認し、その後DAC₉₋₀ デジタル信号線に上限値を加え、比較器からの出力がHigh (1)であることを検証します。

このA/D変換器は、全てのアナログ入力デジタルポートピンとしても兼用されるため、純粋な接続試験に使用される必要がありません。

A/D変換を使用するとき、次のことに留意してください。

ADCチャネルで使用するポートピンは信号の衝突を避けるため、プルアップを禁止した入力に設定されなければなりません。

通常動作ではA/D変換部許可時に(1回の比較で構成される)ダミー変換が実行されます。使用者はA/D変換許可後、A/D変換信号の制御/監視をする前に最低200ns待機するか、または最初の変換結果を使用する前にダミー変換の実行を推奨されます。

DAC値はHOLD信号がLow (0)採取)のとき、中間値(\$200)で安定していなければなりません。

例として、電源電圧5VでAREFが外部的にVCCへ接続されるとき、ADCチャネル3で1.5V±5%の入力信号を検証する手順を考察してください。

$$\begin{aligned} \text{上限} &: 1024 \times 1.5V \times 1.05 \div 5V = 323 = \$143 \\ \text{下限} &: 1024 \times 1.5V \times 0.95 \div 5V = 291 = \$123 \end{aligned}$$

表 105の手順内で他の値が与えられる以外、表 104の推奨値が使用されます。表 105には走査チェーンのDAC値とポートピン値だけが示されます。動作欄は続く行内の値で境界走査チェーンレジスタを満たす前にどのJTAG命令を使用すべきかを記述します。表の同一列上のテスト走査入力するとき、走査出力のテストで検証が行われるべきです。

表 105. A/D変換使用手順

手順番号	動作	ADCEN	DAC ₉₋₀	MUXEN ₇₋₀	HOLD	PRECH	PF3 データ	PF3 制御	PF3 プルアップ許可
1	SAMPLE_PRELOAD	1	\$200	\$08	1	1	0	0	0
2	EXTEST	1	\$200	\$08	0	1	0	0	0
3		1	\$200	\$08	1	1	0	0	0
4		1	\$123	\$08	1	1	0	0	0
5		1	\$123	\$08	1	0	0	0	0
6	0となるべきCOMP走査出力の検証	1	\$200	\$08	1	1	0	0	0
7		1	\$200	\$08	0	1	0	0	0
8		1	\$200	\$08	1	1	0	0	0
9		1	\$143	\$08	1	1	0	0	0
10		1	\$143	\$08	1	0	0	0	0
11	1となるべきCOMP走査出力の検証	1	\$200	\$08	1	1	0	0	0

この手法の使用では、HOLD信号の束縛タイミングがTCKクロック周波数を押さえます。手順の第5段階でのHOLDのHigh (1)に保持で、TCKクロック周波数は最大保持時間(t_{hold,max})で割られた走査ビット数の最低5倍でなければなりません。

ATmega128の境界走査 (Boundary-Scan)順

表 106は境界走査チェーンがデータ経路として選択されるときにTDとTDO間の走査順を示します。ビット0が最下位ビットで、走査の最初に入出力されます。走査順は可能な限りピン配置順に従います。このためにポートAのビットは他のポートと違うビット順で走査されます。この規則の例外は、アナログ回路が接続される物理ピンに関係なく走査チェーンの最上位を構成するアナログ回路用走査チェーンです。
 図 124上で、Pxn出力はFF0 Pxn制御はFF1 Pxnプルアップ許可はFF2に各々対応します。ポートHのビット4,5,6,7はJTAG許可時にTAPピンを構成するため、走査チェーンにはありません。

表 106. ATmega128境界走査 (Boundary-Scan)順

ビット	信号名	基本単位	ビット	信号名	基本単位	ビット	信号名	基本単位	
204	AC_DLE	アナログ比較器	152	PE2Control	ポートE	99	RCOSCEN	主クロック発振器用許可信号	
203	ACO		151	PE2Pullup_Enable		98	OSC32EN		
202	ACME		150	PE3Data		97	EXTCLK (XTAL1)	主クロック入力発振器監視専用セル)	
201	ACBG		149	PE3Control		96	OSCK		
200	COMP		148	PE3Pullup_Enable		95	RCCK		
199	PRMATE_SGNAL1		(注)	147		PE4Data	94		OSC32CK
198	ACLK		(注)	146		PE4Control	93	TWEN	TWI
197	ACTEN			145		PE4Pullup_Enable	92	PD0Data	ポートD
196	PRMATE_SGNAL2			144		PE5Data	91	PD0Control	
195	ADCBGEN			143		PE5Control	90	PD0Pullup_Enable	
194	ADCEN	142		PE5Pullup_Enable		89	PD1Data		
193	AMPEN	141		PE6Data		88	PD1Control		
192	DAC_9	140		PE6Control		87	PD1Pullup_Enable		
191	DAC_8	139		PE6Pullup_Enable		86	PD2Data		
190	DAC_7	138		PE7Data	85	PD2Control			
189	DAC_6	137		PE7Control	84	PD2Pullup_Enable			
188	DAC_5	136	PE7Pullup_Enable	83	PD3Data				
187	DAC_4	135	PB0Data	82	PD3Control				
186	DAC_3	134	PB0Control	81	PD3Pullup_Enable				
185	DAC_2	133	PB0Pullup_Enable	80	PD4Data				
184	DAC_1	132	PB1Data	79	PD4Control				
183	DAC_0	131	PB1Control	78	PD4Pullup_Enable				
182	EXTCH	130	PB1Pullup_Enable	77	PD5Data				
181	G10	A/D変換	129	PB2Data	76	PD5Control			
180	G20		128	PB2Control	75	PD5Pullup_Enable			
179	GNDEN		127	PB2Pullup_Enable	74	PD6Data			
178	HOLD		126	PB3Data	73	PD6Control			
177	REFEN		125	PB3Control	72	PD6Pullup_Enable			
176	MUXEN_7		124	PB3Pullup_Enable	71	PD7Data			
175	MUXEN_6		123	PB4Data	70	PD7Control			
174	MUXEN_5		122	PB4Control	69	PD7Pullup_Enable			
173	MUXEN_4		121	PB4Pullup_Enable	68	PG0Data	ポートG		
172	MUXEN_3		120	PB5Data	67	PG0Control			
171	MUXEN_2	119	PB5Control	66	PG0Pullup_Enable				
170	MUXEN_1	118	PB5Pullup_Enable	65	PG1Data				
169	MUXEN_0	117	PB6Data	64	PG1Control				
168	NEGSEL_2	116	PB6Control	63	PG1Pullup_Enable				
167	NEGSEL_1	115	PB6Pullup_Enable	62	PC0Data	ポートC			
166	NEGSEL_0	114	PB7Data	61	PC0Control				
165	PASSEN	113	PB7Control	60	PC0Pullup_Enable				
164	PRECH	112	PB7Pullup_Enable	59	PC1Data				
163	SCTEST	111	PG3Data	58	PC1Control				
162	ST	110	PG3Control	57	PC1Pullup_Enable				
161	VCCREN	109	PG3Pullup_Enable	56	PC2Data				
160	PEN	プログラマチック許可監視専用セル)	108	PG4Data	55		PC2Control		
159	PE0Data	ポートE	107	PG4Control	54		PC2Pullup_Enable		
158	PE0Control		106	PG4Pullup_Enable	53		PC3Data		
157	PE0Pullup_Enable		105	TOSC	52	PC3Control			
156	PE1Data		104	TOSCON	51	PC3Pullup_Enable			
155	PE1Control		103	RSTT	50	PC4Data			
154	PE1Pullup_Enable		102	RSTHV	49	PC4Control			
153	PE2Data	101	EXTCLKEN	48	PC4Pullup_Enable				
			100	OSCON	47	PC5Data			

注: PRMATE_SGNAL1とPRMATE_SGNAL2は常に 0として走査されるべきです。 [次頁へ続く](#)



表 106 (続き) ATmega128境界走査 (Boundary-Scan)順

ビット	信号名	基本単位	ビット	信号名	基本単位	ビット	信号名	基本単位
46	PC5Control	ホ°-IC	30	PA6Pullup_Enable	ホ°-IA	14	PA0Data	ホ°-IA
45	PC5Pullup_Enable		29	PA5Data		13	PA0Control	
44	PC6Data		28	PA5Control		12	PA0Pullup_Enable	
43	PC6Control		27	PA5Pullup_Enable		11	PF3Data	ホ°-IF
42	PC6Pullup_Enable		26	PA4Data		10	PF3Control	
41	PC7Data		25	PA4Control		9	PF3Pullup_Enable	
40	PC7Control		24	PA4Pullup_Enable		8	PF2Data	
39	PC7Pullup_Enable	23	PA3Data	7		PF2Control		
38	PG2Data	22	PA3Control	6		PF2Pullup_Enable		
37	PG2Control	21	PA3Pullup_Enable	5		PF1Data		
36	PG2Pullup_Enable	20	PA2Data	4		PF1Control		
35	PA7Data	19	PA2Control	3		PF1Pullup_Enable		
34	PA7Control	18	PA2Pullup_Enable	2		PF0Data		
33	PA7Pullup_Enable	17	PA1Data	1		PF0Control		
32	PA6Data	16	PA1Control	0	PF0Pullup_Enable			
31	PA6Control	15	PA1Pullup_Enable					

境界走査記述言語 (Boundary-Scan Description Language)ファイル

境界走査記述言語 (BSDL)ファイルは境界走査が可能なデバイスで自動検査生成ソフトウェアにより使用される標準形式で記述します。境界走査データレジスタ内のビットの順番と機能がこの記述内に含まれます。

ブートローダ書き込み中読み出し可能な自己プログラミング)

ブートローダ支援はMCU自身によりプログラムコードのダウンロードとアップロード用の真の書き込み中の読み出しが可能な機構を提供します。この特徴はフラッシュメモリに常駐するブートローダプログラムを使用するMCUにより制御される、柔軟性のある応用ソフトウェア更新を許します。ブートローダプログラムはフラッシュメモリ内にコードを書き(プログラム) コードを読み、またはプログラムメモリからコードを読むために、利用可能なデータインターフェースと関連する規約のどれもが使用できます。ブートローダ領域内のプログラムコードはブートローダメモリを含め、フラッシュメモリ全体に書くための能力を持ちます。従ってブートローダは自身をも変更でき、この機能がそれ以上必要とされないならば、そのコードから自身を消去することもできます。ブートローダメモリの容量はヒューズで設定可能で、ブートローダは個別に設定可能な組の独立したブートロックビットを持ちます。これは異なる保護レベルを選択することの独特な柔軟性をユーザーに与えます。

特徴

- 書き込み中読める (Read-While-Write自己プログラミング)
- 柔軟性のあるブートローダメモリ容量
- 高い安全性 (柔軟な保護用の独立したブートロックビット)
- リセットベクタ選択用の独立したヒューズ
- 最適化されたページ容量 (注1)
- 効率的なコードアルゴリズム
- 効率的な読み 変更 書き (リード モテファイライト支援)

注1: ページはプログラミング中に使用される多数のバイトから成るフラッシュメモリの区画です (185頁の表 124参照) このページ構成は通常動作に影響を及ぼしません。

フラッシュメモリの応用領域とブートローダ領域

フラッシュメモリは応用領域とブートローダ領域の2つの主な領域で構成されます (図 133参照) 各領域の容量は 185頁の表 112と図 133. で示されるようにBOOTSZヒューズにより設定されます。これら2つの領域は個別のロックビットの組を持つため、異なる保護レベルを持てます。

応用領域

応用領域は応用コードを格納するために使用されるフラッシュメモリの領域です。応用領域用保護レベルは応用ブートロックビット(ブートロックビット0)により選択できます (179頁の表 108参照) 応用領域から実行される時、SPM命令が禁止されるため、応用領域はどんなブートローダコードも決して格納し得ません。

ブートローダ領域 (BLS)

応用領域が応用コード格納用に使用されるのに対して、SPM命令はBLSから実行するときだけプログラミングを始められるので、ブートローダソフトウェアはBLSに格納されなければなりません。SPM命令はBLS自身を含む全てのフラッシュメモリをアクセスできます。ブートローダ領域用保護レベルはブートローダロックビット(ブートロックビット1)により選択できます (179頁の表 109参照)

フラッシュメモリの書き込み中に読み出し可能な領域と不能な領域

どちらのアドレスがプログラミングされるかによって、CPUが書き込み中の読み出しを支援するか、ブートローダソフトウェアが更新中にCPUが停止されるかのどちらです。上で記述されるようなBOOTSZヒューズにより設定可能な2つの領域に加え、フラッシュメモリは書き込み中読み出し可能なRWW領域と書き込み中読み出し不能なNRWW領域の2つの固定領域にも分けられます。RWWとNRWW領域間の境界は 178頁の図 133と185頁の表 113で与えられます。この2つの領域間の主な違いを次に示します。

RWW領域側に配置されたページを消去または書くとき、NRWW領域はその動作中、読むことができます。

NRWW領域側に配置されたページを消去または書くとき、その全ての動作中、CPUは停止されます。

ブートローダソフトウェア動作中、ユーザーソフトウェアがRWW領域側に配置されるどのコードも決して読めないことに注意してください。書き込み中読み出し可能領域」という記述は、プログラミング(消去または書き込み)される領域としての引用で、ブートローダソフトウェアが更新中に実際に読まれる領域ではありません。

(訳補) 上の記述はNRWW領域からRWW領域をプログラミングするという前提で、消去または書き込みを行う側ではなく、行われる側でこの名称が定義されていることを意味します。即ち、NRWW領域からRWW領域をプログラミングすると、NRWW領域のプログラムは通常通り動作する(即ち読める)ので、プログラミングされる側はRWW領域と名付けられ、この逆ではCPUが停止する(即ち読めない)ので、NRWW領域と名付けられているという意味です。

書き込み中読み出し可能 (RWW)領域

ブートローダ ソフトウェア更新がRWW領域側のアドレスをプログラミングする場合、フラッシュメモリからコードを読むことが可能ですが、NRWW領域に配置されるコードだけです。プログラミング実行中、このソフトウェアはRWW領域が決して読まれないことを保証しなければなりません。使用者ソフトウェアがプログラミング中に例えば、CALL, JMP, LPM命令または割り込みによりRWW領域側に配置されるコードを読もうとすると、そのソフトウェアは未知の状態へ行き着くかもしれません。これを避けるため、割り込みは禁止またはブートローダ領域へ移動のどちらかにされるべきです。ブートローダ領域は常にNRWW領域に配置されます。SPM命令制御 /ステータス レジスタ (SPMCSR) の RWW領域 ビット (RWWSB) ビットは、RWW領域が読み出しに対して妨げられている限り論理 1として読めます。プログラミングが完了した後、RWW領域に配置したコードを読む前に、RWWSBはソフトウェアによりクリア (0) されなければなりません。RWWSBをクリア (0) する方法の詳細については 180頁の「SPM命令制御 /ステータス レジスタ (SPMCSR)」をご覧ください。

書き込み中読み出し不能 (NRWW)領域

NRWW領域に配置したコードはブートローダ ソフトウェアがRWW領域内のアドレスを更新するときには読むことができます。ブートローダ コードがNRWW領域を更新するとき、全てのアドレス消去またはアドレス書き込み動作中、CPUが停止されます。

表 107.書き込み中読み出し可能機能

プログラミング中にZEPインデックスで指定される領域	プログラミング中に読める領域	CPU動作	RWW機能支援
RWW領域	NRWW領域	通常動作	あり
NRWW領域	なし	停止	なし

図 132. RWW領域とNRWW領域の関係

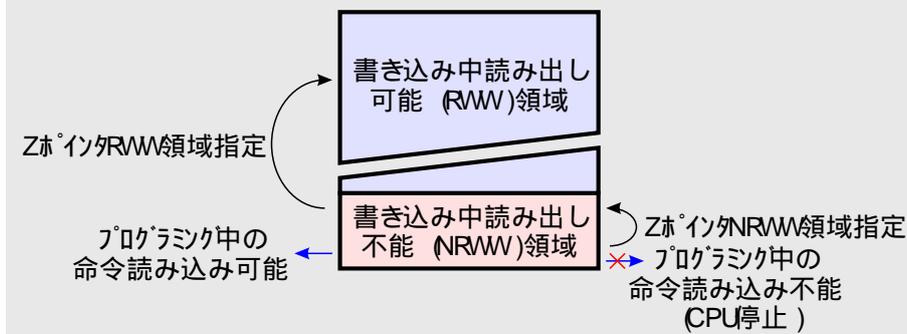
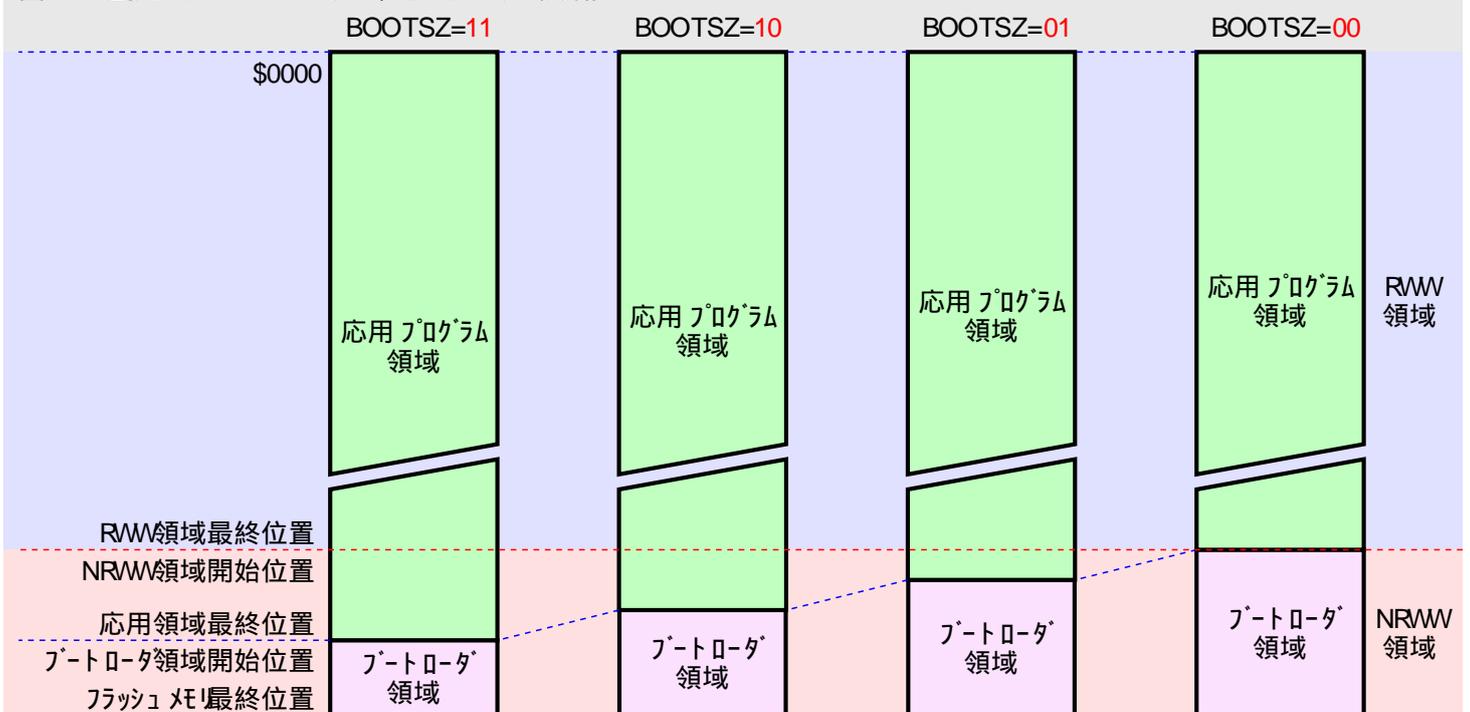


図 133. 選択によるプログラム用フラッシュメモリの領域分割



注: 図内の各パラメータについては 185頁の表 112で与えられます。

ブートローダ ロック ビット

ブートローダ能力が必要とされないならば、フラッシュメモリ全体が応用コード用に利用可能です。ブートローダは個別に設定可能な独立した2組のブートロックビットを持ちます。これは異なる保護レベルを選択することの独特な柔軟性を使用者に与えます。

使用者は以下を選択できます。

- MCUにより更新するソフトウェアからフラッシュメモリ全体を保護
- MCUにより更新するソフトウェアからフラッシュメモリのブートローダ領域だけ保護
- MCUにより更新するソフトウェアからフラッシュメモリの応用領域だけ保護
- フラッシュメモリ全体で更新するソフトウェアを許可

より多くの詳細については表 108と表 109をご覧ください。ブートロックビットはソフトウェアとシリアルまたはパラレルのプログラミング動作で設定(0)できますが、これらのビットはチップ消去コマンドによってのみクリア(1)できます。一般書き込み禁止 (LB動作種別 2)はSPM命令によるフラッシュメモリのプログラミングを制御しません。同様に、試みられるとすれば、一般読み書き禁止 (LB動作種別 3)はLPM命令とSPM命令による読み込みも書き込みも制御しません。 **訳補** 一般 LBIはLPM/SPM命令に関して無関係の意)

表 108. 応用領域に対する保護種別 (0=プログラム, 1=非プログラム)

BLB0動作種別	BLB02	BLB01	保護種別
1	1	1	LPM, SPM命令が応用領域をアクセスすることに対して制限はありません。
2	1	0	SPM命令は応用領域に書くことを許されません。
3	0	0	SPM命令による応用領域への書き込みと、ブートローダ領域でのLPM命令による応用領域からの読み込みが許されません。 (注)
4	0	1	ブートローダ領域でのLPM命令による応用領域からの読み込みが許されません。 (注)

注: BLB02=0で、割り込みベクタがブートローダ領域に配置されていると、応用領域での実行時、割り込みが禁止されます。

表 109. ブートローダ領域に対する保護種別 (0=プログラム, 1=非プログラム)

BLB1動作種別	BLB12	BLB11	保護種別
1	1	1	LPM, SPM命令がブートローダ領域をアクセスすることに対して制限はありません。
2	1	0	SPM命令はブートローダ領域に書くことを許されません。
3	0	0	SPM命令によるブートローダ領域への書き込みと、応用領域でのLPM命令によるブートローダ領域からの読み込みが許されません。 (注)
4	0	1	応用領域でのLPM命令によるブートローダ領域からの読み込みが許されません。 (注)

注: BLB12=0で、割り込みベクタが応用領域に配置されていると、ブートローダ領域での実行時、割り込みが禁止されます。

ブートローダ プログラムへの移行

ブートローダへの移行は応用プログラムから分岐 (Jumpまたは呼び出し Call)により行います。これはUSARTやSPIインターフェース経由で受信したコマンドのような起点により始められるかもしれませんが、代わりに、リセットベクタがリセット後にブートローダ領域開始アドレスを指示するために、ブートリセット(BOOTRST)ヒューズがプログラム(0)できます。この場合、ブートローダはリセット後に開始されます。応用コードが設定された書かれた後、このプログラム(ブートローダ)は応用コードの実行を始めることができます。このヒューズがMCU自身により変更できないことに注意してください。これは一旦ブートリセットヒューズがプログラム(0)されると、リセットベクタは常にブートローダリセットを指示し、このヒューズはシリアルプログラミング、パラレルプログラミングまたはJTAGインターフェースを通してのみ変更できることを意味します。

表 110. ブートリセットヒューズ (0=プログラム, 1=非プログラム)

BOOTRST	リセット後実行開始アドレス (リセットベクタ)	
0	ブートローダリセット	ブートローダ開始アドレス (185頁の表 112参照)
1	応用リセット	\$0000

SPM命令制御 / ステータスレジスタ (Store Program Memory Control and Status Register) SPMCSR

このレジスタはブートロータ動作を制御するために必要とされる制御ビットを含みます。

ビット (\$68)	7	6	5	4	3	2	1	0	SPMCSR
Read/Write	R/W	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - SPM E : SPM操作可割り込み許可 (SPM Interrupt Enable)

SPM Eビットが **1** を書かれ、**ステータスレジスタ (SREG) の全割り込み許可 (I)ビット** がセット (**1**) されていると、SPM操作可割り込みが許可されます。SPM操作可割り込みはSPMCSRのSPM操作許可 (SPMEN)ビットがクリア (**0**) されている限り実行されます。

ビット6 - RWWSB : RWW領域ビジー (Read-While-Write Section Busy)

RWW領域に自己プログラミング (ページ消去またはページ書き込み) 操作が開始されると、RWWSBがハードウェアによりセット (**1**) されます。RWWSBビットがセット (**1**) されるとRWW領域はアクセスできません。自己プログラミングが完了された後にRWWSREビットが **1** を書かれると、このRWWSBビットはクリア (**0**) されます。同様に、ページ設定操作が開始されるとRWWSBビットは自動的にクリア (**0**) されます。

ビット5 - Res : 予約 (Reserved)

このビットは予約されており、常に **0** として読まれます。

ビット4 - RWWSRE : RWW領域読み出し許可 (Read-While-Write Section Read Enable)

RWW領域にプログラミング (ページ消去またはページ書き込み) すると、RWW領域は (RWWSBがハードウェアによりセット (**1**) され) 読み出しに対して防がれます。RWW領域を再許可するために使用者ソフトウェアはプログラミングが完了 (SPMENがクリア (**0**) されるまで) 待たねばなりません。その後、RWWSREビットがSPMENと同時に **1** を書かれると、次の4クロックサイクル内のSPM命令がRWW領域を再許可します。ページ消去またはページ書き込みでフラッシュメモがビジー中 (SPMEN=**1**)、RWW領域は再許可できません。フラッシュメモが設定されている間にRWWSREビットが書かれると、フラッシュメモ設定操作は失敗し、設定したデータは失われます。

ビット3 - BLBSET : ブートロックビット設定 (Boot Lock Bits Set)

このビットがSPMENと同時に **1** を書かれると、次の4クロックサイクル内のSPM命令はR0のデータに従ったブートロックビットを設定します。R0のデータとZポイントのアドレスは無視されます。BLBSETビットはロックビットの設定完了で、または4クロックサイクル内にSPM命令が実行されない場合、自動的にクリア (**0**) されます。

SPMCSRでBLBSETとSPMENがセット (**1**) された後の3クロックサイクル内のLPM命令は、(ZポイントのZ0によって) ヒューズビットまたはロックビットのどちらかを転送先レジスタに読みます。詳細については [183頁の「ソフトウェアからのヒューズビットとロックビットの読み出し」](#) をご覧ください。

ビット2 - PGWRT : ページ書き込み (Page Write)

このビットがSPMENと同時に **1** を書かれると、次の4クロックサイクル内のSPM命令は一時バッファに格納したデータでページ書き込みを実行します。ページアドレスはZポイントの上位部から取得されます。R1とR0のデータは無視されます。PGWRTビットはページ書き込みの完了で、または4クロックサイクル内にSPM命令が実行されない場合、自動的にクリア (**0**) されます。NRWW領域がアドレス指定されると、ページ全体の書き込み動作中、CPUは停止されます。

ビット1 - PERS : ページ消去 (Page Erase)

このビットがSPMENと同時に **1** を書かれると、次の4クロックサイクル内のSPM命令はページ消去を実行します。ページアドレスはZポイントの上位部から取得されます。R1とR0のデータは無視されます。PERSビットはページ消去の完了で、または4クロックサイクル内にSPM命令が実行されない場合、自動的にクリア (**0**) されます。NRWW領域がアドレス指定されると、ページ全体の消去中、CPUは停止されます。

ビット0 - SPMEN : SPM操作許可 (Store Program Memory Enable)

このビットは次の4クロックサイクル間SPM命令を許可します。このビットがRWWSRE、BLBSET、PGWRT、PERSのどれかと共に **1** を書かれると、続くSPM命令は特別な意味を持ちます (上の記述をご覧ください)。SPMENだけが書かれると、続くSPM命令はZポイントによりアドレス指定したページ一時バッファへR1R0の値を格納します。Zレジスタの最下位ビットは無視されます。SPMENビットはSPM命令の完了で、または4クロックサイクル内にSPM命令が実行されない場合、自動的にクリア (**0**) されます。ページ消去とページ書き込み中、SPMENビットはその動作が完了されるまで **1** に留まります。

下位5ビットに **10001, 01001, 00101, 00011, 00001** 以外のどんな組み合わせを書いても無効です。

自己プログラミング中のフラッシュメモリのアドレス指定

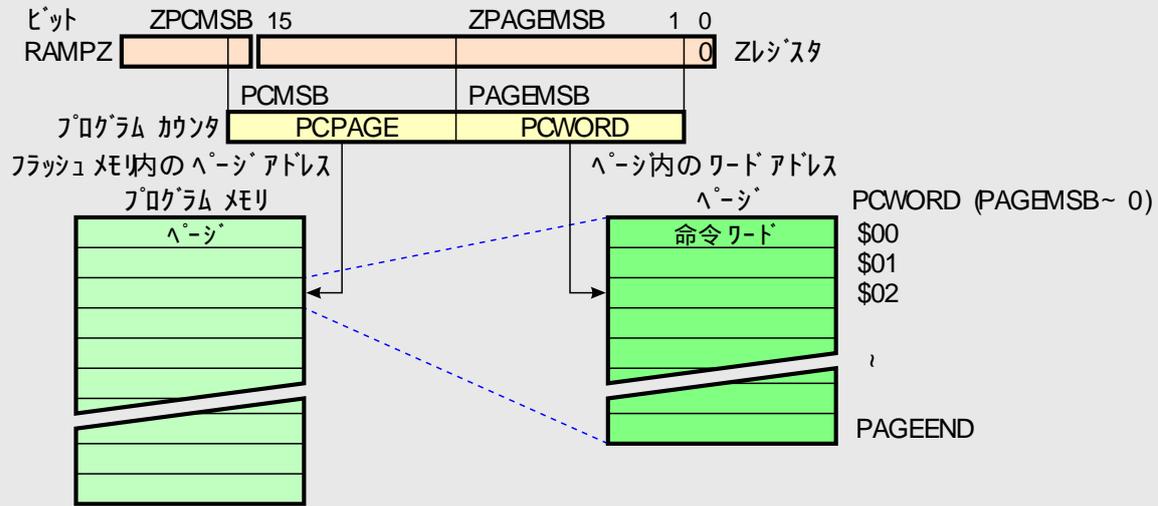
RAMPZと共にZレジスタ(レジスタ)がSPM命令でのアドレス指定に使用されます。RAMPZ使用法の詳細については8頁の「RAMページ選択レジスタ (RAMPZ)」をご覧ください。

ビット	15	14	13	12	11	10	9	8
ZH (R31)	Z15	Z14	Z13	Z12	Z11	Z10	Z9	Z8
ビット	7	6	5	4	3	2	1	0
ZL (R30)	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0

フラッシュメモリがページで構成されるため(18頁の表 124参照)プログラムカウンタ(アドレスポインタ)は2つの違う領域を持つように扱われます。1つの領域は下位側ビットから成り、ページ内のワードをアドレス指定し、一方上位側ビットはそのページをアドレス指定します。これは図134で示されます。ページ消去とページ書き込み操作が個別にアドレス指定されることに注意してください。従ってブートローダソフトウェアはページ消去とページ書き込み操作の両方で、同じページをアドレス指定することが最も重要です。一旦プログラミング操作が開始されると、このアドレスはラッチされ、RAMPZ/Zポインタは他の操作に使用できます。

RAMPZ/Zポインタを使用しないSPM操作はブートローダロックビット設定だけです。この操作でRAMPZ/Zレジスタの内容は無視され、無効です。(E)LPM命令もアドレスを格納するためにRAMPZ/Zポインタを使用します。この命令はフラッシュメモリのハイ単位をアドレス指定するため、Zポインタの最下位ビット(Z0)も使用されます。

図 134. SPM操作中のフラッシュメモリのアドレス指定



注: 図内で使用した各変数は185頁の表 114で一覧されます。
PCPAGEとPCWORDは188頁の表 124で一覧されます。

フラッシュメモリの自己プログラミング

プログラムメモリはページ単位形式で更新されます。ページ一時バッファへ格納したデータでページを書く前に、そのページは消去されなければなりません。ページ一時バッファはSPM命令使用時毎の1語(ワード)で満たされ、このバッファはページ消去命令前、またはページ消去とページ書き込み操作間のどちらかで満たすことができます。

手段1 (ページ消去前の一時バッファ格納)

- ページ一時バッファを満たしてください。
- ページ消去を実行してください。
- ページ書き込みを実行してください。

手段2 (ページ消去後の一時バッファ格納)

- ページ消去を実行してください。
- ページ一時バッファを満たしてください。
- ページ書き込みを実行してください。

ページの一部の変更だけがが必要な場合、消去前にページの残す部分は(例えばページ一時バッファに保存されなければならない)その後改めて書かれます。手段1を使用する場合、初めにページを読み、必要な変更を行い、その後に変更したデータを書き戻すことをユーザーソフトウェアに許す効果的な読み-修正-書き(リード-モテファイライト機能をブートローダは提供します。手段2が使用される場合、ページが既に消去されているため、格納中の旧データを読み出すことができません。ページ一時バッファはランダム手順でアクセスできます。ページ消去とページ書き込み操作の両方で使用されるページアドレスは同じページをアドレス指定することが非常に重要です。アセンブリ言語でのコード例については、184頁の「アセンブリ言語による簡単なブートローダ例」をご覧ください。

SPM命令による \bar{A} シ消去の実行

\bar{A} シ消去を実行するには、RAMPZとZホィン外にアドレスを設定し、SPM命令制御 / ステータス レジスタ (SPMCSR) に X0000011 を書き、SPMCSR書き込み後 4クロック サイクル内に SPM命令を実行してください。R1とR0のデータは無視されます。 \bar{A} シ アドレスは RAMPZとZホィン外の PCPAGEに書かれなければなりません。この操作中、Zホィン以外のビットは 0を書かれなければなりません。

- RWW領域の \bar{A} シ消去 : \bar{A} シ消去中、NRWW領域は読めます。
- NRWW領域の \bar{A} シ消去 : \bar{A} シ消去中、CPUは停止されます。

\bar{A} シ一時ハツアの設定 (\bar{A} シ設定)

命令語 (ワード) を \bar{A} シ一時ハツアに書くには、Zホィン外にアドレス R1 R0にデータを設定して、SPMCSRに 00000001を書き、SPMCSR書き込み後 4クロック サイクル内に SPM命令を実行してください。Zホィン外の PCWORDの内容は一時ハツアのデータのアドレスに使用されます。一時ハツアは \bar{A} シ書き込み操作後、または SPMCSRの RWW/SREビット書き込みにより自動的に消去されます。システム リセット後も消去されています。一時ハツアを消去せずに各アドレスへ複数回書くことができないことに注意してください。

注 : SPM \bar{A} シ設定操作の途中でEEPROMが書かれると、設定した全データが失われます。

\bar{A} シ書き込みの実行

\bar{A} シ書き込みを行うためには、RAMPZとZホィン外にアドレスを設定し、SPMCSRに X0000101を書き、SPMCSR書き込み後 4クロック サイクル内に SPM命令を実行してください。R1とR0のデータは無視されます。 \bar{A} シ アドレスは (RAMPZとZホィン外の) PCPAGEに書かれなければなりません。この操作中、Zホィン以外のビットは 0を書かれなければなりません。

- RWW領域の \bar{A} シ書き込み : \bar{A} シ書き込み中、NRWW領域は読めます。
- NRWW領域の \bar{A} シ書き込み : \bar{A} シ書き込み中、CPUは停止されます。

SPM操作可割り込みの使用法

SPM操作可割り込みが許可されると、SPMCSRの SPENビットがクリア (0) されているときに SPM操作可割り込みが継続的に発生します。これはソフトウェアで SPMCSRをポーリングする代わりに、この割り込みが使用できることを意味します。SPM操作可割り込みを使用するとき、割り込みが読み出しに対して防がれる時に RWW領域をアクセスすることを避けるために、割り込みベクタはブートロータ領域 (BLS)へ移動されるべきです。割り込み (ベクタ)の移動法は 35頁の「割り込み」で記述されます。

ブートロータ領域更新中の考慮

ブートロックビット11 (BLB11)が非プログラム (1)にされたままとすることにより、使用者がブートロータ領域に更新されることを許す場合、特別な注意が扱われなければなりません。ブートロータ自身への予期せぬ書き込みはブートロータ全体を不正にし得るし、更にソフトウェアの更新が不可能になるかもしれません。ブートロータ自体を変更することが必要ないならば、内部ソフトウェアのどの変更からもブートロータを保護するため、ブートロックビット11 (BLB11)をプログラム (0)することが推奨されます。

自己プログラミング中の RWW領域読み込みの防止

自己プログラミング中 (\bar{A} シ消去も \bar{A} シ書き込みも) RWW領域は読み出しに対して常に防がれます。使用者ソフトウェア自身自身が自己プログラミング操作中、この領域がアドレス指定されることを防止しなければなりません。SPMCSRの RWW/SBは RWW領域がビジーである限りセット (1) されます。自己プログラミング中の割り込みベクタテーブルは 35頁の「割り込み」で記述されるようにブートロータ領域 (BLS)へ移動されるべきか、または割り込みが禁止されなければなりません。プログラミングが完了した後に RWW領域をアドレス指定する前に、使用者ソフトウェアは RWW/SREの書き込みにより RWW/SBをクリア (0) しなければなりません。例については 184頁の「アセンブリ言語による簡単なブートロータ例」をご覧ください。

SPM命令によるブートロータ ロックビットの設定

ブートロータ ロックビットをクリア (0)するには、希望したデータを R0に設定し、SPMCSRに X0001001を書き、SPMCSR書き込み後 4クロック サイクル内に SPM命令を実行してください。アクセス可能なロックビットは MCUにより更新するどのソフトウェアからも応用とブートロータ領域を保護できるブートロックビットだけです。

ビット	7	6	5	4	3	2	1	0
R0	1	1	BLB12	BLB11	BLB02	BLB01	1	1

フラッシュメモリのアクセスに影響を及ぼすブートロータ ロックビットの各種設定法については表 108と表 109をご覧ください。

R0のビット5~2がクリア (0)される場合、SPMCSRで SPENとブートロックビット設定 (BLBSET)ビットがセット (1)された後 4クロック サイクル内に SPM命令が実行されると、対応するブートロックビットがプログラム (0)されます。この操作中、Zホィン外は関係ありませんが、将来との共通性のため、(ロックビット読み出しに使用されるのと同じ) \$0001で Zホィン外を設定することが推奨されます。将来との共通性のため、ロックビット書き込み時、R0のビット7,6,1,0は 1に設定することも推奨されます。ロックビットをプログラミングするとき、この操作中、全てのフラッシュメモリは読むことができます。

SPM命令での書き込み時のEEPROM書き込みによる妨害

EEPROM書き込み動作がフラッシュメモリの全ソフトウェアプログラミングを妨げることに注意してください。ソフトウェアからのヒューズとロックビット読み出しもEEPROM書き込み動作中、妨げられます。使用者はEEPROM制御レジスタ(EECR)のEEPROM書き込み許可(EEWE)ビットを検査し、SPM命令制御/ステータスレジスタ(SPMCSR)へ書く前に、このビットがクリア(0)されていることを確認することが推奨されます。

ソフトウェアからのヒューズビットとロックビットの読み出し

ソフトウェアからヒューズとロックビットの両方を読むことが可能です。ロックビットを読むにはZホールドに\$0001を設定し、SPMCSRのSPMENとブートロックビット設定(BLBSET)ビットをセット(1)してください。SPMENとBLBSETビットがSPMCSRに設定された後3CPUサイクル内にLPM命令が実行されると、ロックビットの値は転送先レジスタに格納されます。SPMENとBLBSETビットはロックビット読み出しの完了で、または3CPUサイクル内にLPM命令が実行されないか、または4CPUサイクル内にSPM命令が実行されない場合、自動的にクリア(0)されます。SPMENとBLBSETビットがクリア(0)されると、LPMは命令セット手引書で記述されるように動作します。

ビット	7	6	5	4	3	2	1	0
Rd	-	-	BLB12	BLB11	BLB02	BLB01	LB2	LB1

ヒューズ下位ビットを読む手順は上記のロックビット読み出しと同様です。ヒューズ下位ビットを読み出すためには、Zホールドに\$0000を設定し、SPMCSRのSPMENとBLBSETビットをセット(1)してください。SPMENとBLBSETビットがSPMCSRに設定された後3CPUサイクル内にLPM命令が実行されると、以下で示されるようにヒューズ下位ビット(FLB)の値は転送先レジスタに格納されます。ヒューズ下位ビットの配置と詳細な記述については187頁の表119を参照してください。

ビット	7	6	5	4	3	2	1	0
Rd	FLB7	FLB6	FLB5	FLB4	FLB3	FLB2	FLB1	FLB0

同様に、ヒューズ上位ビットを読むためにはZホールドに\$0003を設定してください。SPMENとBLBSETビットがSPMCSRでセット(1)された後3サイクル内にLPM命令が実行されると、以下で示されるようにヒューズ上位ビット(FHB)の値は転送先レジスタに格納されます。ヒューズ上位ビットの配置と詳細な記述については187頁の表118を参照してください。

ビット	7	6	5	4	3	2	1	0
Rd	FHB7	FHB6	FHB5	FHB4	FHB3	FHB2	FHB1	FHB0

拡張ヒューズビットを読むとき、Zホールドに\$0002を設定してください。SPMENとBLBSETビットがSPMCSRでセット(1)された後3サイクル内にLPM命令が実行されると、以下で示されるように拡張ヒューズビット(EFB)の値は転送先レジスタに格納されます。拡張ヒューズビットの配置と詳細な記述については187頁の表117を参照してください。

ビット	7	6	5	4	3	2	1	0
Rd	-	-	-	-	-	-	EFB1	EFB0

プログラム(0)されたヒューズとロックビットは0として読めます。非プログラム(0)にされたヒューズとロックビットは1として読めます。

フラッシュメモリー死分けの防止

低VCCの期間中、正しく動作するCPUとフラッシュメモリーに対して供給電圧が低すぎるために、フラッシュメモリーのプログラムが不正にされ得ます。これらの問題はフラッシュメモリーを使用する基板段階の装置と同じで、同じ設計上の解決法が適用されるべきです。

フラッシュメモリーのプログラム化けは電圧が低すぎる時の2つの状態により起こされます。1つ目として、フラッシュメモリーの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として、供給電圧が低すぎると、CPU自身が命令を間違えて実行し得ます。

フラッシュメモリー化けは次の推奨設計により容易に避けられます(1つは必須)

そのシステムでブートローダ更新が必要ない場合、どんなブートローダソフトウェア更新も防ぐためにブートローダロックビットをプログラム(0)してください。

不十分な供給電源電圧の期間中、AVR RESETを活性(Low)に保ってください。これは動作電圧が検出電圧と一致するならば、内部低電圧検出器(BOD)を許可することにより行えます。そうでなければ外部低VCCリセット保護回路が使用できます。書き込み操作進行中にリセットが起こると、その書き込み動作は供給電源電圧が充分であれば完了されます。

低VCCの期間中、AVRコアをパワーダウンスリープ動作に保ってください。これはCPUが命令の復号と実行を試みることを防ぎ、SPMCSRに従ってフラッシュメモリーを予期せぬ書き込みから効果的に保護します。

SPM命令使用時のフラッシュメモリー用プログラミング書き込み時間

校正された内蔵RC発振器がフラッシュメモリアクセス時間に使用されます。表111はCPUからのフラッシュメモリアクセスに対する代表的なプログラミング時間を示します。

表 111. SPM命令によるフラッシュメモリーのプログラミング時間

項目	Min	Max
SPM命令によるフラッシュ書き込み(ページ消去、ページ書き込み、ロックビット書き込み)	3.7ms	45ms

アセンブリ言語による簡単なブートローダ例

このルーチンはRAMからフラッシュメモリへ1ページのデータを転写します。RAM内の最初のデータ位置はアドレスにより指示され、フラッシュメモリ内の最初のデータ位置はアドレスにより指示されます。エラー処理は含まれません。このルーチン(少なくともSPMJサブルーチン)はブートローダ領域側に配置されなければなりません。NRWW領域側のコードだけが自己プログラミング(ページ消去とページ書き込み)中に読めます。使用レジスタはR0,R1,TMP,CNTL,CNTH,SPMCで、レジスタの保存と復帰はこのルーチンに含まれず、レジスタの使用はコード量を犠牲にすれば最適化できます。割り込みテーブルがブートローダ領域に移動されるか、割り込みが禁止されるかどちらかが前提です。

ページ内データが256バイト以下の場合にはカウンタ上位が不要になります。また関連する命令も変更となります。これらの部分を赤字で示します **訳注** 本行は以下のプログラム補正に対応して追加しました)

ラベル	命令	コメント
	.EQU PGSZB = PAGESIZE*2	; PGSZBはページ内のバイト数です。(PAGESIZEはワード数)
	.ORG SMALLBOOTSTART	;
WRPG:	LDI SFMC, (1<<PGERS)+(1<<SPMEN)	; [ページ消去]
	CALL SFMJ	; ページ消去 SPMCSR値を取得
		; ページ消去
		; [RW領域読み出し再許可]
	LDI SFMC, (1<<RWMSRE)+(1<<SPMEN)	; RW領域読み出し許可 SPMCSR値を取得
	CALL SFMJ	; RW領域読み出し許可
		; [RAMからフラッシュページ一時バッファへ転送]
	LDI CNTL, LOW(PGSZB)	; バイトカウンタ初期化
	LDI CNTH, HIGH(PGSZB)	; 削除)
WLP:	LD R0, Y+	; RAM上の下位データ取得 (ホインタ行)
	LD R1, Y+	; RAM上の上位データ取得 (ホインタ行)
	LDI SFMC, (1<<SPMEN)	; ページ一時バッファ書き込み SPMCSR値を取得
	CALL SFMJ	; 対応ワードデータをページ一時バッファに設定
	ADIW ZH, ZL, 2	; ページ一時バッファホインタ行
	SBIW CNTH, CNTH, 2	; カウンタ減数 (SUBI)
	BRNE WLP	; 指定バイト数分継続
		; [ページ書き込み]
	SUBI ZL, LOW(PGSZB)	; ページ一時バッファ先頭にホインタ復帰
	SBCI ZH, HIGH(PGSZB)	; 削除)
	LDI SFMC, (1<<PGWRT)+(1<<SPMEN)	; フラッシュ書き込み SPMCSR値を取得
	CALL SFMJ	; フラッシュメモリページ書き込み
		; [RW領域読み出し再許可]
	LDI SFMC, (1<<RWMSRE)+(1<<SPMEN)	; RW領域読み出し許可 SPMCSR値を取得
	CALL SFMJ	; RW領域読み出し許可
		; [読み戻し照合 (任意)]
	LDI CNTL, LOW(PGSZB)	; バイトカウンタ初期化
	LDI CNTH, HIGH(PGSZB)	; 削除)
	SUBI YL, LOW(PGSZB)	; RAMデータ先頭にホインタ復帰
	SBCI YH, HIGH(PGSZB)	;
RLP:	LPM R0, Z+	; フラッシュメモリから1バイト取得 (ホインタ行)
	LD R1, Y+	; RAMから1バイトデータ取得 (ホインタ行)
	CPSE R0, R1	; 値一致でスキップ
	JMP ERROR	; 不一致でエラー処理へ
		;
	SBIW CNTH, CNTH, 1	; カウンタ減数 (SUBI)
	BRNE RLP	; 指定バイト数分継続
		; [RW領域へ復帰]
RTN:	IN TMP, SPMCSR	; SPM命令制御/ステータスレジスタ値を取得
	SBR SPMCSR, TMP, RWMSB	; RW領域ビットでスキップ
	RET	; レジスタで呼び出し元へ復帰
		; [RW領域読み出し再許可]
	LDI SFMC, (1<<RWMSRE)+(1<<SPMEN)	; RW領域読み出し許可 SPMCSR値を取得
	CALL SFMJ	; RW領域読み出し許可
	RJMP RTN	; RW領域レジスタまで待機へ
		; [SPM命令実行サブルーチン]
SPMJ:	IN TMP, SPMCSR	; SPM命令制御/ステータスレジスタ値を取得
	SBR SPMCSR, TMP, SPMEN	; 操作可能直前のSPM完了でスキップ
	RJMP SPMJ	; 操作可まで待機
		;
	IN TMP, SREG	; ステータスレジスタ値を保存
	CLI	; 全割り込み禁止
WAIT:	SBIW EEPCR, EEPCRE	; EEPROM書き込み中以外でスキップ
	RJMP WAIT	; EEPROM書き込み完了まで待機
		;
	OUT SPMCSR, SPMCSR	; SPM動作指定
	SPM	; 対応SPM動作実行
	OUT SREG, SREG	; ステータスレジスタ値を復帰
	RET	; 呼び出し元へ復帰

ATmega128用 ブートローダのパラメータ

自己プログラミングの記述で使用したパラメータは表 112~ 114で与えられます。

表 112. 応用領域とブートローダ領域の分割設定

BOOTSZ1	BOOTSZ0	ブートローダ領域		アドレス範囲		
		容量 (ワード)	ページ数	応用プログラム領域	ブートローダプログラム領域	ブートリセットアドレス
1	1	512	4	\$0000~ \$FDFF	\$FE00~ \$FFFF	\$FE00
1	0	1024	8	\$0000~ \$FBFF	\$FC00~ \$FFFF	\$FC00
0	1	2048	16	\$0000~ \$F7FF	\$F800~ \$FFFF	\$F800
0	0	4096	32	\$0000~ \$EFFF	\$F000~ \$FFFF	\$F000

注: 各種 BOOTSZ ビット設定は図 133で示されます。

表 113. RWV領域とNRWV領域の範囲

領域	ページ数	アドレス範囲
書き込み中読み出し可能 (RWV領域)	480	\$0000~ \$EFFF
書き込み中読み出し不能 (NRWV領域)	32	\$F000~ \$FFFF

注: これら2つの領域についての詳細に関しては、178頁の「書き込み中読み出し可能 (RWV領域)」と「書き込み中読み出し不能 (NRWV領域)」をご覧ください。

表 114. 図 134で使用した各変数説明とZポイントの配置

変数名	対応値		意味
	PC	Zポイント (注)	
PCMSB	PC15		プログラムカウンタの最上位ビット (プログラムカウンタは16ビット PC15~ 0)
PAGEMS	PC6		1ページ内に使用されるワードアドレスの最上位ビット (ページ内の128ワードには7ビット PC6~ 0が必要)
ZPCMSB		Z16	PCMSBに配置される対応するZレジスタ内のビット (Z0が使用されないため、ZPCMSB=PCMSB+1)
ZPAGEMS		Z7	PAGEMSに配置される対応するZレジスタ内のビット (Z0が使用されないため、ZPAGEMS=PAGEMS+1)
PCPAGE	PC15~ 7	Z16~ 8	プログラムカウンタページアドレス: ページ消去とページ書き込み用のページ選択
PCWORD	PC6~ 0	Z7~ 1	プログラムカウンタワードアドレス: 一時バッファ格納用ワード選択 (ページ書き込み操作中は0でなければなりません。)

注: ・ Zレジスタは16ビット幅だけです。ビット16は I/O領域の RAMPZレジスタに配置されます。
 ・ Z0: すべての SPM命令に対して0であるべきで、(E)LPM命令に対するハイ選択です。
 ・ 自己プログラミング中の Zポイントの使用については188頁の「自己プログラミングにおけるフラッシュメモリのアドレス指定」をご覧ください。

メモリプログラミング

プログラムメモリとデータメモリ用ロックビット

ATmega128は非プログラム(1)のままか、表 116で一覧される付加機能を得るためにプログラム(0)できる6つのロックビットを提供します。このロックビットはチップ消去モードでのみ1に消去できます。

表 115. ロックビットハイの内容

名称	ビット番号	意味	既定値 (注)
-	7		1 (非プログラム)
-	6		1 (非プログラム)
BLB12	5	ブートロータ領域に対する保護用ブートロックビット	1 (非プログラム)
BLB11	4		1 (非プログラム)
BLB02	3	応用領域に対する保護用ブートロックビット	1 (非プログラム)
BLB01	2		1 (非プログラム)
LB2	1	フラッシュとEEPROMメモリに対する一般保護用ロックビット	1 (非プログラム)
LB1	0		1 (非プログラム)

注：0はプログラム、1は非プログラムを意味します。

表 116. ロックビットの保護種別

メモリロックビット			保護種別
LB 種別	LB2	LB1	シリアル、パラレル、または JTAG 経由のプログラミングに対する保護
1	1	1	メモリロック機能は機能しません。
2	1	0	フラッシュ、EEPROM、ヒューズビットのプログラミング書き込み機能が禁止されます。(注1)
3	0	0	LB種別2と同様、更に照合読み出しも禁止されます。(注1)
LB0 種別	BLB02	BLB01	フラッシュメモリの応用プログラム領域に対する保護
1	1	1	(E)LPM、SPM命令が応用領域をアクセスすることに対して制限はありません。
2	1	0	SPM命令は応用領域に書くことを許されません。
3	0	0	SPM命令による応用領域への書き込みと、ブートロータ領域での(E)LPM命令による応用領域からの読み込みが許されません。(注2)
4	0	1	ブートロータ領域での(E)LPM命令による応用領域からの読み込みが許されません。(注2)
LB1 種別	BLB12	BLB11	フラッシュメモリのブートロータプログラム領域に対する保護
1	1	1	(E)LPM、SPM命令がブートロータ領域をアクセスすることに対して制限はありません。
2	1	0	SPM命令はブートロータ領域に書くことを許されません。
3	0	0	SPM命令によるブートロータ領域への書き込みと、応用領域での(E)LPM命令によるブートロータ領域からの読み込みが許されません。(注3)
4	0	1	応用領域での(E)LPM命令によるブートロータ領域からの読み込みが許されません。(注3)

注：0はプログラム、1は非プログラムを意味します。

注1：ロックビットを書く前にヒューズビットを書き込んでください。

注2：BLB02=0で、割り込みベクタがブートロータ領域に配置されていると、応用領域での実行時、割り込みが禁止されます。

注3：BLB12=0で、割り込みベクタが応用領域に配置されていると、ブートロータ領域での実行時、割り込みが禁止されます。

識別バイト

すべてのATMELマイクロコントローラはデバイス識別用の3バイトの識別番号を持ちます。この番号はシリアルとパラレル両方のプログラミング動作で、またデバイスがロックされていても読めます。この3バイトは分離された空間に存在します。ATmega128の識別番号を右に示します。

\$000 : \$1E 製造業者 ATMELを示します。
 \$001 : \$97 フラッシュメモリ容量 128Kバイトを示します。
 \$002 : \$02 値 \$97と合せ、ATmega128を示します。

発振校正値バイト

ATmega128は内蔵RC発振器用に4つの異なる校正値を備えています。これらのバイトは1, 2, 4, 8MHzの各々に対して識別列のアドレス\$000, \$001, \$002, \$003の上位バイトにあります。リセット中、1MHz値がOSCCALレジスタへ自動的に設定されます。他の周波数が使用される場合、その校正値は手動で設定されなければなりません。詳細については25頁の「発振校正レジスタ(OSCCAL)」をご覧ください。

ヒューズビット

ATmega128には3つのヒューズハイがあります。表 117~ 119は全てのヒューズの概略機能とヒューズハイ内でどのように配置されるかを示します。ヒューズはプログラムされると、論理 0として読まれることに注意してください。

表 117 拡張ヒューズハイ一覧

名称	ビット	意味	既定値
-	7		1 (非プログラム)
-	6		1 (非プログラム)
-	5		1 (非プログラム)
-	4		1 (非プログラム)
-	3		1 (非プログラム)
-	2		1 (非プログラム)
M103C (注1)	1	ATmega103互換動作。	0 (プログラム) ATmega103互換動作
WDTON (注2)	0	ウォッチドッグ タイマ常時有効。	1 (非プログラム) WDTはWDTCRにより許可

注1: 詳細については3頁の「ATmega128とATmega103の互換性」をご覧ください。

注2: 詳細については3頁の「ウォッチドッグ タイマ制御レジスタ(WDTCR)」をご覧ください。

表 118 ヒューズ上位ハイ一覧

名称	ビット	意味	既定値
OCDEN (注4)	7	内蔵デバッグ機能 OCD 許可。	1 (非プログラム) OCD禁止
JTAGEN (注5)	6	JTAGインターフェース許可。	0 (プログラム) JTAG許可
SPEN (注1)	5	シリアルプログラミング許可。	0 (プログラム) シリアルプログラミング許可
CKOPT (注2)	4	クロック発振器任意選択機能。	1 (非プログラム)
EESAVE	3	チップ消去からEEPROM内容を保護。	1 (非プログラム) EEPROMは未保護
BOOTSZ1	2	ブートロータ容量選択。表 112参照)	0 (プログラム)
BOOTSZ0	1		0 (プログラム)
BOOTRST	0	リセット領域応用領域またはブートロータ領域 選択。	1 (非プログラム) 応用領域

注1: SPENヒューズはシリアルプログラミングでアクセスできません。

注2: CKOPTヒューズの機能はCKSELヒューズ設定に依存します。詳細は22頁の「クロック」をご覧ください。

注3: BOOTSZ1の既定値は最大ブートロータ容量になります。185頁の表 112をご覧ください。

注4: ロックビットや JTAGENヒューズの設定に拘らず、OCDENヒューズがプログラム (0)された製品を出荷することは決してありません。プログラム (0)されたOCDENヒューズは、全スリープ動作でクロックシステムの一部を許可します。これは消費電力の増加になってしまいます。

注5: JTAGインターフェースが未接続のままにされる場合、JTAGENヒューズは可能ならば禁止されるべきです。これは JTAGインターフェースのTDOピンの静止時電流を避けるためです。

表 119 ヒューズ下位ハイ一覧

名称	ビット	意味	既定値
BODLEVEL	7	低電圧検出器 (BOD) 検出電圧選択。	1 (非プログラム)
BODEN	6	低電圧検出器 (BOD) 許可。	1 (非プログラム) BOD禁止
SUT1	5	起動時間選択。	1 (非プログラム)
SUT0	4		0 (プログラム)
CKSEL3	3	クロック種別選択。	0 (プログラム)
CKSEL2	2		0 (プログラム)
CKSEL1	1		0 (プログラム)
CKSEL0	0		1 (非プログラム)

注1: SUT1の既定値は最大起動時間になります。詳細については24頁の表 14をご覧ください。

注2: CKSEL3~ 0の既定設定は1MHz校正付き内蔵RC発振器になります。詳細については22頁の表 6をご覧ください。

ヒューズビットの状態はチップ消去により影響されません。ロックビット(LB1)がプログラム (0)されると、ヒューズビットが固定されることに注意してください。ロックビットをプログラム (0)する前にヒューズビットをプログラミング書き込みしてください。

ヒューズのラッチ

ヒューズ値はデバイスがプログラミング動作へ移行する時にラッチされ、ヒューズ値の変更はデバイスがプログラミング動作を去るまで無効です。これは一旦プログラム (0)されると直ぐに効果があるEESAVEヒューズには適用されません。ヒューズは通常動作での電源投入でもラッチされます。

パラレルプログラミング

この項は ATmega128 のプログラム用フラッシュメモリ、専用 EEPROM、メモリのロックビット、ヒューズビットの平行プログラミングと照合の方法を記述します。特記事項を除いて、パルス幅は最低 250ns と仮定されます。

信号名

本項で ATmega128 のいくつかのピンは平行プログラミング中の機能を表す信号名で参照されます。図 135 と表 120 をご覧ください。後続の表で示されないピンはピン名により参照されます。

XA0 と XA1 ピンは XTAL1 ピンが正パルスを与えられる時に実行される動作を決めます。このビット符号化は表 122 で示されます。

WR または OE パルス送出時、設定したコマンドが決める動作が実行されます。各種コマンドは表 123 で示されます。

図 135. 平行プログラミング構成図

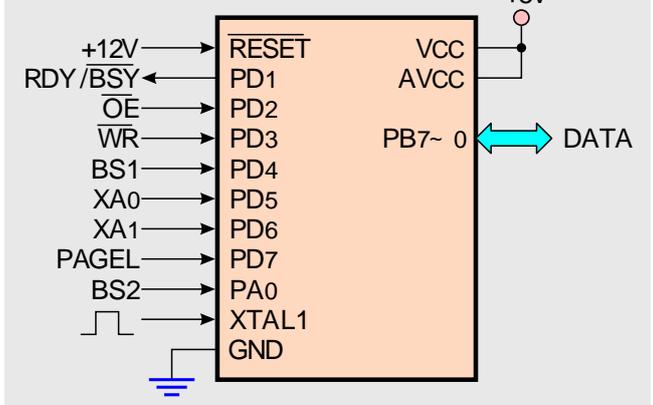


表 120. 信号名とピン名の関係

信号名	ピン名	入出力	機能
RDY/BSY	PD1	出力	0 (Low) : ビジー (プログラミング中) 1 (High) : レディ (コマンド受付可)
OE	PD2	入力	出力許可 (負論理)
WR	PD3	入力	書き込みパルス (負論理)
BS1	PD4	入力	上位 / 下位ハイ選択 1 (0 : 下位, 1 : 上位) (一般用)
XA0	PD5	入力	XTAL動作ビット0
XA1	PD6	入力	XTAL動作ビット1
PAGEL	PD7	入力	プログラムメモリとEEPROMデータバスハイゼーション時ハフフに設定
BS2	PA0	入力	上位 / 下位ハイ選択 2 (0 : 下位, 1 : 上位) (ヒューズビット用)
DATA	PB7~0	入出力	双方向データバス (OE=Low時出力)

表 121. プログラミング動作移行時のピン値

ピン名	シンボル	値
PAGEL	Prog.enable[3]	0
XA1	Prog.enable[2]	0
XA0	Prog.enable[1]	0
BS1	Prog.enable[0]	0

表 122. XA0 と XA1 の符号化 (機能)

XA1	XA0	XTAL1パルス時の動作
0	0	フラッシュまたはEEPROMのアドレス設定 (上位 / 下位はBS1で指定)
0	1	データ設定 (フラッシュの上位 / 下位はBS1で指定)
1	0	コマンド設定
1	1	アイドル動作なし)

表 123. コマンドバイトのビット符号化

コマンドバイト	コマンドの機能
\$80 (1000 0000)	チップ消去
\$40 (0100 0000)	ヒューズビット書き込み
\$20 (0010 0000)	ロックビット書き込み
\$10 (0001 0000)	フラッシュメモリ書き込み
\$11 (0001 0001)	EEPROM書き込み
\$08 (0000 1000)	識別バイト 発振校正値読み出し
\$04 (0000 0100)	ヒューズビット、ロックビット読み出し
\$02 (0000 0010)	フラッシュメモリ読み出し
\$03 (0000 0011)	EEPROM読み出し

表 124. フラッシュメモリのページ数とページの語数

全容量	ページ容量	PCWORD	ページ数	PCPAGE	PCMSB
64Kワード 128Kバイト	128ワード	PC6~0	512	PC15~7	15

表 125. EEPROMメモリのページ数とページの語数

全容量	ページ容量	PCWORD	ページ数	PCPAGE	EEAMSB
4Kバイト	8バイト	EEA2~0	512	EEA11~3	11

パラレルプログラミング手順

パラレルプログラミング動作への移行

次に示す方法はデバイスを実行モードからパラレルプログラミング動作に移行します。

VCCとGND間に4.5~5.5Vを印加し、最低100μs待ちます。

RESETをLow(0)にし、XTAL1を少なくとも6回、交互に(High/Low)切り替えます。

188頁の表121で一覧されるProg_enableを全てLow(0)に設定し、最低100ns待ちます。

RESETに11.5~12.5Vを印加します。+12VがRESETに印加されてしまった後100ns以内のProg_enableのどんな動きも、デバイスのプログラミング動作への移行を失敗させます。

注意：外部クリスタルや外部RC発振器設定が選択されていると、条件付きのXTAL1パルスを印加できないため、同じことが当てはまるかもしれません。このような場合、次の方法に従うべきです。

188頁の表121で一覧されるProg_enableを全てLow(0)に設定します。

VCCとGND間に4.5~5.5Vを印加すると同時にRESETへ11.5~12.5Vを印加します。

100ns待ちます。

クック元として外部クックが選択される(CKSEL3~0=0000)ことを保証するために、ヒューズを再プログラミング(再書き込み)します。

ロックビットがプログラム(0)されている場合、ヒューズを変更するのに先立ち、チップ消去コマンドが実行されなければなりません。

デバイスの電源を落とすか、RESETピンをLow(0)に持つてくることによりプログラミング動作を抜けます。

上で記述したように、元の方法でプログラミング動作へ移行します。

効率的なプログラミングへの考慮

設定したコマンドとアドレスはプログラミング中、維持されます。効率的なプログラミングを行うために、次を考慮すべきです。

複数のメモリ領域を読み書きするとき、コマンド設定は一度だけ必要です。

チップ消去後のフラッシュメモリ(EESAVEヒューズがプログラム(0)されている場合を除き)EEPROM全体の内容は\$FFですので、値が\$FFのデータを書き込みを飛ばします。

アドレス上位バイトはフラッシュメモリで新規256バイト、EEPROMで新規256バイトの読み書き前に一度だけ必要です。この考慮は**識別バイト**読み出しにも適用されます。

チップ消去

チップ消去はフラッシュメモリ、EEPROM(注1)の**ロックビット**を消去します。ロックビットはプログラムメモリが完全に消去されてしまうまでリセット消去されません。ヒューズビットは変更されません。チップ消去はフラッシュメモリやEEPROMが再書き込みされる前に実行されなければなりません。

注1：EESAVEヒューズがプログラム(0)されていると、EEPROMはチップ消去中、保護されます。

「チップ消去」コマンド設定

XA1をHigh(1)、XA0をLow(0)に設定します。これはコマンド設定を許可します。

BS1をLow(0)に設定します。

DATAを\$80(10000000)に設定します。これはチップ消去コマンドです。

XTAL1に正パルスを与えます。これはチップ消去コマンドを設定します。

WRに負パルスを与えます。これはチップ消去を開始します。RDY/BSYがLow(0)になります。

次のコマンドを設定する前に、RDY/BSYがHigh(1)になるまで待ちます。

フラッシュメモリ書き込み (図 137 タイミングを参照)

フラッシュメモリはページで構成されます (188頁の表 124参照)。フラッシュメモリに書くとき、プログラムデータはページバッファにラッチされます。これは同時に書かれることをプログラムデータのページに許します。次の手順は完全なフラッシュメモリの書き込み方法を記述します。

A. 「フラッシュメモリ書き込み」コマンド設定

XAをHigh(1) XA0をLow(0)に設定します。これはコマンド設定を許可します。
BSをLow(0)に設定します。
DATAを\$10(0001 0000)に設定します。これはフラッシュメモリ書き込みコマンドです。
XTALに正パルスを与えます。これはフラッシュメモリ書き込みコマンドを設定します。

B. アドレス下位ハイ設定

XAをLow(0) XA0をLow(0)に設定します。これはアドレス設定を許可します。
BSをLow(0)に設定します。これは下位アドレス(バイト)を選択します。
DATAにアドレス下位バイト(\$00~ \$FF)を設定します。
XTALに正パルスを与えます。これはアドレス下位ハイを設定します。

C. データ下位ハイ設定

XAをLow(0) XA0をHigh(1)に設定します。これはデータ設定を許可します。
DATAにデータ下位バイト(\$00~ \$FF)を設定します。
XTALに正パルスを与えます。これはデータ下位ハイを設定します。

D. データ上位ハイ設定

BSをHigh(1)に設定します。これは上位ハイを選択します。
XAをLow(0) XA0をHigh(1)に設定します。これはデータ設定を許可します。
DATAにデータ上位バイト(\$00~ \$FF)を設定します。
XTALに正パルスを与えます。これはデータ上位ハイを設定します。

E. ワードデータをページ一時バッファに設定

BSをHigh(1)にします。これは上位ハイを選択します。
PAGEに正パルスを与えます。これはワードデータをページ一時バッファにラッチ設定します。

F. バッファ全体が満たされるか、または 必要な全てのデータがバッファ内に設定されるまで、B~Eを繰り返す

アドレス内の下位ビットがページ内のワード位置を指示する一方、上位ビットがフラッシュメモリ内のページをアドレス指定します。これは図 136で図示されます。ページ内のワードアドレスに 8ビット未満が必要とされる場合 (ページ容量 < 256)、アドレス下位バイトの最上位 (側) ビットがページ書き込み実行時のページアドレスに使用されることに注意してください。

G. アドレス上位ハイ設定

XAをLow(0) XA0をLow(0)に設定します。これはアドレス設定を許可します。
BSをHigh(1)に設定します。これは上位アドレス(バイト)を選択します。
DATAにアドレス上位バイト(\$00~ \$FF)を設定します。
XTALに正パルスを与えます。これはアドレス上位ハイを設定します。

H. ページ書き込み

BSをLow(0)に設定します。
WRに負パルスを与えます。これはデータのページ全体の書き込みを開始します。RDY/ \overline{BSY} がLow(0)になります。
RDY/ \overline{BSY} がHigh(1)になるまで待ちます。

I. フラッシュメモリ全部が書かれるか、または 必要な全てのデータが書かれてしまうまで、B~Hを繰り返す

J. ページ書き込み終了

XAをHigh(1) XA0をLow(0)に設定します。これはコマンド設定を許可します。
DATAを\$00(0000 0000)にします。これは無操作コマンドです。
XTALに正パルスを与えます。これは無操作コマンドを設定し、内部書き込み信号がリセットされます。

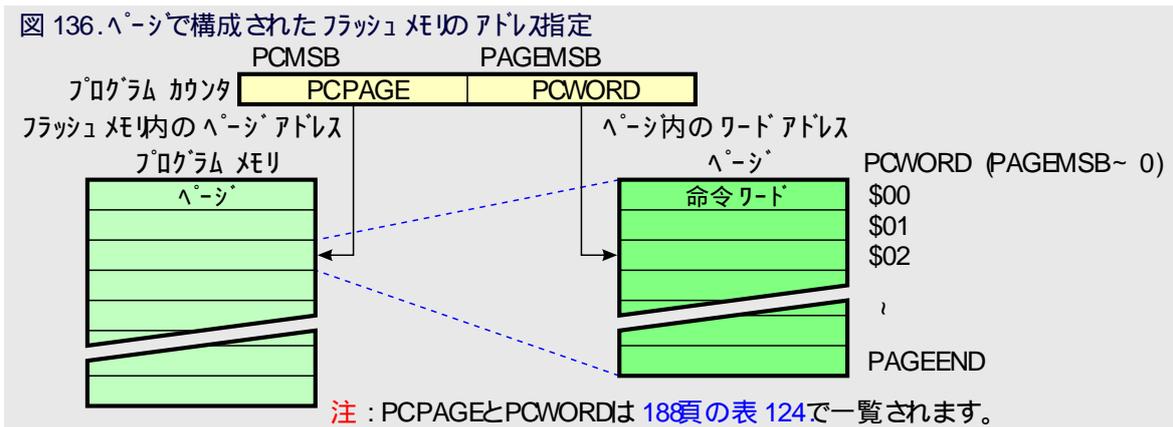
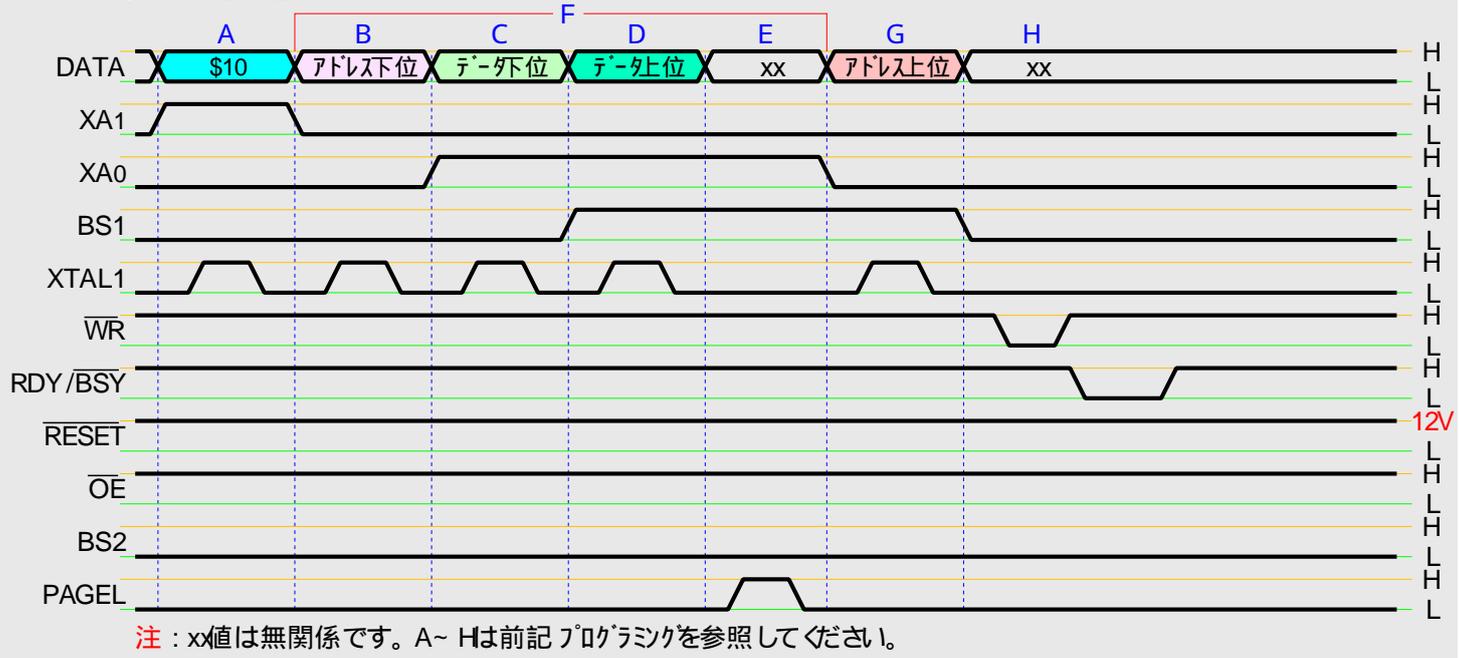


図 137. フラッシュメモ書き込みタイミング



EEPROM書き込み

EEPROMはページで構成されます(188頁の表 125参照)。EEPROMを書くとき、データはページバッファにラッチされます。これは同時に書かれることをデータの1ページに許します。データ用EEPROMメモの書き込み方法は次のとおりです。(マント、アドレス、データ設定の詳細については190頁の「フラッシュメモの書き込み」を参照。図138タイミング参照。)

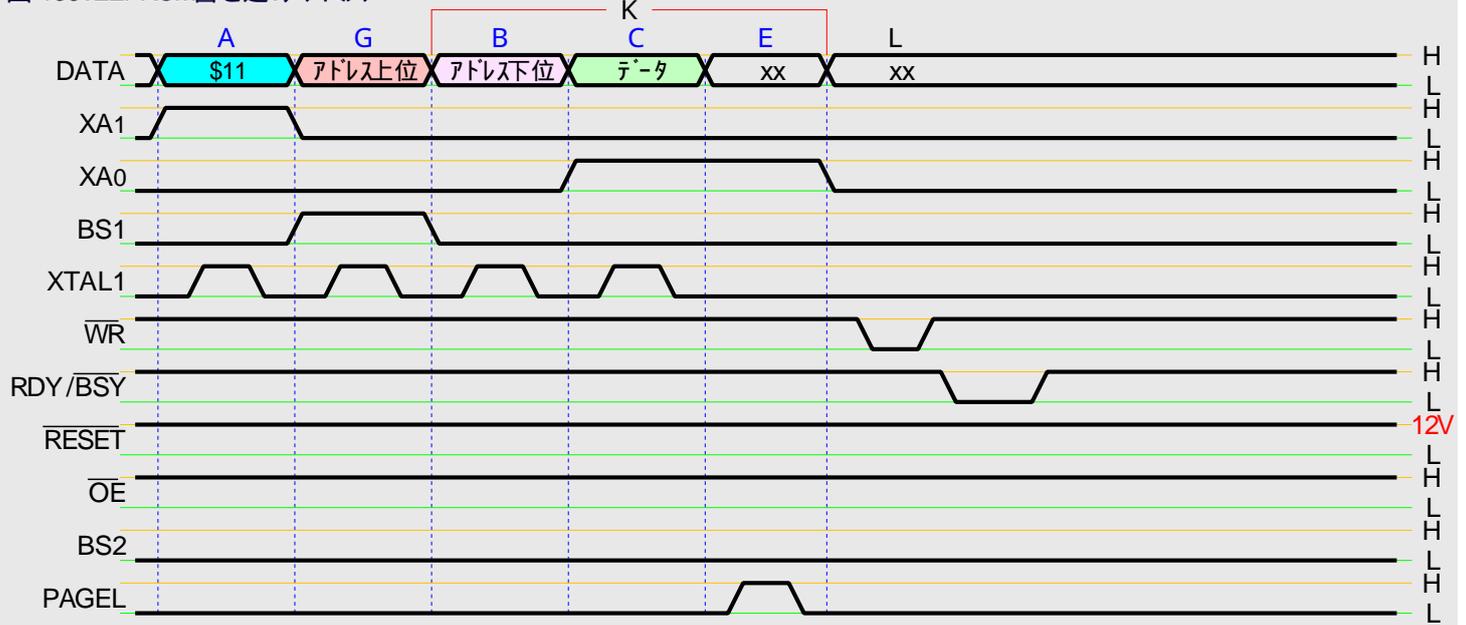
1. EEPROM書き込みマント\$11(0001 0001)を設定します。(「フラッシュメモ書き込み」のAを参照)
 2. アドレス上位バイト(\$00~\$0F)を設定します。(「フラッシュメモ書き込み」のGを参照)
 3. アドレス下位バイト(\$00~\$FF)を設定します。(「フラッシュメモ書き込み」のBを参照)
 4. データバイト(\$00~\$FF)を設定します。(「フラッシュメモ書き込み」のCを参照)
 5. データをラッチします(PAGESLに正パルスを与えます)。(「フラッシュメモ書き込み」のEを参照)
- K. バッファ全体が満たされるまで3~5を繰り返します。
L. EEPROMページ書き込み

BS1をLow(0)に設定します。

WRに負パルスを与えます。これはEEPROMページ書き込みを開始します。RDY/BSYがLow(0)になります。

次のページを書く前に、RDY/BSYがHigh(1)になるまで待ちます。

図 138. EEPROM書き込みタイミング



フラッシュメモリ読み出し

フラッシュメモリの読み出し方法は次のとおりです。(コマンド設定とアドレス設定の詳細については 190頁の「フラッシュメモリの書き込み」を参照。)

1. フラッシュメモリ読み出しコマンド\$02 (0000 0010)を設定します。(「フラッシュメモリ書き込み」のAを参照)
2. アドレス上位バイト(\$00~ \$FF)を設定します。(「フラッシュメモリ書き込み」のGを参照)
3. アドレス下位バイト(\$00~ \$FF)を設定します。(「フラッシュメモリ書き込み」のBを参照)
4. BSをLow (0) OEをLow (0)に設定します。フラッシュメモリワードの下位バイトが直ぐにDATAで読めます。
5. BSをHigh (1)に設定します。フラッシュメモリワードの上位バイトが直ぐにDATAで読めます。
6. OEをHigh (1)に設定します。DATAはHi-Zになります。

EEPROM読み出し

EEPROMの読み出し方法は次のとおりです。(コマンド設定とアドレス設定の詳細については 190頁の「フラッシュメモリの書き込み」を参照。)

1. EEPROM読み出しコマンド\$03 (0000 0011)を設定します。(「フラッシュメモリ書き込み」のAを参照)
2. アドレス上位バイト(\$00~ \$0F)を設定します。(「フラッシュメモリ書き込み」のGを参照)
3. アドレス下位バイト(\$00~ \$FF)を設定します。(「フラッシュメモリ書き込み」のBを参照)
4. BSをLow (0) OEをLow (0)に設定します。EEPROMのバイトデータが直ぐにDATAで読めます。
5. OEをHigh (1)に設定します。DATAはHi-Zになります。

ヒューズビット書き込み 訳注 原書での拡張/上位/下位ヒューズ項を一つに纏めました。

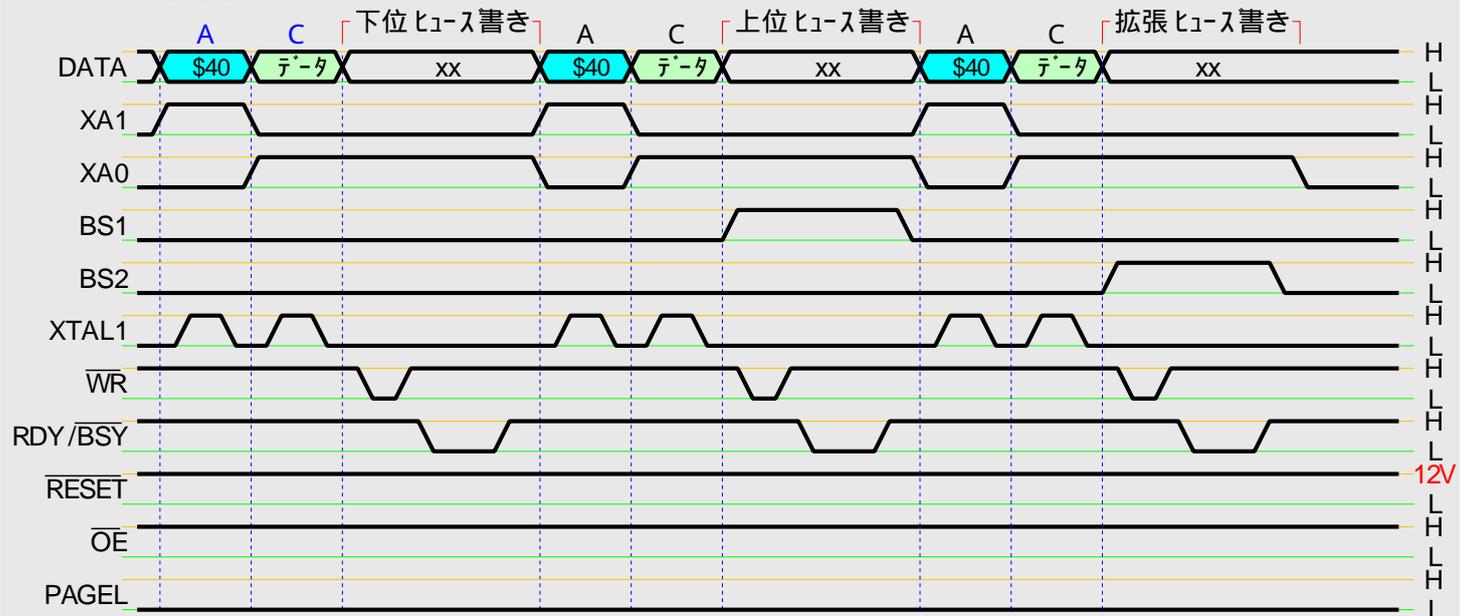
各ヒューズバイトの書き込み方法は次のとおりです。(コマンド設定とデータ設定の詳細については 190頁の「フラッシュメモリの書き込み」を参照。)

1. ヒューズビット書き込み コマンド\$40 (0100 0000)を設定します。(「フラッシュメモリ書き込み」のAを参照)
2. データ下位バイトを設定します。0=プログラム, 1=非プログラム消去です。(「フラッシュメモリ書き込み」のCを参照)
3. BS1とBS2を右表の目的バイトに対応する設定にします。
4. WRに負パルスを与え、RDY/BSYがHighになるまで待ちます。
5. 3でHighに設定したBS1、BS2をLow (0)に戻します。これはデータ下位バイトを選択します。

表A. ヒューズバイト対応BS1/BS2設定

ヒューズバイト	BS1	BS2
拡張バイト	Low (0)	High (1)
上位バイト	High (1)	Low (0)
下位バイト	Low (0)	Low (0)

図 139. ヒューズ書き込みタイミング



ロックビット書き込み

ロックビットの書き込み方法は次の通りです。(コマンドとアドレス設定の詳細については 190頁の「フラッシュメモリの書き込み」を参照。)

1. ロックビット書き込み コマンド\$20 (0010 0000)を設定します。(「フラッシュメモリの書き込み」のAを参照)
2. データ下位バイトとしてデータを設定します。0=プログラム,1=無変化です。(「フラッシュメモリの書き込み」のCを参照)
3. \overline{WR} に負パルスを与え、RDY/BSYがHighになるまで待ちます。

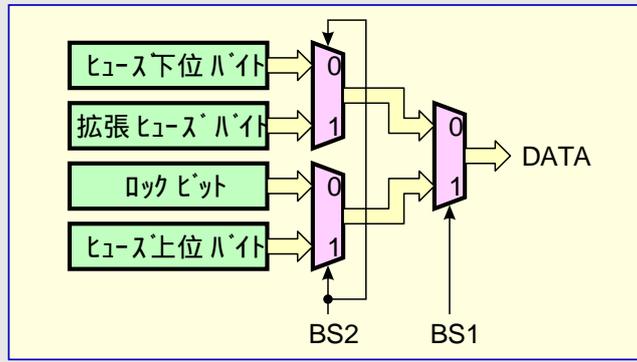
ロックビットはチップ消去の実行によってのみクリア(1)できます。

ヒューズビットとロックビットの読み出し

ヒューズビットとロックビットの読み出し方法は次の通りです。(コマンド設定の詳細については 190頁の「フラッシュメモリの書き込み」を参照。)

1. ヒューズビットとロックビットの読み出しコマンド\$04 (0000 0100)を設定します。(「フラッシュメモリの書き込み」のAを参照)
2. BS1とBS2をLow(0) \overline{OE} をLow(0)に設定します。ヒューズ下位ビットの状態が直ぐにDATAで読めます。(0=プログラム)
3. BS1とBS2をHigh(1) \overline{OE} をLow(0)に設定します。ヒューズ上位ビットの状態が直ぐにDATAで読めます。(0=プログラム)
4. BS1をLow(0) BS2をHigh(1) \overline{OE} をLow(0)に設定します。拡張ヒューズビットの状態が直ぐにDATAで読めます。(0=プログラム)
5. BS1をhigh(1) BS2をLow(0) \overline{OE} をLow(0)に設定します。ロックビットの状態が直ぐにDATAで読めます。(0=プログラム)
6. \overline{OE} をHigh(1)に設定します。DATAはHi-Zになります。

図 140. ヒューズ、ロックビット読み出し中のBS1,BS2との関係



識票ハイ読み出し

識票ハイの読み出し方法は次の通りです。(コマンドとアドレス設定の詳細については 190頁の「フラッシュメモリの書き込み」を参照。)

1. 識票ハイ読み出しコマンド\$08 (0000 1000)を設定します。(「フラッシュメモリの書き込み」のAを参照)
2. アドレス下位バイト(\$00~ \$02)を設定します。(「フラッシュメモリの書き込み」のBを参照)
3. BS1をLow(0) \overline{OE} をLow(0)に設定します。選択した識票ハイが直ぐにDATAで読めます。
4. \overline{OE} をHigh(1)に設定します。DATAはHi-Zになります。

発振校正值読み出し

発振校正值の読み出し方法は次の通りです。(コマンドとアドレス設定の詳細については 190頁の「フラッシュメモリの書き込み」を参照。)

1. 発振校正值読み出しコマンド\$08 (0000 1000)を設定します。(「フラッシュメモリの書き込み」のAを参照)
2. アドレス下位バイトに(\$00~ \$03)を設定します。(「フラッシュメモリの書き込み」のBを参照)
3. BS1をHigh(1) \overline{OE} をLow(0)に設定します。発振校正值ハイが直ぐにDATAで読めます。
4. \overline{OE} をHigh(1)に設定します。DATAはHi-Zになります。

パラレルプログラミング特性

図 141. パラレルプログラミング タイミング (一般的な必要条件)

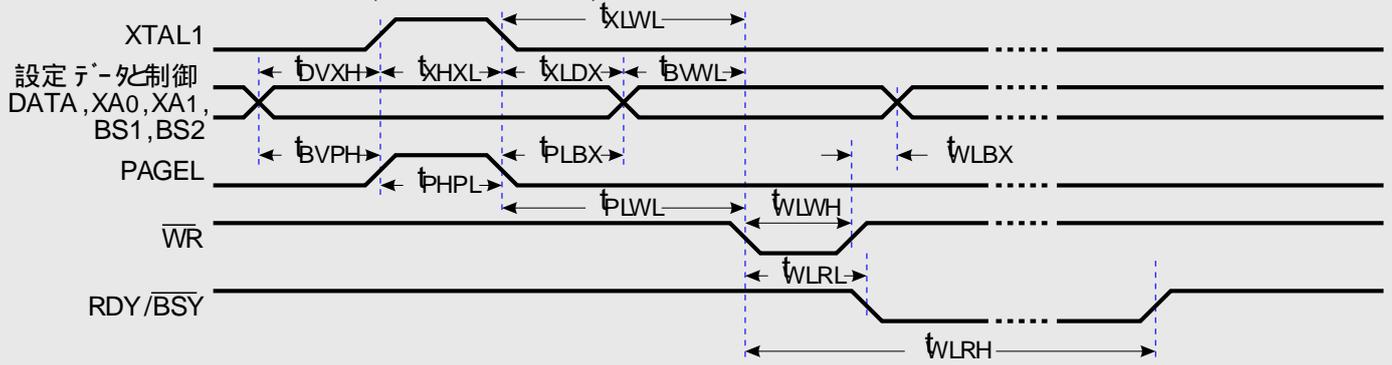
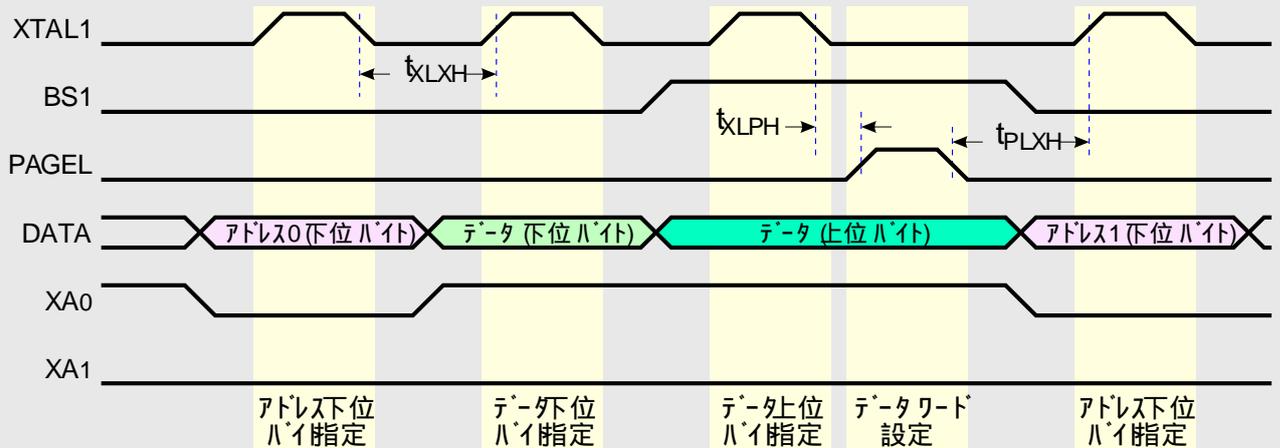
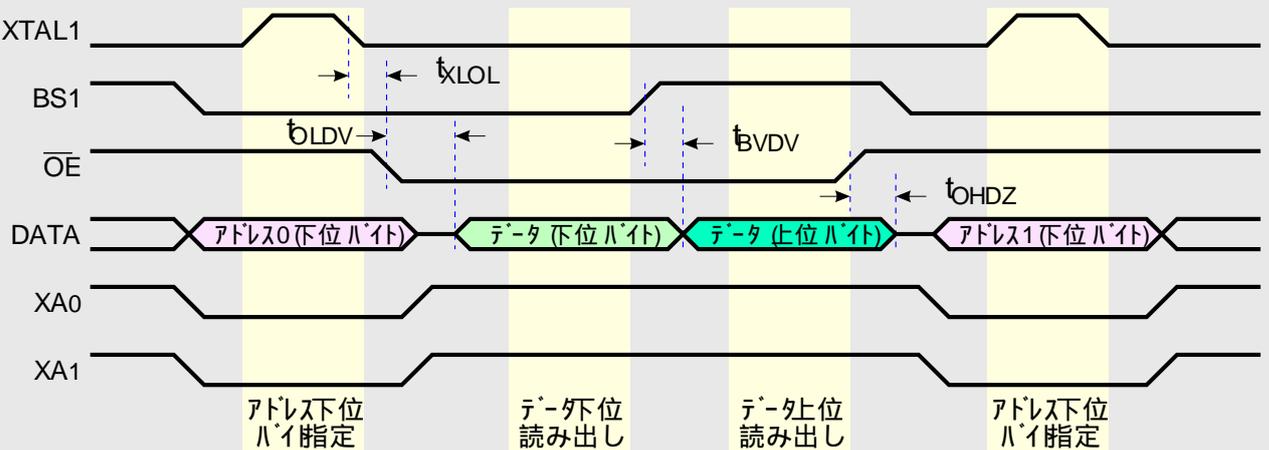


図 142. パラレルプログラミング タイミング (ページ設定での必要条件)



注: 図 141で示されるタイミング必要条件 (即ち、 t_{DVXH} , t_{HXHL} , t_{LDX})は設定操作にも適用されます。

図 143. パラレルプログラミング タイミング (同一ページ読み出しでの必要条件)



注: 図 141で示されるタイミング必要条件 (即ち、 t_{DVXH} , t_{HXHL} , t_{LDX})は読み出し操作にも適用されます。

表 126. 並列プログラミング特性 (VCC=5V± 10%)

シンボル	項目	Min	Typ	Max	単位
VPP	プログラミング許可電圧	11.5		12.5	V
IPP	プログラミング許可電流			250	μA
t _{VXH}	XTAL1 に対するデ-ア制御のセットアップ時間	67			ns
t _{LXH}	XTAL1 から次XTAL1 までの待機時間	200			
t _{HXL}	XTAL1 Highパルス幅	150			
t _{LDX}	XTAL1パルス 後のデ-ア制御の保持時間	67			
t _{LWL}	XTAL1パルス 後のWR 待機時間	0			
t _{LPH}	XTAL1パルス 後のPAGELパルス 待機時間	0			
t _{PLXH}	PAGELパルス 後のXTAL1パルス 待機時間	150			
t _{BVPH}	PAGELパルス に対するBS1セットアップ時間	67			
t _{PHPL}	PAGEL Highパルス幅	150			
t _{PLBX}	PAGELパルス 後のBS保持時間	67			
t _{WLBX}	WRパルス 後のBS1BS2保持時間	67			
t _{PLWL}	PAGELパルス 後のWRパルス 待機時間	67			
t _{BWWL}	WRパルス に対するBS1セットアップ時間	67			
t _{WLWH}	WR Lowパルス幅	150			
t _{WLRL}	WRパルス 後のRDY/BSY 遅延時間	0		1	
t _{WLRH}	書き込み時間 (WR からRDY/BSY)	3.7		5	ms
t _{WLRH_CE}	チップ消去時間 (WR からRDY/BSY)	7.5		10	
t _{LCL}	XTAL1パルス 後のOE 待機時間	0			ns
t _{BVDV}	BS有効からのDATA遅延時間	0		250	
t _{LDV}	OE 後のDATA出力遅延時間			250	
t _{BHDZ}	OE 後のDATAフラインク遅延時間			250	

注 1:フラッシュメモリ、EEPROM、ヒューズビット、ロックビット書き込みコマンドに対して有効です。

注 2:チップ消去コマンドに対して有効です。

シリアルプログラミング

フラッシュメモリとEEPROMの両方はRESETがGNDに引かれている間にシリアルSPバスを使用してプログラミングできます。このシリアルインターフェースはSCK入力、MISO出力、MISO出力から成ります。RESETがLowに設定された後、書き込み/消去操作が実行されるのに先立ち、**プログラミング許可命令**が初めに実行されることを必要とします。**注意**、表127でSPプログラミング用のピン配置が一覧されます。すべてのデバイスが内部SPインターフェースに対する専用SPピンを使用するとは限りません。シリアルプログラミングについての記述すべてでMOSとMISOが各々シリアル入力とシリアル出力の記述に使用されます。ATmega128について、これらのピンはPDとPDOに割り当てられます。

シリアルプログラミング用ピン配置

SPプログラミングインターフェースがSPI I/O部を流用すると言えど、1つの重要な違い、SPI I/O部でPB2とPB3に配置されるMOSI/MISOピンがこのプログラミングインターフェースで使用されないことがあります。代わりに表127で示されるようにPE0とPE1がSPプログラミング動作のために使用されます。

表 127. シリアルプログラミング用ピン配置

信号名	ピン名	入出力	機能
MOSI (PD1)	PE0	入力	シリアルデータ入力
MISO (PDO)	PE1	出力	シリアルデータ出力
SCK	PB1	入力	シリアルクロック

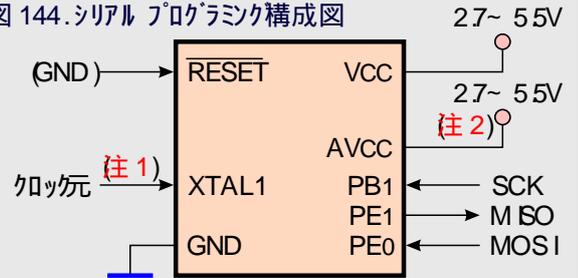
EEPROMをプログラミングするとき、自動消去サイクルが自動書き込み動作内に組み入れられ(シリアルプログラミングのみ)、**チップ消去命令**を初めに実行する必要があります。チップ消去操作はプログラム(フラッシュメモリ)とEEPROM両方の全てのメモリ位置の内容を\$FFにします。

CKSELヒューズによる有効なクロックが与えられなければなりません。シリアルクロック(SCK)入力のLowとHighの区間の最小値は次のように定義されます。

$$f_{CK} < 12\text{MHz} : \text{Low区間} > 2\text{CPUクロックサイクル} \quad f_{CK} < 12\text{MHz} : \text{High区間} > 2\text{CPUクロックサイクル}$$

$$f_{CK} > 12\text{MHz} : \text{Low区間} > 3\text{CPUクロックサイクル} \quad f_{CK} > 12\text{MHz} : \text{High区間} > 3\text{CPUクロックサイクル}$$

図 144. シリアルプログラミング構成図



注 1: デバイスが内蔵発振器で動作する場合、XTAL1ピンに接続する必要はありません。

注 2: $VCC - 0.3V < AVCC < VCC + 0.3V$ ですが、AVCCは常に2.7~5.5V内にすべきです。

シリアルプログラミング手順

ATmega128にシリアルデータを書くとき、データはSCKの立ち上りエッジで行われ、ATmega128から読むとき、データはSCKの立ち下りエッジで行われます。タイミングの詳細については図145をご覧ください。

シリアルプログラミング動作でのATmega128のプログラミングと照合は次の手順が推奨されます(4バイト命令形式は表129を参照)

1. 電源投入手順:

RESETとSCKがLow(0)に設定されている間にVCCとGND間へ電源を印加します。いくつかのシステムで電源投入中、SCKがLowに保持されることを書き込み器が保証できません。この場合、SCKがLow(0)に設定されてしまった後、RESETは最低2CPUクロックサイクル幅の正パルスを与えられなければなりません。

RESET信号を使用する代わりに、SCKがLow(0)に設定される間の電源ONレッチ中、PENをLowに保持できます。この場合、電源ONレッチでのPEN値だけが重要です。電源投入中、SCKがLowに保持されることを書き込み器が保証できない場合、このPEN手法は使用できません。この方法を使用すると、通常動作を始めるために、デバイスは電源を落とされなければなりません。

2. 最低20ms待ち、MOSIピンに**プログラミング許可命令**を送ることによりシリアルプログラミングを許可してください。

3. 通信が同期を外しているとき、シリアルプログラミング命令は動作しません。同期していると、プログラミング許可命令の第3バイト送出時に第2バイト(\$53)が戻ります。この戻りが正しいかどうかによらず、命令の4バイト全てが送信されなければなりません。\$53が戻らない場合、RESETに正パルスを与え、新規プログラミング許可命令を行ってください。

4. フラッシュメモリは1バイト単位で書かれます。バイト容量は188頁の表124で得られます。このメモリバイトはバイト設定命令と共にアドレスの下位7+1ビットとデータを提供することにより1バイトづつ設定されます。バイトが正しく設定されることを保証するため、データ上位バイトが与えられたアドレスに適用される前に、データ下位バイトが設定されなければなりません。(プログラムメモリのバイトはアドレスの上位9ビットを含むバイト書き込み命令の設定によりフラッシュメモリに格納されます。ホッピングが使用されない場合、使用者は次のバイトを行う前に最低WD_FLASH(表128参照)待たなければなりません。

注: 何れのフラッシュEEPROM、ロックビットヒューズ書き込み操作が完了される前にホッピング読み以外の命令が加えられると、不正な書き込みに終わるかもしれません。

5. EEPROMは適切なEEPROM書き込み命令と共にアドレスとデータを提供することにより1バイト単位で書かれます。EEPROMのメモリ位置は新規データが書かれるのに先立ち、始めて自動的に消去されます。ホッピングが使用されない場合、次のバイトを行う前に最低WD_EEPROM(表128参照)待たなければなりません。チップ消去したデバイスでは、\$FFデータは書かれる必要はありません。

6. どのメモリ位置も選択したアドレスの内容をシリアル出力MISOに読み戻す**読み出し命令**を使用することにより照合できます。

7. プログラミング作業終了時、RESETは通常動作を開始するため、High(1)に設定できます。

8.電源OFF手順 (必要とされるならば)

- RESETをHigh(1)に設定します。
- VCC電源をOFFにします。

フラッシュメモリのデータホッピング

フラッシュメモリにページが書かれているとき、書かれているページ内のアドレス位置読み出しは値 \$FFを与えます。デバイスが新規ページに対する準備ができると、書いた値が正しく読めます。これは次ページが書ける時を決めるために使用されます。ページ全体が同時に書かれ、ページ内のどのアドレスでもホッピングに使用できることに留意してください。フラッシュメモリのデータホッピングは値 \$FFに対して行いませんので、この値を書くと、使用者は次ページを書く前に最低 t_{WD_FLASH}待たなければなりません。すべての場所が \$FFのチップ消去されたデバイスは、\$FFデータのアドレスの書き込みを飛ばせます。t_{WD_FLASH}値については表 128をご覧ください。

EEPROMのデータホッピング

新規バイト書き込み命令が書かれ、実際にEEPROM内に書かれているとき、書かれているアドレス位置読み出しは値 \$FFを与えます。デバイスが新規バイトに対する準備ができると、書いた値が正しく読めます。これは次バイトが書ける時を決めるために使用されます。これは値 \$FFに対して行いませんが、使用者は次のことを覚えておくべきです。全ての場所が \$FFのチップ消去されたデバイスは \$FFデータのアドレスの書き込みを飛ばせます。これはデバイスをチップ消去せずにEEPROMが書き換えられる場合には適用しません。この場合、データホッピングは値 \$FFに対して使用できず、次バイト書き込み前に最低 t_{WD_EEPROM}待たなければなりません。t_{WD_EEPROM}値については表 128をご覧ください。

表 128. ヒューズ、フラッシュ、EEPROM 位置書き込み前の待機時間

シンボル	最低待機時間	備考
t _{WD_FUSE}	45ms	ヒューズ書き込み
t _{WD_FLASH}	5ms	フラッシュメモリ書き込み
t _{WD_EEPROM}	10ms	EEPROM書き込み
t _{WD_ERASE}	10ms	チップ消去

図 145. シリアルプログラミングハイ通信波形

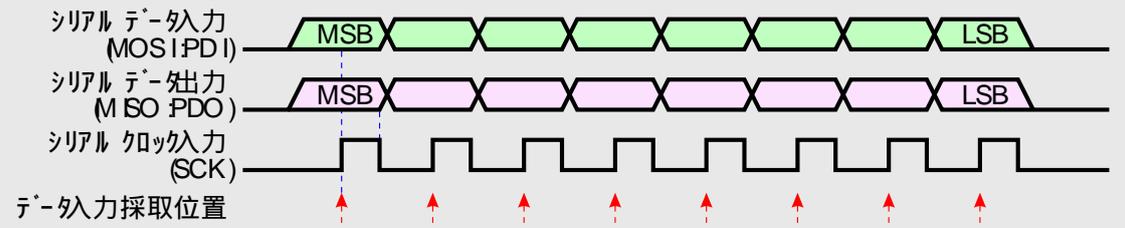


表 129. シリアルプログラミング命令セット

命令	命令形式				動作
	第1バイト	第2バイト	第3バイト	第4バイト	
プログラミング許可	1010 1100	0101 0011	xxxx xxxx	xxxx xxxx	RESET=Low後のプログラミングを許可します。
チップ消去	1010 1100	100x xxxx	xxxx xxxx	xxxx xxxx	フラッシュメモリ、EEPROM、ロックビットを消去します。
フラッシュメモリ読み出し	0010 P000	HHH HHH	LLLL LLLL	RRRR RRRR	アドレスH:LのP(H/L)バイトを読み出します。
ページ一時ハット設定	0100 P000	0000 xxxx	xLLL LLLL	VWWW VWWW	ハットアドレスLのP(H/L)バイトに書き込みます。
フラッシュページ書き込み	0100 1100	HHH HHH	Lxxx xxxx	xxxx xxxx	アドレスH:Lのページに書き込みます。
EEPROM読み出し	1010 0000	00xx HHH	LLLL LLLL	RRRR RRRR	アドレスH:Lのバイトを読み出します。
EEPROM書き込み	1100 0000	00xx HHH	LLLL LLLL	VWWW VWWW	アドレスH:Lのバイトに書き込みます。
ロックビット読み出し	0101 1000	0000 0000	xxxx xxxx	xxRR RRRR	ロックビットを読み出します。
ロックビット書き込み	1010 1100	111x xxxx	xxxx xxxx	1VWV VWWW	(187頁の表 115参照) に書き込みます。
ヒューズ下位読み出し	0101 0000	0000 0000	xxxx xxxx	RRRR RRRR	ヒューズ下位ビットを読み出します。
ヒューズ下位書き込み	1010 1100	1010 0000	xxxx xxxx	VWWW VWWW	(187頁の表 119参照) に書き込みます。
ヒューズ上位読み出し	0101 1000	0000 1000	xxxx xxxx	RRRR RRRR	ヒューズ上位ビットを読み出します。
ヒューズ上位書き込み	1010 1100	1010 1000	xxxx xxxx	VWWW VWWW	(187頁の表 118参照) に書き込みます。
拡張ヒューズ読み出し	0101 0000	0000 1000	xxxx xxxx	RRRR RRRR	拡張ヒューズビットを読み出します。
拡張ヒューズ書き込み	1010 1100	1010 0100	xxxx xxxx	VWWW VWWW	(187頁の表 117参照) に書き込みます。
識票ハイ読み出し	0011 0000	00xx xxxx	xxxx xxLL	RRRR RRRR	アドレスLの識票ハイを読み出します。
発振校正値読み出し	0011 1000	00xx xxxx	0000 00LL	RRRR RRRR	アドレスLの発振校正値を読み出します。

H = アドレス上位バイトのビット L = アドレス下位バイトのビット P = 0=下位バイト 1=上位バイト
R = 読み出しデータ (MCU出力) W = 書き込みデータ (MCU入力) x = 0または1 無意味 (不定)

シリアルプログラミング特性

SP部の特性については、208頁の「SPタイミング特性」を参照してください。



JTAGインターフェース経由のプログラミング

JTAGインターフェースを通すプログラミングは4つのJTAG仕様ピン TCK, TMS, TDI, TDOの制御が必要です。RESETピンとクロックピンの制御は必要とされません。

JTAGインターフェースを使用できるためには、**JTAGENヒューズ**がプログラム(0)されなければなりません。このデバイスは既定でこのヒューズがプログラム(0)されて出荷されます。更に**MCU制御 / ステータスレジスタ(MCUCSR)のJTAGインターフェース禁止(JTD)ビット**がクリア(0)されなければなりません。JTDビットがセット(1)の場合、代わりに外部リセットを強制的なLowにできます。その後、2チップ(CPU)クロック後にJTDビットがクリア(0)され、JTAGピンはプログラミングに利用できます。これはJTAGインターフェース経由実装書き込みを許すにも拘らず、一方、実行動作で標準ポートピンとしてJTAGピンを使用する手段を提供します。境界走査(Boundary-Scan)や内蔵デバッグ機能にJTAGピンを使用するとき、この手法が使用できないことに注意してください。これらの場合のJTAGピンは、その目的専用に使われなければなりません。

この資料内の定義では、全てのシフトレジスタについて、入出力ともLSBが最初にシフトされます。

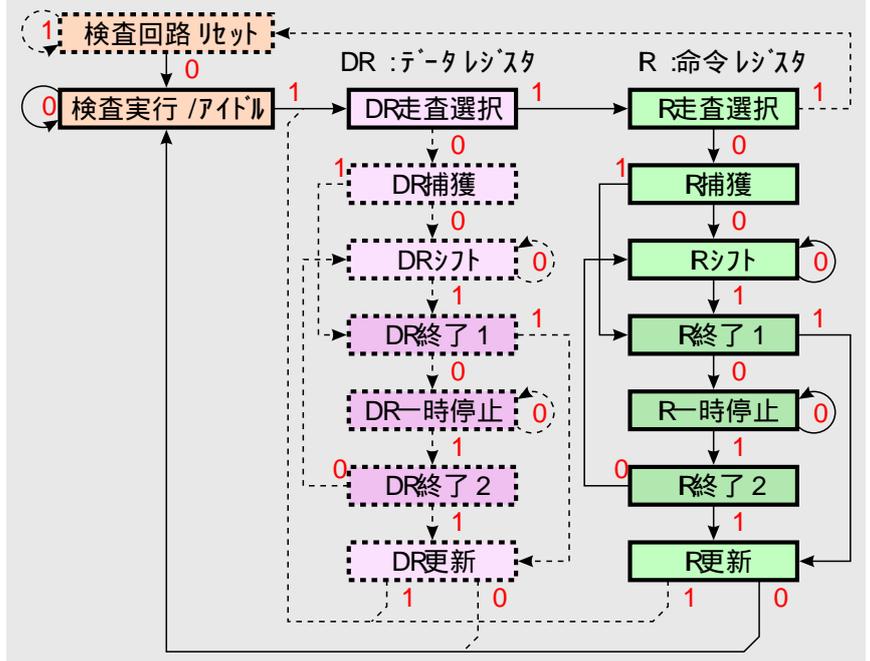
プログラミング特殊 JTAG命令

命令レジスタ(R)は4ビット長で、16種類までの命令を支援します。以下に示される一覧はプログラミングに有用なJTAG命令です。

各命令の命令コードは命令名下の16進形式で示されます。本文は各命令についてTDとTDO間の経路として選択されるデータレジスタを記述します。

検査アクセスポート(TAP制御器の検査実行/アイドル状態は、内部クロックの発生に使用されます。また、JTAG手順間のアイドル状態としても使用できます。命令を切り替えるための順次回路の順番は図146で示されます。

図 146. 命令語変更手順時順次回路状態遷移図



AVR_RESET (\$C)

AVRデバイスをリセット状態、またはリセット状態から開放するためのAVR固有公開JTAG命令です。この命令により、検査アクセスポート(TAP制御器)はリセットされません。1ビットのリセットレジスタがデータレジスタ(DR)として選択されます。リセットチェーンに論理1がある限り、リセットが有効であることに注意してください。このチェーンからの出力はラッチされません。本命令が有効な状態を次に示します。

DRシフト : リセットレジスタがTCKクロック入力によりシフトされます。

PROG_ENABLE (\$4)

JTAGホ-経由のプログラミングを許可するためのAVR固有公開JTAG命令です。16ビット長のプログラミング許可レジスタがデータレジスタ(DR)として選択されます。本命令が有効な状態を次に示します。

DRシフト : プログラミング許可識別子がデータレジスタにシフト入力されます。

DR更新 : プログラミング許可識別子が正規値と比較され、識別子が有効ならば、プログラミング動作に移行されます。

PROG_COMMANDS (\$5)

JTAGホ-経由のプログラミング命令移行用のAVR固有公開JTAG命令です。15ビット長のプログラミング命令レジスタがデータレジスタ(DR)として選択されます。本命令が有効な状態を次に示します。

DR捕獲 : 直前の命令の結果がデータレジスタに設定されます。

DRシフト : データレジスタがTCK入力によりシフトされ、直前の命令の結果をシフト出力し、新規命令をシフト入力します。

DR更新 : プログラミング命令がフラッシュメモリ入力に適用されます。

検査実行/アイドル : 1クロックサイクルが生成され、適用された命令を実行します。

PROG_PAGELOAD (\$6)

JTAGホ-経由でフラッシュメモリのページデータを直接設定するためのAVR固有公開JTAG命令です。1024ビット長の仮想フラッシュページ設定レジスタがデータレジスタ(DR)として選択されます。これはフラッシュメモリ1ページ分のビット数と同じ長さの仮想走査チェーン(Scan chain)です。内部的なシフトレジスタは8ビットです。多くのJTAG命令と異なり、シフトレジスタからのデータ転送に**DR更新**状態が使用されません。データは内部順次回路により、**DRシフト**状態でフラッシュメモリページハフアへハイ単位で自動的に転送されます。これはこの命令が**活性有効**な場合だけです。

DRシフト :フラッシュメモリページデータがTCK入力によりTDからシフト入力され、ハイ毎にフラッシュメモリページハフアへ自動的に設定されます。

注: JTAG命令 **PROG_PAGELOAD**はAVRデバイスがJTAG走査チェーンの最初のデバイスの場合だけ使用できます。AVRが走査チェーンの最初のデバイスでない場合、ハイ単位のプログラミング法が使用されなければなりません。

PROG_PAGEREAD (\$7)

JTAGホ-経由でフラッシュメモリの1つのページの全データを取得するためのAVR固有公開JTAG命令です。1032ビット長の仮想フラッシュページ取得レジスタがデータレジスタ(DR)として選択されます。これはフラッシュメモリ1ページ+8ビット分のビット数と同じ長さの仮想走査チェーン(Scan chain)です。内部的なシフトレジスタは8ビットです。多くのJTAG命令と異なり、シフトレジスタからのデータ転送に**DR捕獲**状態が使用されません。データは内部順次回路により、**DRシフト**状態でフラッシュメモリページハフアからハイ単位で自動的に転送されます。これはこの命令が**活性有効**な場合だけです。

DRシフト :フラッシュメモリのデータが自動的に(フラッシュメモリページハフアから)ハイ毎に読み、TCK入力によりTDOへシフト出力されます。TD入力は無視されます。

注: JTAG命令 **PROG_PAGEREAD**はAVRデバイスがJTAG走査チェーンの最初のデバイスの場合だけ使用できます。AVRが走査チェーンの最初のデバイスでない場合、ハイ単位のプログラミング法が使用されなければなりません。

データレジスタ

データレジスタ(DR)は198頁の「**プログラミング特殊 JTAG命令**」項目に記載されたJTAG命令レジスタ(R)により選択されます。プログラミング操作に関連するデータレジスタ毎に示します。

- リセット(Reset)レジスタ
- プログラミング許可(Programming Enable)レジスタ
- プログラミング命令(Programming Command)レジスタ
- 仮想フラッシュページ設定(Virtual Flash Page Load)レジスタ
- 仮想フラッシュページ取得(Virtual Flash Page Read)レジスタ

リセット(Reset)レジスタ

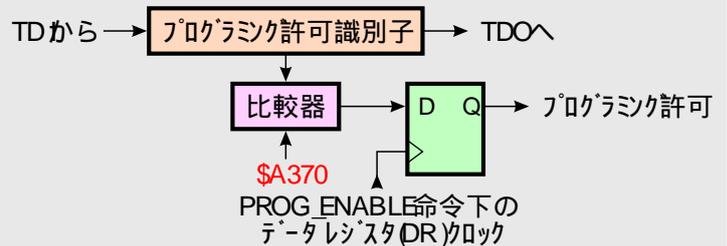
リセットレジスタはプログラミング中、デバイスをリセットするために使用される検査データレジスタです。プログラミング動作への移行に先立ち、デバイスをリセットするために必要とされます。

リセットレジスタ内の値1は外部RESETをLowに引き込むことに相当します。リセットレジスタ内の値が1である限り、デバイスはリセットされます。リセットレジスタの開放後、デバイスは**クック種別ヒューズ**設定に従い、リセット起動遅延時間(22頁の「**クック**」参照)分リセットを維持します。16頁の図123で示されるように、このデータレジスタからの出力はラッチされず、それ故リセットが直ちに起こります。

プログラミング許可(Programming Enable)レジスタ

プログラミング許可レジスタは16ビット長のレジスタです。このレジスタの内容はプログラミング許可識別子\$A370(1010 0011 0111 0000)と比較されます。このレジスタの内容がプログラミング許可識別子と一致すると、JTAGホ-経由のプログラミングが許可されます。このレジスタは電源ONリセットで0にリセットされ、プログラミング動作を抜けるときは常にリセットされるべきです。

図 147. プログラム許可 レジスタ



プログラミング命令(Programming Command)レジスタ

プログラミング命令レジスタは15ビット長のレジスタです。このレジスタはプログラミング命令を連続的にシフト入力し、直前のプログラミング命令の結果を連続的にシフト出力するために使用されます。JTAGプログラミング命令セットは表130で示されます。プログラミング命令をシフト入力するときの状態順は図149で図解されます。

図 148. プログラム命令 レジスタ



表 130. JTAG プログラミング命令セット (手順)

命令		TD入力	TDO出力	備考	
チップ消去	1	チップ消去	010 0011 1000 0000 011 0001 1000 0000 011 0011 1000 0000 011 0011 1000 0000	xxx xxxx xxxx xxxx xxx xxxx xxxx xxxx xxx xxxx xxxx xxxx xxx xxxx xxxx xxxx	
	1	チップ消去完了検査	011 0011 1000 0000	xxx xxSx xxxx xxxx	(注 2)
フラッシュメモリ書き込み	2	フラッシュ書き込み移行	010 0011 0001 0000	xxx xxxx xxxx xxxx	
	2	アドレス上位ハイ設定	000 0111 HHH HHH	xxx xxxx xxxx xxxx	(注 10)
	2	アドレス下位ハイ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	2	データ下位ハイ設定	001 0011 WWW WWW	xxx xxxx xxxx xxxx	
	2	データ上位ハイ設定	001 0111 WWW WWW	xxx xxxx xxxx xxxx	
	2	データラッチ	011 0111 0000 0000	xxx xxxx xxxx xxxx	(注 1)
			111 0111 0000 0000	xxx xxxx xxxx xxxx	
	2	ページ書き込み	011 0111 0000 0000	xxx xxxx xxxx xxxx	(注 1)
			011 0101 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
011 0111 0000 0000			xxx xxxx xxxx xxxx		
2	ページ書き込み完了検査	011 0111 0000 0000	xxx xxSx xxxx xxxx	(注 2)	
フラッシュ読み出し	3	フラッシュ読み出し移行	010 0011 0000 0010	xxx xxxx xxxx xxxx	
	3	アドレス上位ハイ設定	000 0111 HHH HHH	xxx xxxx xxxx xxxx	(注 10)
	3	アドレス下位ハイ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	3	データ下位 / 上位ハイ取得	011 0010 0000 0000	xxx xxxx xxxx xxxx	
			011 0110 0000 0000	xxx xxxx RRRR RRRR	下位ハイ 上位ハイ
EEPROM書き込み	4	EEPROM書き込み移行	010 0011 0001 0001	xxx xxxx xxxx xxxx	
	4	アドレス上位ハイ設定	000 0111 HHH HHH	xxx xxxx xxxx xxxx	(注 10)
	4	アドレス下位ハイ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	4	データハイ設定	001 0011 WWW WWW	xxx xxxx xxxx xxxx	
	4	データラッチ	011 0111 0000 0000	xxx xxxx xxxx xxxx	(注 1)
			111 0111 0000 0000	xxx xxxx xxxx xxxx	
	4	EEPROM書き込み	011 0111 0000 0000	xxx xxxx xxxx xxxx	(注 1)
			011 0001 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
			011 0011 0000 0000	xxx xxxx xxxx xxxx	
4	EEPROM書き込み完了検査	011 0011 0000 0000	xxx xxSx xxxx xxxx	(注 2)	
EEPROM読み出し	5	EEPROM読み出し移行	010 0011 0000 0011	xxx xxxx xxxx xxxx	
	5	アドレス上位ハイ設定	000 0111 HHH HHH	xxx xxxx xxxx xxxx	(注 10)
	5	アドレス下位ハイ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
	5	EEPROM読み出し	011 0011 LLLL LLLL	xxx xxxx xxxx xxxx	
			011 0010 0000 0000	xxx xxxx xxxx xxxx	
ヒューズビット書き込み	6	ヒューズ書き込み移行	010 0011 0100 0000	xxx xxxx xxxx xxxx	
	6	データ下位ハイ設定	001 0011 WWW WWW	xxx xxxx xxxx xxxx	(注 3) ビット配置は 187 頁の表 117 参照
	6	拡張ヒューズ書き込み	011 1011 0000 0000	xxx xxxx xxxx xxxx	(注 1)
			011 1001 0000 0000	xxx xxxx xxxx xxxx	
			011 1011 0000 0000	xxx xxxx xxxx xxxx	
			011 1011 0000 0000	xxx xxxx xxxx xxxx	
	6	拡張ヒューズ書き込み完了検査	011 1011 0000 0000	xxx xxSx xxxx xxxx	(注 2)
	6	データ下位ハイ設定	001 0011 WWW WWW	xxx xxxx xxxx xxxx	(注 3) ビット配置は 187 頁の表 118 参照
	6	上位側ヒューズ書き込み	011 0111 0000 0000	xxx xxxx xxxx xxxx	(注 1)
			011 0101 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
			011 0111 0000 0000	xxx xxxx xxxx xxxx	
	6	上位ヒューズ書き込み完了検査	011 0111 0000 0000	xxx xxSx xxxx xxxx	(注 2)
6	データ下位ハイ設定	001 0011 WWW WWW	xxx xxxx xxxx xxxx	(注 3) ビット配置は 187 頁の表 119 参照	
6	下位側ヒューズ書き込み	011 0011 0000 0000	xxx xxxx xxxx xxxx	(注 1)	
		011 0001 0000 0000	xxx xxxx xxxx xxxx		
		011 0011 0000 0000	xxx xxxx xxxx xxxx		
6	下位ヒューズ書き込み完了検査	011 0011 0000 0000	xxx xxSx xxxx xxxx	(注 2)	

次頁へ続く

表 130(続き) JTAG プログラミング命令セット

命令		TD入力	TDO出力	備考
ロックビット書き込み	7	ロックビット書き込み移行	010 0011 0010 0000	xxx xxxx xxxx xxxx
	7	テータ下位ハイ設定	001 0011 11WWWWW	xxx xxxx xxxx xxxx (注4) ビット配置は 186頁の表 115参照
	7	ロックビット書き込み	011 0011 0000 0000	xxx xxxx xxxx xxxx (注1)
			011 0001 0000 0000	xxx xxxx xxxx xxxx
			011 0011 0000 0000	xxx xxxx xxxx xxxx
7	ロックビット書き込み完了検査	011 0011 0000 0000	xxx xxSx xxxx xxxx (注2)	
ヒューズ/ロックビット読み出し	8	ヒューズ/ロックビット読み出し移行	010 0011 0000 0100	xxx xxxx xxxx xxxx
	8	拡張ヒューズ読み出し	011 1010 0000 0000	xxx xxxx xxxx xxxx
			011 1011 0000 0000	xxx xxxx RRRR RRRR (注5) ビット配置は 187頁の表 117参照
	8	上位側ヒューズ読み出し	011 1110 0000 0000	xxx xxxx xxxx xxxx
			011 1111 0000 0000	xxx xxxx RRRR RRRR (注5) ビット配置は 187頁の表 118参照
	8	下位側ヒューズ読み出し	011 0010 0000 0000	xxx xxxx xxxx xxxx
			011 0011 0000 0000	xxx xxxx RRRR RRRR (注5) ビット配置は 187頁の表 119参照
	8	ロックビット読み出し	011 0110 0000 0000	xxx xxxx xxxx xxxx
			011 0111 0000 0000	xxx xxxx xxFR RRRR (注5) ビット配置は 186頁の表 115参照
	8	ヒューズ/ロックビット読み出し	011 1010 0000 0000	xxx xxxx xxxx xxxx
011 1110 0000 0000			xxx xxxx RRRR RRRR	
011 0010 0000 0000			xxx xxxx RRRR RRRR	
011 0110 0000 0000			xxx xxxx RRRR RRRR	
011 0111 0000 0000			xxx xxxx RRRR RRRR	
				拡張ヒューズ 上位ヒューズ 下位ヒューズ ロックビット (注5)
識票バイト	9	識票ハイ読み出し移行	010 0011 0000 1000	xxx xxxx xxxx xxxx
	9	アドレスハイ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx
	9	識票ハイ読み出し	011 0010 0000 0000	xxx xxxx xxxx xxxx
011 0011 0000 0000			xxx xxxx RRRR RRRR	
発振校正値	10	発振校正値読み出し移行	010 0011 0000 1000	xxx xxxx xxxx xxxx
	10	アドレスハイ設定	000 0011 LLLL LLLL	xxx xxxx xxxx xxxx
	10	発振校正値読み出し	011 0110 0000 0000	xxx xxxx xxxx xxxx
011 0111 0000 0000			xxx xxxx RRRR RRRR	
11	無操作設定	010 0011 0000 0000	xxx xxxx xxxx xxxx	
		011 0011 0000 0000	xxx xxxx xxxx xxxx	

H = アドレス上位バイトのビット L = アドレス下位バイトのビット P = 0=下位バイト 1=上位バイト
R = 読み出しデータ (MCU出力) W = 書き込みデータ (MCU入力) x = 0か1 無効 (無意味)

注1 : この命令は直前の命令手順により上位7ビットが正しく設定されている 通常の場合、必要ではありません。

注2 : Sが1になるまで繰り返します。(待機)

注3 : 設定値 0でプログラム、1で非プログラムです。

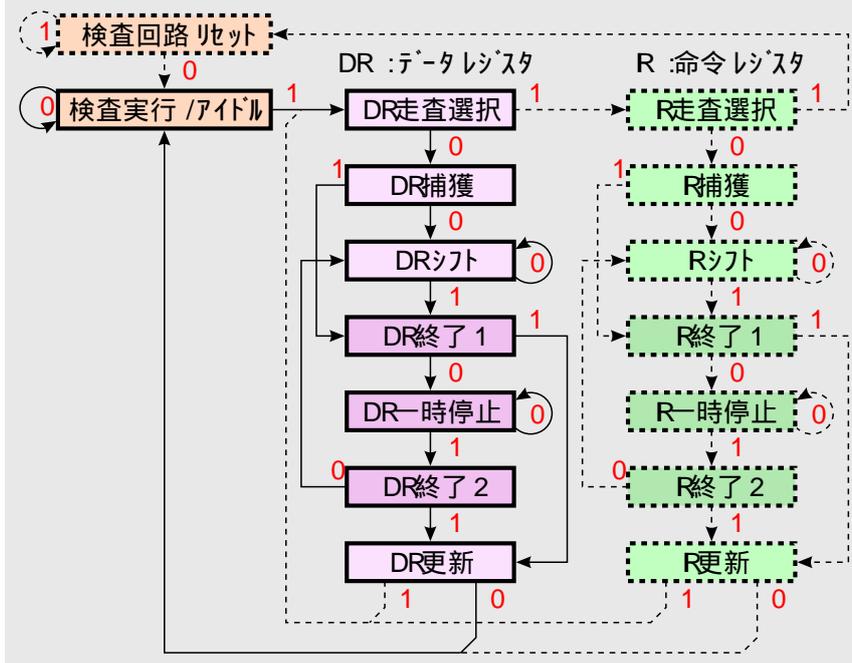
注4 : 設定値 0でプログラム、1ではロックビットが変化しません。

注5 : 読み出し値 0でプログラム、1で非プログラムです。

訳注)原書での注6~9は表内備考欄に直接記載しました。

注10 : PCMSB表 124参照 とEEAMSB表 125参照 を越えるアドレスビットは無効です。

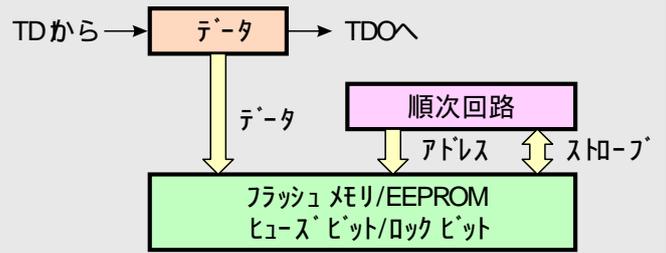
図 149.データライト変更 読み出し手順時順次回路状態遷移図



仮想フラッシュページ設定 (Virtual Flash Page Load) レジスタ

仮想フラッシュページ設定レジスタは、フラッシュメモリの1ページと等しいビット長の仮想走査チェーン(Scan chain)です。内部的なシフトレジスタは8ビットで、データはハイ単位でフラッシュメモリページハフアへ自動的に転送されます。ページ内への全命令語(データのシフト出力は、ページ内の最初のコードのLSBから始まり、ページ内の最後のコードのMSBで終了します。これはページ書き込みを実行する前にフラッシュメモリページハフア全体を設定する効率的な方法を提供します。

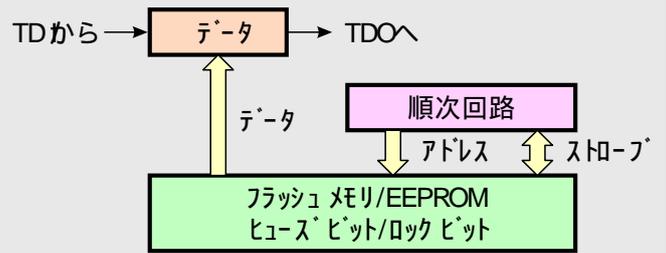
図 150.仮想フラッシュページ設定 レジスタ



仮想フラッシュページ取得 (Virtual Flash Page Read) レジスタ

仮想フラッシュページ取得レジスタは、フラッシュメモリの1ページと等しいビット数 + 8ビットの仮想走査チェーン(Scan chain)です。内部的なシフトレジスタは8ビットで、データはフラッシュメモリページハフアからハイ単位で自動的に転送されます。最初の8クロックは先頭ハイ位を内部シフトレジスタへ転送するために使用され、この8クロック中にシフト出力されたビットは無視されるべきです。この初期化に続いて、ページ内の最初のコードのLSBから始まり、ページ内の最後のコードのMSBで終了するデータがシフト出力されます。これは書き込み確認のためにフラッシュメモリの1ページ全体を読み出す効率的な方法を提供します。

図 151.仮想フラッシュページ取得 レジスタ



プログラミング手法

1、1 形式のような以下の全ての参照は表 130を参照してください。

プログラミング動作への移行

1. JTAG命令 **AVR_RESET**を入力し、レジスタ値に **1**をシフトします。
2. **PROG_ENABLE**命令を入力し、プログラミング許可レジスタ値に **\$A370 (1010 0011 0111 0000)**をシフトします。

プログラミング動作からの抜け出し

1. JTAG命令 **PROG_COMMANDS**を入力します。
2. 無操作命令 (11 参照)により、全てのプログラミング命令を禁止します。
3. **PROG_ENABLE**命令を入力し、プログラミング許可レジスタ値に **\$0000 (0000 0000 0000 0000)**をシフトします。
4. JTAG命令 **AVR_RESET**を入力し、レジスタ値に **0**をシフトします。

チップ消去の実行

1. JTAG命令 **PROG_COMMANDS**を入力します。
2. チップ消去命令 (1 参照) を使用し、チップ消去を開始します。
3. チップ消去完了検査 (1 参照) を使用し、完了までホールドするか、**WLRH_CE** (195頁の表 126参照) 時間待ちます。

フラッシュメモリの書き込み

フラッシュメモリへ書き込む前に、チップ消去が実行されなければなりません。上記の「チップ消去の実行」をご覧ください。

1. JTAG命令 **PROG_COMMANDS**を入力します。
2. フラッシュ書き込み移行命令 (2 参照) を使用し、フラッシュメモリ書き込みを許可します。
3. アドレス上位設定命令 (2 参照) を使用し、書き込みアドレス上位ハイ位を設定します。
4. アドレス下位設定命令 (2 参照) を使用し、書き込みアドレス下位ハイ位を設定します。
5. データ設定命令 (2, 2, 2 参照) を使用し、書き込みデータを設定します。
6. バイト内の全ワード数分 4と5を繰り返します。
7. バイト書き込み命令 (2 参照) を使用し、バイトをフラッシュメモリに書き込みます。
8. バイト書き込み完了検査 (2 参照) を使用し、完了までホールドするか、**WLRH_FLASH** (195頁の表 126参照) 時間待ちます。
9. 全データ書き込みまで 3~ 8を繰り返します。

より効率的なデータ転送は **PROG_PAGELOAD**命令を使用することで達せられます。

1. JTAG命令 **PROG_COMMANDS**を入力します。
2. フラッシュ書き込み移行命令 (2 参照) を使用し、フラッシュメモリ書き込みを許可します。
3. アドレス設定命令 (2, 2 参照) を使用し、バイトアドレスを設定します。バイト内アドレスには **PCWORD** (188頁の表 124参照) が使用され、これらのビットは 0として書かれなければなりません。
4. JTAG命令 **PROG_PAGELOAD**を入力します。
5. バイト内の最初のコードのLSBから始まり、最後のコードのMSBで終了するバイト内に、全コードデータをシフトしてバイト全体を設定します。
6. JTAG命令 **PROG_COMMANDS**を入力します。
7. バイト書き込み命令 (2 参照) を使用し、バイトをフラッシュメモリに書き込みます。
8. バイト書き込み完了検査 (2 参照) を使用し、完了までホールドするか、**WLRH_FLASH** (195頁の表 126参照) 時間待ちます。
9. 全データ書き込みまで 3~ 8を繰り返します。

フラッシュメモリの読み出し

1. JTAG命令 **PROG_COMMANDS**を入力します。
2. フラッシュ読み出し移行命令 (3 参照) を使用し、フラッシュメモリ読み出しを許可します。
3. アドレス設定命令 (3, 3 参照) を使用し、読み出しアドレスを設定します。
4. データ読み出し命令 (3 参照) を使用し、データを読み出します。
5. 全データ読み出しまで 3~ 4を繰り返します。

より効率的なデータ転送は **PROG_PAGEREAD**命令を使用することで達せられます。

1. JTAG命令 **PROG_COMMANDS**を入力します。
2. フラッシュ読み出し移行命令 (3 参照) を使用し、フラッシュメモリ読み出しを許可します。
3. アドレス設定命令 (3, 3 参照) を使用し、バイトアドレスを設定します。バイト内アドレスには **PCWORD** (188頁の表 124参照) が使用され、これらのビットは 0として書かれなければなりません。
4. JTAG命令 **PROG_PAGEREAD**を入力します。
5. バイト内の最初のコードのLSBから始まり、最後のコードのMSBで終了するバイト内の全コードデータをシフトし、バイト全体を読み出します。最初にシフト出力される8ビットが無視されるべきことを留意してください。
6. JTAG命令 **PROG_COMMANDS**を入力します。
7. 全データ読み出しまで 3~ 6を繰り返します。

EEPROMの書き込み

EEPROMへ書き込む前に、チップ消去が実行されなければなりません。上記の「チップ消去の実行」をご覧ください。

1. JTAG命令 **PROG_COMMANDS**を入力します。
2. EEPROM書き込み移行命令 (4 参照) を使用し、EEPROMメモリ書き込みを許可します。
3. アドレス上位設定命令 (4 参照) を使用し、書き込みアドレス上位ハイ位を設定します。
4. アドレス下位設定命令 (4 参照) を使用し、書き込みアドレス下位ハイ位を設定します。
5. データ設定命令 (4, 4 参照) を使用し、書き込みデータを設定します。
6. バイト内の全ハイ数分 4と5を繰り返します。
7. EEPROM書き込み命令 (4 参照) を使用し、データをEEPROMメモリに書き込みます。
8. EEPROM書き込み完了検査 (4 参照) を使用し、完了までホールドするか、**WLRH** (195頁の表 126参照) 時間待ちます。
9. 全データ書き込みまで 3~ 8を繰り返します。

PROG_PAGELOAD命令がEEPROM書き込み時、使用できないことに注意してください。

EEPROMの読み出し

1. JTAG命令 **PROG_COMMANDS**を入力します。
2. EEPROM読み出し移行命令 (5 参照) を使用し、EEPROMをE読み出しを許可します。
3. アドレス設定命令 (5 参照) を使用し、読み出しアドレスを設定します。
4. データ読み出し命令 (5 参照) を使用し、データをE読み出します。
5. 全データ読み出しまで3~4を繰り返します。

PROG_PAGEREAD命令がEEPROM読み出し時、使用できないことに注意してください。

ヒューズビットの書き込み

1. JTAG命令 **PROG_COMMANDS**を入力します。
2. ヒューズ書き込み移行命令 (6 参照) を使用し、ヒューズ書き込みを許可します。
3. 拡張データ設定命令 (6 参照) を使用し、拡張ヒューズ値を設定します。(0=プログラム、1=非プログラム)
4. 拡張ヒューズ書き込み命令 (6 参照) を使用し、拡張ヒューズを書き込みます。
5. ヒューズ書き込み完了検査 (6 参照) を使用し、完了までホールドするか、WLRH (195頁の表 126参照) 時間待ちます。
6. 上位データ設定命令 (6 参照) を使用し、上位側ヒューズ値を設定します。(0=プログラム、1=非プログラム)
7. 上位ヒューズ書き込み命令 (6 参照) を使用し、上位側ヒューズを書き込みます。
8. ヒューズ書き込み完了検査 (6 参照) を使用し、完了までホールドするか、WLRH (195頁の表 126参照) 時間待ちます。
9. 下位データ設定命令 (6 参照) を使用し、下位側ヒューズ値を設定します。(0=プログラム、1=非プログラム)
10. 下位ヒューズ書き込み命令 (6 参照) を使用し、下位側ヒューズを書き込みます。
11. ヒューズ書き込み完了検査 (6 参照) を使用し、完了までホールドするか、WLRH (195頁の表 126参照) 時間待ちます。

ロックビットの書き込み

1. JTAG命令 **PROG_COMMANDS**を入力します。
2. ロックビット書き込み移行命令 (7 参照) を使用し、ロックビット書き込みを許可します。
3. データ設定命令 (7 参照) を使用し、ロックビット値を設定します。(0=プログラム、1=無変化)
4. ロックビット書き込み命令 (7 参照) を使用し、ロックビットに書き込みます。
5. ロックビット書き込み完了検査 (7 参照) を使用し、完了までホールドするか、WLRH (195頁の表 126参照) 時間待ちます。

ヒューズ/ロックビットの読み出し

1. JTAG命令 **PROG_COMMANDS**を入力します。
2. ヒューズ/ロックビット読み出し移行命令 (8 参照) を使用し、ヒューズ/ロックビット読み出しを許可します。
3. すべてのヒューズとロックビットを読むには、ヒューズ/ロックビット読み出し命令 (8 参照) を使用します。
拡張ヒューズビットのみを読み出す場合は、拡張ヒューズ読み出し命令 (8 参照) を使用します。
上位側ヒューズビットだけを読むには、上位ヒューズ読み出し命令 (8 参照) を使用します。
下位側ヒューズビットだけを読むには、下位ヒューズ読み出し命令 (8 参照) を使用します。
ロックビットだけを読むには、ロックビット読み出し命令 (8 参照) を使用します。

識票ハイの読み出し

1. JTAG命令 **PROG_COMMANDS**を入力します。
2. 識票読み出し移行命令 (9 参照) を使用し、識票読み出しを許可します。
3. アドレス設定命令 (9 参照) を使用し、読み出しアドレス\$00を設定します。
4. データ読み出し命令 (9 参照) を使用し、識票ハイを読み出します。
5. 第2 第3ハイを読むためにアドレスを\$01 \$02として各々3~4を繰り返します。

発振校正值ハイの読み出し

1. JTAG命令 **PROG_COMMANDS**を入力します。
2. 発振校正值ハイ読み出し移行命令 (10 参照) を使用し、発振校正值ハイ読み出しを許可します。
3. アドレス設定命令 (10 参照) を使用し、読み出しアドレス\$00を設定します。
4. データ読み出し命令 (10 参照) を使用し、発振校正值ハイを読み出します。

訳注) 発振校正值ハイは4ハイですので上記説明は不適切です。識票ハイと同様な手法が予測されます (未確認)

電気的特性 (注1:パッドのお断りと重複するため次位置の注意を削除)

絶対最大定格 (警告)

動作温度	-55 ~ +125
保存温度	-65 ~ +150
RESETを除くピン許容電圧	-0.5V ~ VCC+0.5V
RESETピン許容電圧	-0.5V ~ +13.0V
最大動作電圧	6.0V
入出力ピン出力電流	40.0mA
消費電流	200.0mA

(警告)

絶対最大定格を超える負担は、デバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためのもの、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

DC特性

TA=-40 ~ 85 °C, VCC=2.7V~ 5.5V (特記事項を除く)

シンボル	項目	条件	Min	Typ	Max	単位
V _{IL}	Lowレベル入力電圧	XTAL1 RESETを除く	-0.5		0.2VCC (注1)	V
V _{IL1}	Lowレベル入力電圧	XTAL1, 外部 クリップ選択	-0.5		0.1VCC (注1)	
V _{IL2}	Lowレベル入力電圧	RESET	-0.5		0.2VCC (注1)	
V _{IH}	Highレベル入力電圧	XTAL1 RESETを除く	0.6VCC (注2)		VCC+0.5	
V _{IH1}	Highレベル入力電圧	XTAL1, 外部 クリップ選択	0.7VCC (注2)		VCC+0.5	
V _{IH2}	Highレベル入力電圧	RESET	0.85VCC (注2)		VCC+0.5	
V _{OL}	Lowレベル出力電圧 (ピン: A B C D E F G) (注3)	DL=20mA, VCC=5V			0.7	
		DL=10mA, VCC=3V			0.5	
V _{OH}	Highレベル出力電圧 (ピン: A B C D E F G) (注4)	DH=-20mA, VCC=5V	4.2			
		DH=-10mA, VCC=3V	2.4			
I _{IL}	I/OピンLowレベル入力漏れ電流	VCC=5.5V (絶対値)			1.0	μA
I _{IH}	I/OピンHighレベル入力漏れ電流	確実なH/L範囲			1.0	
RRST	RESETピンプルアップ抵抗		30		60	k
R _{PEN}	PENピンプルアップ抵抗		30		60	
R _{PU}	I/Oピンプルアップ抵抗		20		50	mA
I _{CC}	通常動作消費電流	ATmega128L VCC=3V, 4MHz			5.5	
		ATmega128 VCC=5V, 8MHz			19	
	アイドル動作消費電流	ATmega128L VCC=3V, 4MHz			2.5	
		ATmega128 VCC=5V, 8MHz			11	
パワーダウン動作消費電流	VCC=3V, WDT許可			<15	25	μA
	VCC=3V, WDT禁止			<5	10	
V _{ACD}	アナログ比較器入力オフセット電圧	VCC=5V, V _{in} =VCC/2			40	mV
I _{ACLK}	アナログ比較器入力漏れ電流		-50		50	
t _{ACD}	アナログ比較器初期化遅延時間	VCC=2.7V		750		ns
		VCC=5.0V		500		

注1: Lowレベルの認識が保証される最高電圧です。

注2: Highレベルの認識が保証される最低電圧です。

注3)~ 注4)は次頁を参照してください。

注 3:各 I/Oポートは安定状態（非過渡時）においては、検査条件（VCC=5Vで20mA、VCC=3Vで10mA）より多くのシグナル電流を流すことができますが、次の条件を厳守しなければなりません。

- 全ポートの DLの合計が 400mAを超えるべきではありません。
- ポートA0~ A7、C3~ C7、G2の DLの合計が 300mAを超えるべきではありません。
- ポートB0~ B7、E0~ E7、G3~ G4の DLの合計が 150mAを超えるべきではありません。
- ポートC0~ C2、D0~ D7、G0~ G1とXTAL2の DLの合計が 150mAを超えるべきではありません。
- ポートF0~ F7の DLの合計が 200mAを超えるべきではありません。

DLが検査条件を超える場合、VOLE仕様書での値を超えます。表の検査条件より大きなシグナル電流を流すことは保証されません。

注 4:各 I/Oポートは安定状態（非過渡時）においては、検査条件（VCC=5Vで20mA、VCC=3Vで10mA）より多くのソース電流を流すことができますが、次の条件を厳守しなければなりません。

- 全ポートの DHの合計が 400mAを超えるべきではありません。
- ポートA0~ A7、C3~ C7、G2の DHの合計が 300mAを超えるべきではありません。
- ポートB0~ B7、E0~ E7、G3~ G4の DHの合計が 150mAを超えるべきではありません。
- ポートC0~ C2、D0~ D7、G0~ G1とXTAL2の DHの合計が 150mAを超えるべきではありません。
- ポートF0~ F7の DHの合計が 200mAを超えるべきではありません。

DHが検査条件を超える場合、VOH仕様書での値を超えます。表の検査条件より大きなソース電流を流すことは保証されません。

外部クック特性

図 152. 外部クック駆動波形

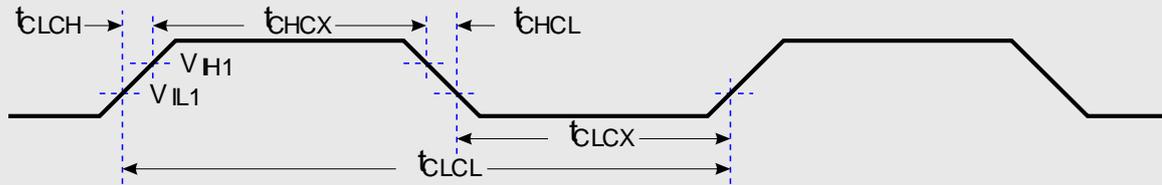


表 131. 外部クック特性

シンボル	項目	VCC=2.7~ 5.5V		VCC=4.5~ 5.5V		単位
		Min	Max	Min	Max	
1/tLCL	クック周波数	0	8	0	16	MHz
tLCL	クック周期	125		62.5		ns
tCHCX	Highレベル時間	50		25		
tLCX	Lowレベル時間	50		25		
tLCH	立ち上がり時間		1.6		0.5	
tCHCL	立ち下り時間		1.6		0.5	
2 tLCL	隣接クックサイクル間の変化率		2		2	%

注: 詳細については 25頁の「外部クック信号」を参照してください。

表 132. 代表的な外部RC発振周波数（VCC=5V）

周波数 f	抵抗 R (kΩ)	容量 C (pF)
650kHz	33	22
2.0MHz	10	22

注: Rの範囲は3~ 100k、Cは最小20pFとすべきです。表で与えられたCの値はC0容量を含みます。これは外圍器形状や基板配置で変化します。

2線シリアル インターフェース特性

表 133は 2線シリアルバスに接続した装置に対する必要条件を記述します。ATmega128の 2線シリアル インターフェースは記載条件下において、これらの必要条件を越えるか、または合致します。

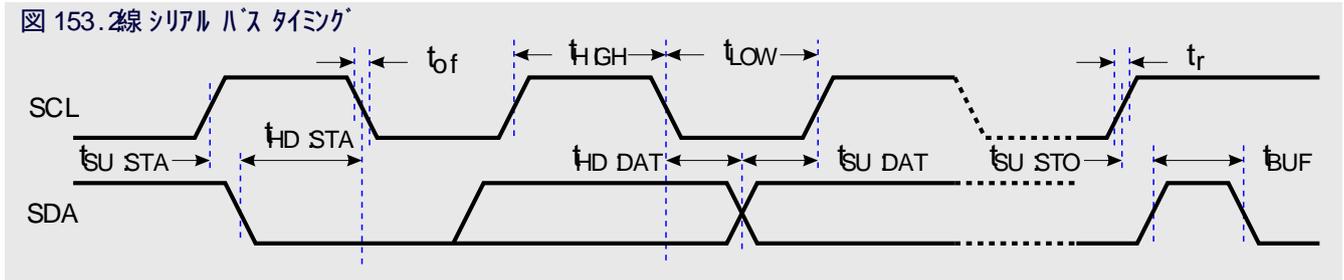


表 133. 2線シリアル インターフェース必要条件

シンボル	項目	条件	Min	Max	単位
V _{IL}	Lowレベル入力電圧		-0.5	0.3V _{CC}	V
V _{IH}	Highレベル入力電圧		0.7V _{CC}	V _{CC} +0.5	
V _{hys}	シュミットトリガ入力ヒステリシス電圧		0.05V _{CC}		
V _{OL}	Lowレベル出力電圧	I _{OL} =3mA	0	0.4	ns
t _r	出力立ち上がり時間 (V _{ILmin} - V _{IHmax})		20+0.1C _b	300	
t _{of}	出力立ち下り時間 (V _{IHmin} - V _{ILmax})	10pF < C _b < 400pF	20+0.1C _b	250	μs
t _{SP}	入力パルス最小幅 (スライク消去フィルタ)		0	50	
I _i	入力電流 (ピン単位)	0.1V _{CC} < V _i < 0.9V _{CC}	-10	10	μA
C _i	ピン入力容量			10	pF
f _{SCL}	SCLクロック周波数	f _{CK} > max(1/f _{SCL} , 250kHz)	0	400	kHz
R _p	プルアップ抵抗値	f _{SCL} = 100kHz f _{SCL} > 100kHz	(V _{CC} - 0.4V)/3mA (V _{CC} - 0.4V)/3mA	1000ns/C _b 300ns/C _b	
t _{HD_STA}	再送開始条件保持時間	f _{SCL} = 100kHz f _{SCL} > 100kHz	4.0 0.6		μs
t _{LOW}	SCLクロックLowレベル時間	f _{SCL} = 100kHz f _{SCL} > 100kHz	4.7 1.3		
t _{HIGH}	SCLクロックHighレベル時間	f _{SCL} = 100kHz f _{SCL} > 100kHz	4.0 0.6		ns
t _{SU_STA}	再送開始条件セットアップ時間	f _{SCL} = 100kHz f _{SCL} > 100kHz	4.7 0.6		
t _{HD_DAT}	データ保持時間	f _{SCL} = 100kHz f _{SCL} > 100kHz	0 0	3.45 0.9	μs
t _{SU_DAT}	データセットアップ時間	f _{SCL} = 100kHz f _{SCL} > 100kHz	250 100		
t _{SU_STO}	停止条件セットアップ時間	f _{SCL} = 100kHz f _{SCL} > 100kHz	4.0 0.6		μs
t _{BUF}	停止条件開始条件間バス開放時間	f _{SCL} = 100kHz f _{SCL} > 100kHz	4.7 1.3		

ATmega128で、この項目は特性が記載されていますが、100%検査はされていません。

f_{SCL} > 100kHzについてのみ必要とされます。

C_bは1つのバス信号線の容量 (pF)です。

f_{CK}はCPU(システム)クロック周波数です。

この必要条件はATmega128の全ての2線シリアルインターフェース動作に適用します。2線シリアルバスに接続した他の装置は一般的なf_{SCL}必要条件に従うことだけを必要とします。

ATmega128の2線シリアルインターフェースにより生成した実際のLow区間は (1/f_{SCL} - 2/f_{CK})で、従ってLow時間の必要条件に対してf_{SCL}=100kHzで厳密に満たされるには、f_{CK}が概ね 6MHz以上でなければなりません。

ATmega128の2線シリアルインターフェースにより生成した実際のLow区間は (1/f_{SCL} - 2/f_{CK})で、従ってf_{CK}=8MHz時、厳密にはf_{SCL}>308kHzでLow時間の必要条件が満たされません。それにも拘らず、バスに接続されたATmega128装置は相応なt_{LOW}許容余地のある他の装置だけでなく他のATmega128装置と最高速 (400kHz)で通信できるでしょう。

SPiタイミング特性

図 154. SPiタイミング必要条件 (マスタ動作)

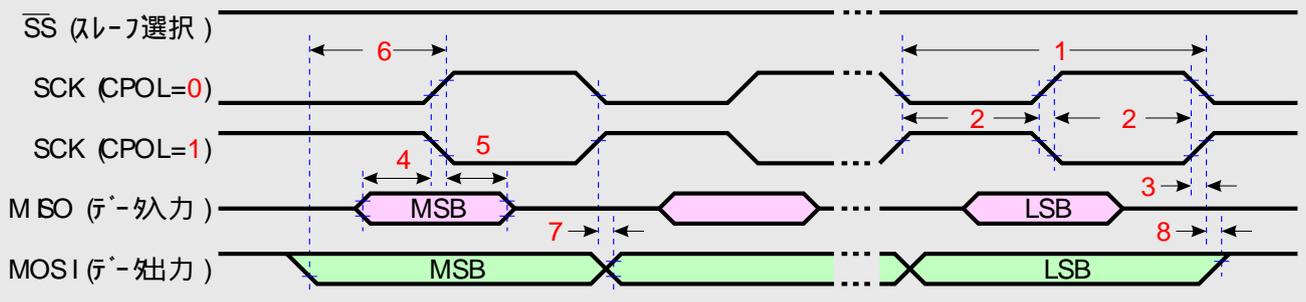


図 155. SPiタイミング必要条件 (スレーブ動作)

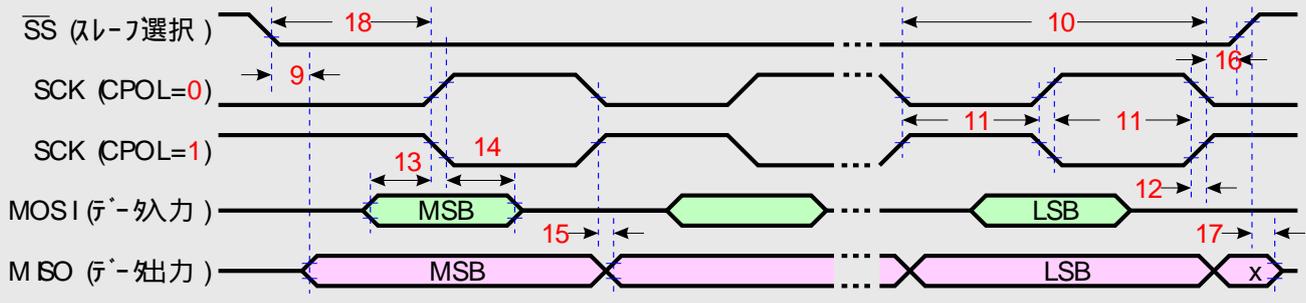


表 134. SPiタイミング特性

番号	項目	動作種別	Min	Typ	Max	単位
1	SCK周期	マスタ		表 72参照		ns
2	SCK High/Low期間	マスタ		50% Duty比		
3	SCK立ち上り/立ち下り時間	マスタ		36		
4	入力データセットアップ時間	マスタ		10		
5	入力データ保持時間	マスタ		10		
6	出力からSCK変移時間	マスタ		0.5 t _{SCK}		
7	SCKからの出力遅延時間	マスタ		10		
8	SCKからのHigh出力時間	マスタ		10		
9	SSからの出力遅延時間	スレーブ*		15		μs
10	SCK周期	スレーブ*	4 t _{CK}			
11	SCK High/Low期間	スレーブ*	2 t _{CK}			ns
12	SCK立ち上り/立ち下り時間	スレーブ*			16	
13	入力データセットアップ時間	スレーブ*	10			
14	入力データ保持時間	スレーブ*	10			
15	SCKからの出力遅延時間	スレーブ*		15		
16	SCKからのSS遅延時間	スレーブ*	20			
17	SSからの出力Hi-Z遅延時間	スレーブ*		10		
18	SSからのSCK遅延時間	スレーブ*	2 t _{CK}			

注 :SPiプログラミングでの最小 SCK High/Low期間は、2 t_{LCL} (t_{CK} < 12MHz) 3 t_{LCL} (t_{CK} ≥ 12MHz)です。

A/D変換器特性

表 135. A/D変換特性

シンボル	項目	条件	Min	Typ	Max	単位		
シングル エンド 入力 変換	分解能				10	ビット		
	絶対精度 (NL/DNL利得, オフセット量子化 誤差を含む)	ノイズ低減 動作	VCC=4V VREF=4V	変換クロック=200kHz	15		LSB	
				変換クロック=1MHz	3.25			
				変換クロック=200kHz	15			
				変換クロック=1MHz	3.75			
		積分性非直線誤差 (NL)	VCC=4V VREF=4V 変換クロック=200kHz		0.75		LSB	
		微分性非直線誤差 (DNL)			0.5			
		オフセットエラー			1			
		利得誤差			1			
		変換クロック周波数		50		1000	kHz	
		変換時間	連続変換動作	13		260	μs	
	VREF	基準電圧		2.0		AVCC	V	
	VIN	入力電圧		GND		VREF		
		A/D変換出力		0		1023	LSB	
	入力周波数帯域			38.5		kHz		
差動 入力 変換	分解能	VCC=5V VREF=4V 変換クロック=50~200kHz	×1			10	ビット	
			×20			10		
			×200			10		
	絶対精度 (オフセット利得誤差校正後)		×1		17		LSB	
			×20		17			
			×200		7			
	積分性非直線誤差 (NL)		×1		1.5			
			×20		2			
			×200		5			
	オフセットエラー		×1		2			
			×20		3			
			×200		4			
	利得誤差		×1		1.5			%
			×20		1.5			
×200			0.5					
	変換クロック周波数		50		200	kHz		
	変換時間		65		260	μs		
VREF	基準電圧		2.0		AVCC - 0.5			
VIN	入力電圧		GND		VCC	V		
VDIFF	差動入力電圧差		-VREF/利得		VREF/利得			
	A/D変換出力		-511		511	LSB		
	入力周波数帯域			4		kHz		
共通	AVCC	アナログ供給電圧	VCC - 0.3 (注1)		VCC + 0.3 (注2)	V		
	VINT	内蔵 2.56V基準電圧	2.3	2.56	2.7			
	RREF	基準電圧入力インピダンス		32		k		
	RAN	アナログ入力インピダンス	55	100		M		

注 1: AVCCの最小値は 2.7Vです。

注 2: AVCCの最大値は 5.5Vです。

訳注) 原書の表 135と表 136は表 135として統合しました。

外部メモリタイミング特性

表 136. 外部データメモリアクセス特性 (VCC=4.5V~5.5V, ウェイトなし)

シンボル	項目	8MHz時		一般式			単位	
		Min	Max	Min	Max	注		
0	1/CLCL	発振器周波数			0.0	16	MHz	
1	tHLL	ALE Highパルス幅	115		1.0 CLCL-10		ns	
2	tAVLL	ALE 前 下位アドレスセットアップ時間	57.5		0.5 CLCL-5	1		
3A	tLAXST	ライ時 ALE 後 下位アドレス保持時間	5		5			
3B	tLAXLD	リト時 ALE 後 下位アドレス保持時間	5		5			
4	tAVLLC	ALE 前 上位アドレスセットアップ時間	57.5		0.5 CLCL-5	1		
5	tAVRL	リト時 RD 前 下位アドレス有効時間	115		1.0 CLCL-10			
6	tAWL	ライ時 WR 前 下位アドレス有効時間	115		1.0 CLCL-10			
7	tLWL	ALE 後 WR 遅延時間	47.5	67.5	0.5 CLCL-15	0.5 CLCL+5		2
8	tLRL	ALE 後 RD 遅延時間	47.5	67.5	0.5 CLCL-15	0.5 CLCL+5		2
9	tVRH	RD 前 データセットアップ時間	40		40			
10	tRDV	RD 後 データ出力遅延時間		75		1.0 CLCL-50		
11	tRDX	RD 後 データ保持時間	0		0			
12	tLRH	RD Lowパルス幅	115		1.0 CLCL-10			
13	tWWL	WR 前 データセットアップ時間	42.5		0.5 CLCL-20	1		
14	tWDX	WR 後 データ保持時間	115		1.0 CLCL-10			
15	tWWH	WR 前 データ有効時間	125		1.0 CLCL			
16	tWLWH	WR Lowパルス幅	115		1.0 CLCL-10			

注 1: 一般式の定数はデューティサイクル=50%(XTALの外部クロックのHigh時間は半周期)と仮定した値です。

注 2: 一般式の定数はデューティサイクル=50%(XTALの外部クロックのLow時間は半周期)と仮定した値です。

表 137. 外部データメモリアクセス特性 (VCC=4.5V~5.5V, SRWn1=0, SRWn0=1 (1ウェイトサイクル))

シンボル	項目	8MHz時		一般式			単位
		Min	Max	Min	Max	注	
0	1/CLCL	発振器周波数			0.0	16	MHz
10	tRDV	RD 後 データ出力遅延時間		200		2.0 CLCL-50	ns
12	tLRH	RD Lowパルス幅	240		2.0 CLCL-10		
15	tWWH	WR 前 データ有効時間	250		2.0 CLCL		
16	tWLWH	WR Lowパルス幅	240		2.0 CLCL-10		

表 138. 外部データメモリアクセス特性 (VCC=4.5V~5.5V, SRWn1=1, SRWn0=0 (2ウェイトサイクル))

シンボル	項目	8MHz時		一般式			単位
		Min	Max	Min	Max	注	
0	1/CLCL	発振器周波数			0.0	16	MHz
10	tRDV	RD 後 データ出力遅延時間		325		3.0 CLCL-50	ns
12	tLRH	RD Lowパルス幅	365		3.0 CLCL-10		
15	tWWH	WR 前 データ有効時間	375		3.0 CLCL		
16	tWLWH	WR Lowパルス幅	365		3.0 CLCL-10		

表 139. 外部データメモリアクセス特性 (VCC=4.5V~5.5V, SRWn1=1, SRWn0=1 (2&1ウェイトサイクル))

シンボル	項目	8MHz時		一般式			単位
		Min	Max	Min	Max	注	
0	1/CLCL	発振器周波数			0.0	16	MHz
10	tRDV	RD 後 データ出力遅延時間		325		3.0 CLCL-50	ns
12	tLRH	RD Lowパルス幅	365		3.0 CLCL-10		
14	tWDX	WR 後 データ保持時間	240		2.0 CLCL-10		
15	tWWH	WR 前 データ有効時間	375		3.0 CLCL		
16	tWLWH	WR Lowパルス幅	365		3.0 CLCL-10		

表 140. 外部データメモリの特性 (VCC=2.7V~ 5.5V、ウエイブなし)

シンボル	項目	4MHz時		一般式			単位
		Min	Max	Min	Max	注	
0	1/ t _{CLCL}			0.0	8		MHz
1	t _{HLL}	235		1.0 t _{CLCL} -15			ns
2	t _{VLL}	115		0.5 t _{CLCL} -10		1	
3A	t _{LAXST}	5		5			
3B	t _{LAXLD}	5		5			
4	t _{VLLC}	115		0.5 t _{CLCL} -10		1	
5	t _{VRL}	235		1.0 t _{CLCL} -15			
6	t _{AWL}	235		1.0 t _{CLCL} -15			
7	t _{LWL}	115	130	0.5 t _{CLCL} -10	0.5 t _{CLCL} +5	2	
8	t _{LRL}	115	130	0.5 t _{CLCL} -10	0.5 t _{CLCL} +5	2	
9	t _{VRH}	45		45			
10	t _{RDV}		190		1.0 t _{CLCL} -60		
11	t _{RDX}	0		0			
12	t _{LRH}	235		1.0 t _{CLCL} -15			
13	t _{WWL}	105		0.5 t _{CLCL} -20		1	
14	t _{WDX}	235		1.0 t _{CLCL} -15			
15	t _{WWH}	250		1.0 t _{CLCL}			
16	t _{WLWH}	235		1.0 t _{CLCL} -15			

注 1: 一般式の定数はデューティサイクル=50%(XTAL)の外部クロックのHigh時間は半周期と仮定した値です。

注 2: 一般式の定数はデューティサイクル=50%(XTAL)の外部クロックのLow時間は半周期と仮定した値です。

表 141. 外部データメモリの特性 (VCC=2.7V~ 5.5V、SRWn1=0, SRWn0=1 (1 ウェイトサイクル))

シンボル	項目	4MHz時		一般式			単位
		Min	Max	Min	Max	注	
0	1/ t _{CLCL}			0.0	8		MHz
10	t _{RDV}		440		2.0 t _{CLCL} -60		ns
12	t _{LRH}	485		2.0 t _{CLCL} -15			
15	t _{WWH}	500		2.0 t _{CLCL}			
16	t _{WLWH}	485		2.0 t _{CLCL} -15			

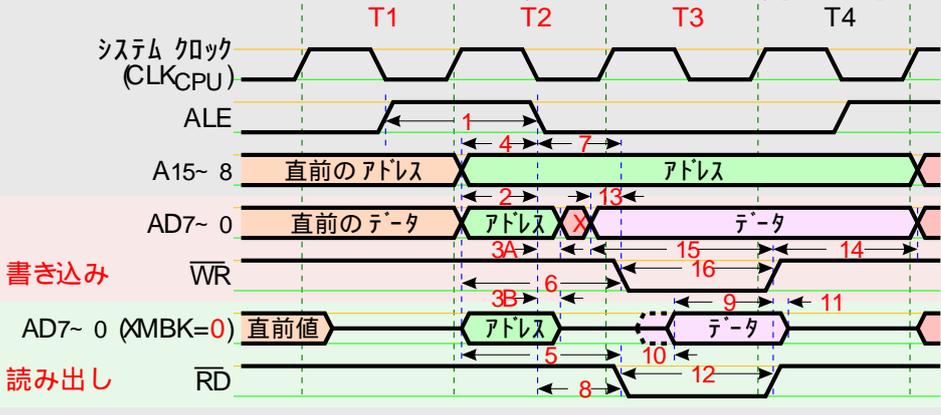
表 142. 外部データメモリの特性 (VCC=2.7V~ 5.5V、SRWn1=1, SRWn0=0 (2 ウェイトサイクル))

シンボル	項目	4MHz時		一般式			単位
		Min	Max	Min	Max	注	
0	1/ t _{CLCL}			0.0	8		MHz
10	t _{RDV}		690		3.0 t _{CLCL} -60		ns
12	t _{LRH}	735		3.0 t _{CLCL} -15			
15	t _{WWH}	750		3.0 t _{CLCL}			
16	t _{WLWH}	735		3.0 t _{CLCL} -15			

表 143. 外部データメモリの特性 (VCC=2.7V~ 5.5V、SRWn1=1, SRWn0=1 (2&1 ウェイトサイクル))

シンボル	項目	4MHz時		一般式			単位
		Min	Max	Min	Max	注	
0	1/ t _{CLCL}			0.0	8		MHz
10	t _{RDV}		690		3.0 t _{CLCL} -60		ns
12	t _{LRH}	735		3.0 t _{CLCL} -15			
14	t _{WDX}	485		2.0 t _{CLCL} -15			
15	t _{WWH}	750		3.0 t _{CLCL}			
16	t _{WLWH}	735		3.0 t _{CLCL} -15			

図 156. ウェイトなし外部データメモリアクセスサイクル (SRWn1=0, SRWn0=0) [T1~ T3]



共通注意事項

SRWn1はSRW11(上位領域)またはSRW01(下位領域)、SRWn0はSRW10(上位領域)またはSRW00(下位領域)です。

[T1~ Tn]は図での命令実行サイクル範囲です。

Xは値変更区間を示します。

最後のサイクルのALEは、次の命令がRAM(内部または外部)をアクセスする場合のみ存在します。また、最後のサイクルのアドレスとデータの変更区間の有無も同様です。

図 157. 1ウェイト外部データメモリアクセスサイクル (SRWn1=0, SRWn0=1) [T1~ T4]

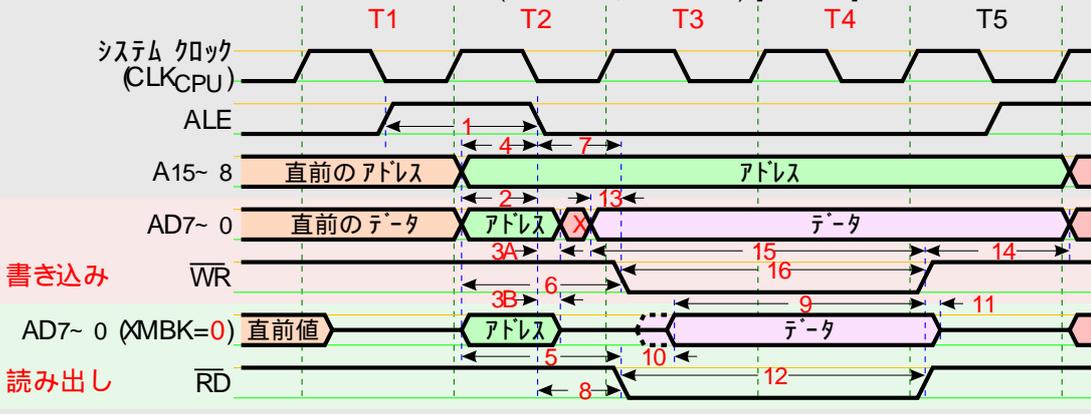


図 158. 2ウェイト外部データメモリアクセスサイクル (SRWn1=1, SRWn0=0) [T1~ T5]

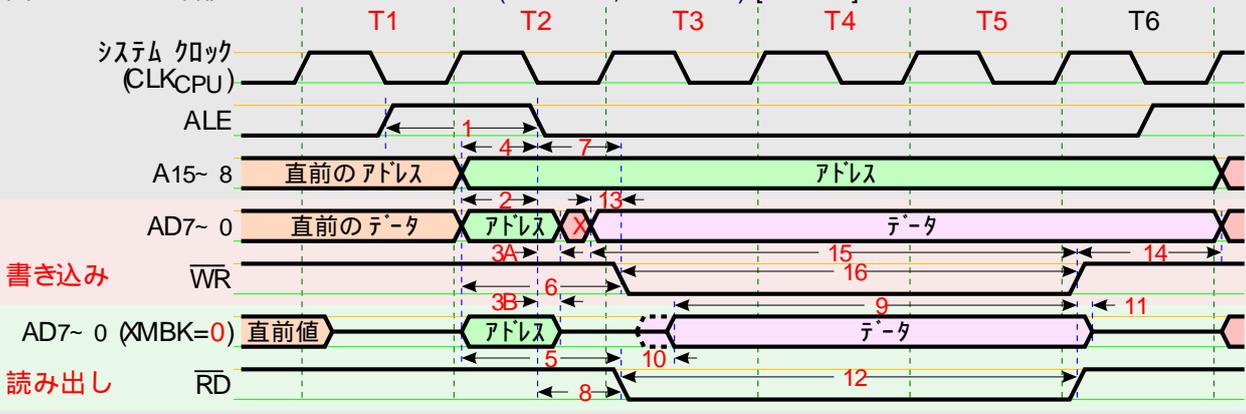
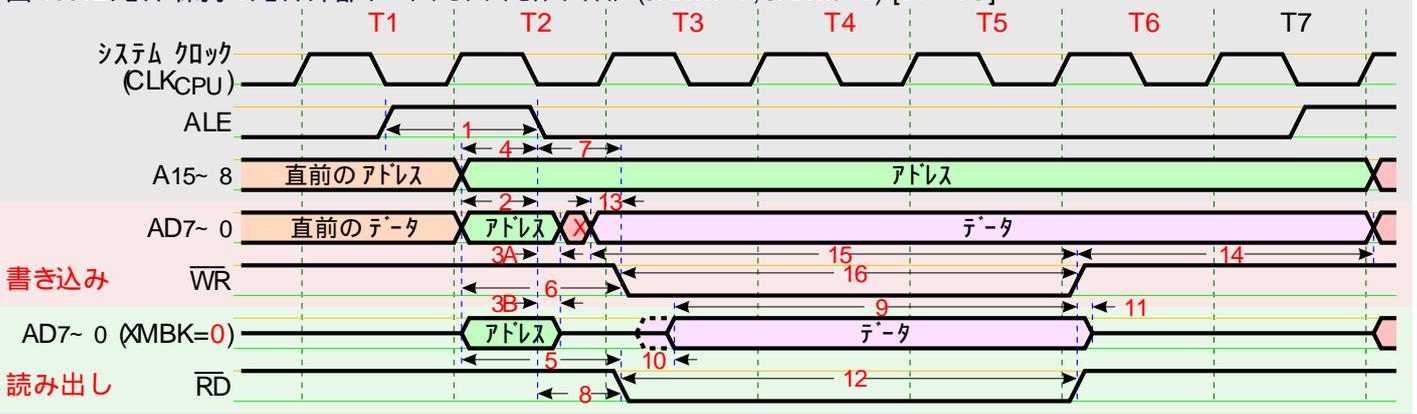


図 159. 2ウェイト保持1ウェイト外部データメモリアクセスサイクル (SRWn1=1, SRWn0=1) [T1~ T6]



代表特性

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。すべての消費電流測定は全 I/Oピンが入力として設定した内部プルアップ許可で行われています。電源幅振幅の方形波発振器がクロック源として使用されています。

パワーダウン動作での消費電力はクロック選択と無関係です。

消費電流は、動作電圧、動作周波数、I/Oピンの負荷、I/Oピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

容量性負荷のピンの引き込み電流は (1つのピンに対して) CL (負荷容量) $\times V_{CC}$ (動作電圧) $\times f$ (I/Oピンの平均切り替え周波数) として推測できます。

データシートは検査範囲より高い周波数特性を示します。データシートは注文番号が示す周波数より高い周波数での機能特性を保証されません。

ウォッチドッグタイマ許可のパワーダウン動作での消費電流とウォッチドッグタイマ禁止のパワーダウン動作での消費電流間の違いは、ウォッチドッグタイマにより引き込んだ消費した差電流を表します。

標準動作消費電流

図 160 標準動作消費電流 対 周波数 (100kHz~ 1MHz)

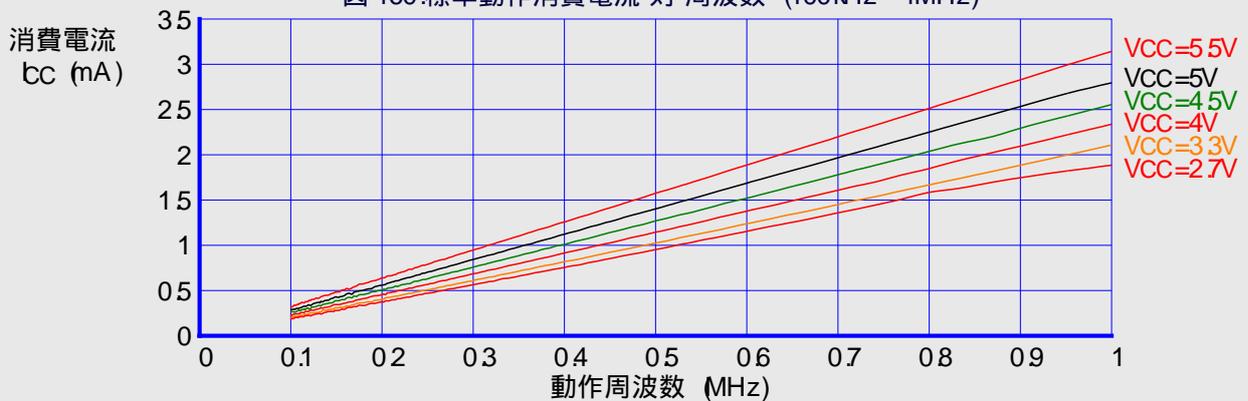


図 161 標準動作消費電流 対 周波数 (1MHz~ 20MHz)



図 162 標準動作消費電流 対 動作電圧 (内蔵RC発振器, 1MHz)



図 163 標準動作消費電流 対 動作電圧 (内蔵RC発振器, 2MHz)



図 164 標準動作消費電流 対 動作電圧 (内蔵RC発振器, 4MHz)

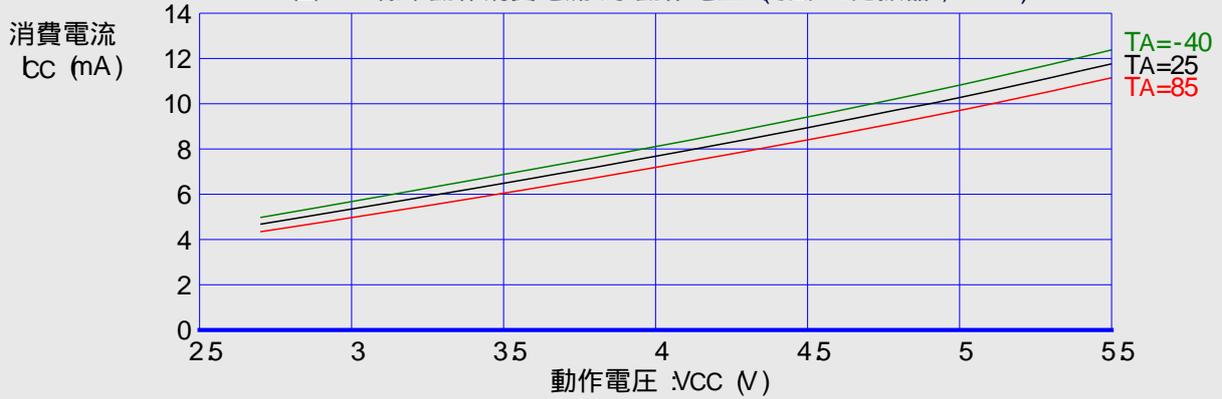


図 165 標準動作消費電流 対 動作電圧 (内蔵RC発振器, 8MHz)



図 166 標準動作消費電流 対 動作電圧 (32kHz外部発振器)



アイドル動作消費電流

図 167. アイドル動作消費電流 対 周波数 (100kHz~ 1MHz)

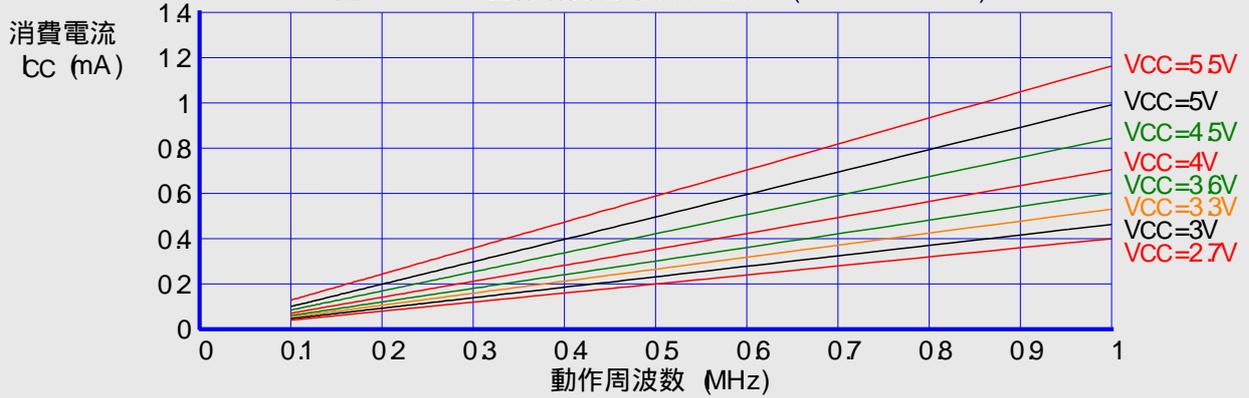


図 168. アイドル動作消費電流 対 周波数 (1MHz~ 20MHz)



図 169. アイドル動作消費電流 対 動作電圧 (内蔵RC発振器, 1MHz)



図 170. アイドル動作消費電流 対 動作電圧 (内蔵RC発振器, 2MHz)



図 171.アイドル動作消費電流 対 動作電圧 (内蔵RC発振器, 4MHz)



図 172.アイドル動作消費電流 対 動作電圧 (内蔵RC発振器, 8MHz)



図 173.アイドル動作消費電流 対 動作電圧 (32kHz外部発振器)



パワーダウン動作消費電流

図 174.パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグタイマ禁止)

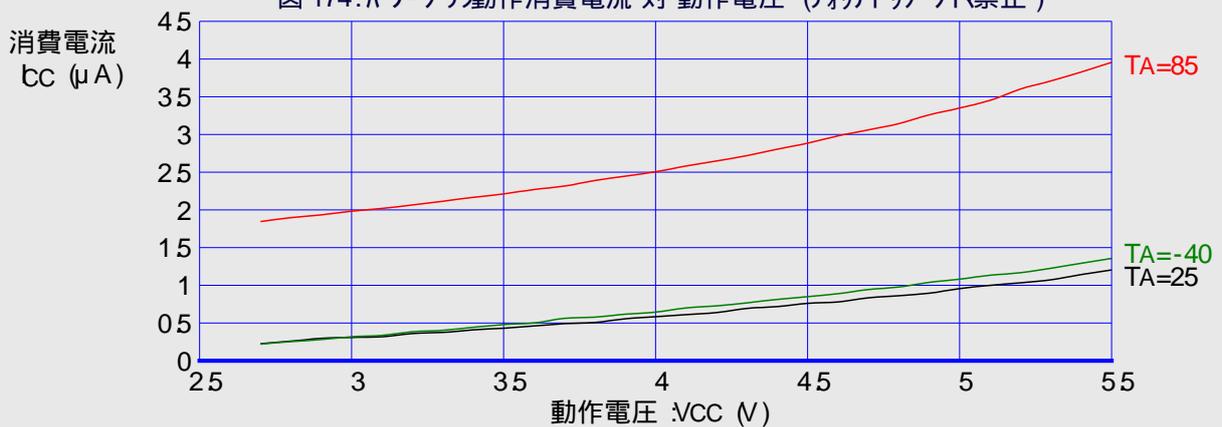
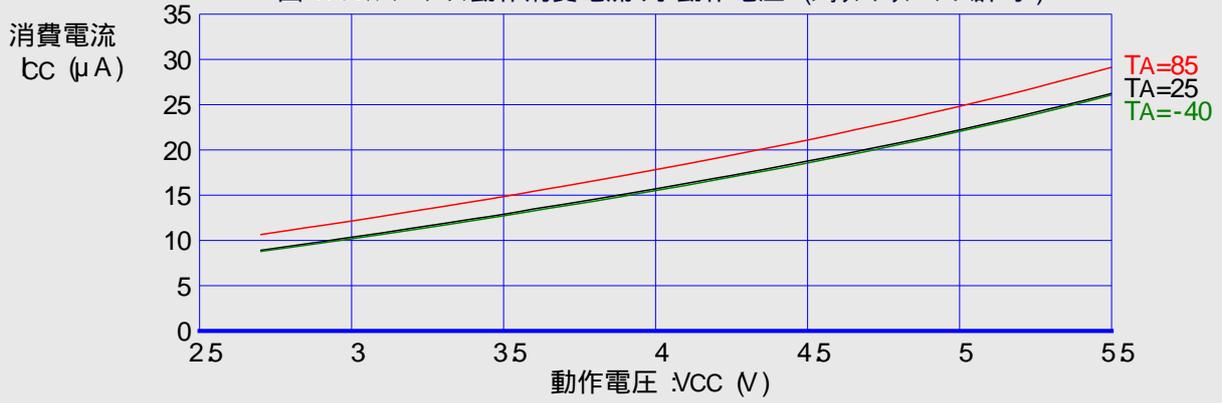


図 175. ハワ-タウ動作消費電流 対 動作電圧 (ウォッチドック タイマ許可)



ハワ-セ-フ動作消費電流

図 176. ハワ-セ-フ動作消費電流 対 動作電圧 (ウォッチドック タイマ禁止)



スタハ動作消費電流

図 177. スタハ動作消費電流 対 動作電圧 (CKOPT=1)

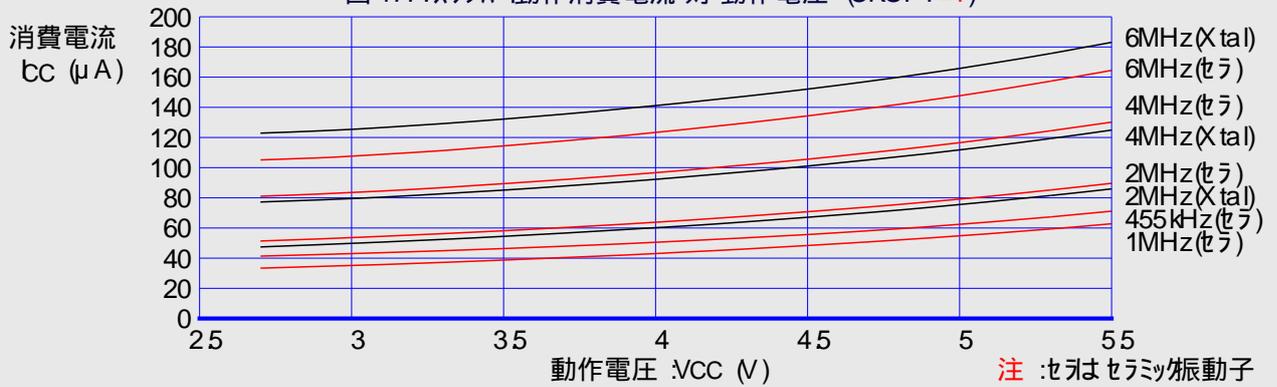
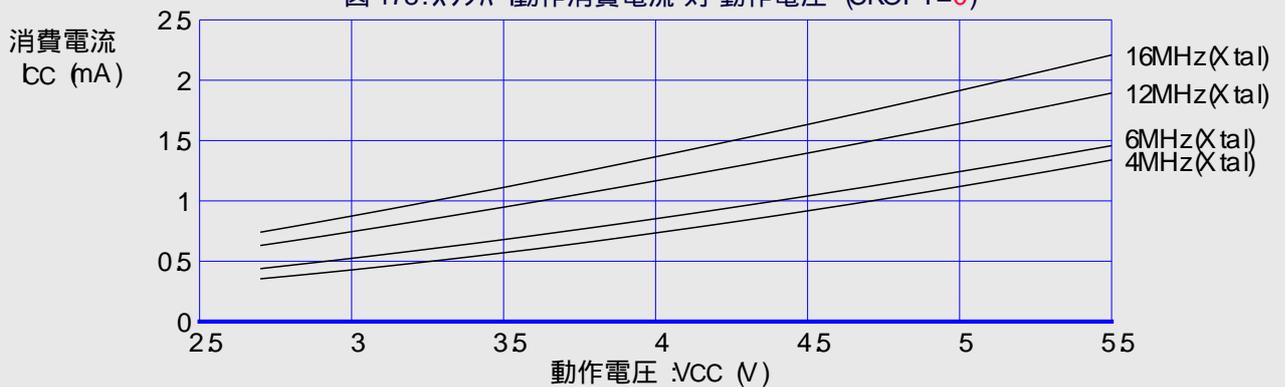
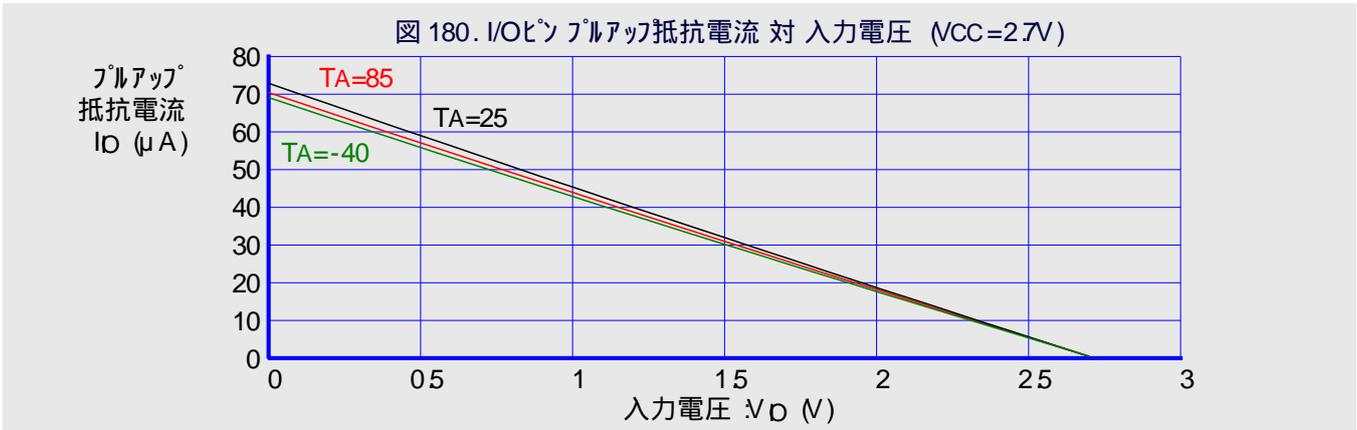
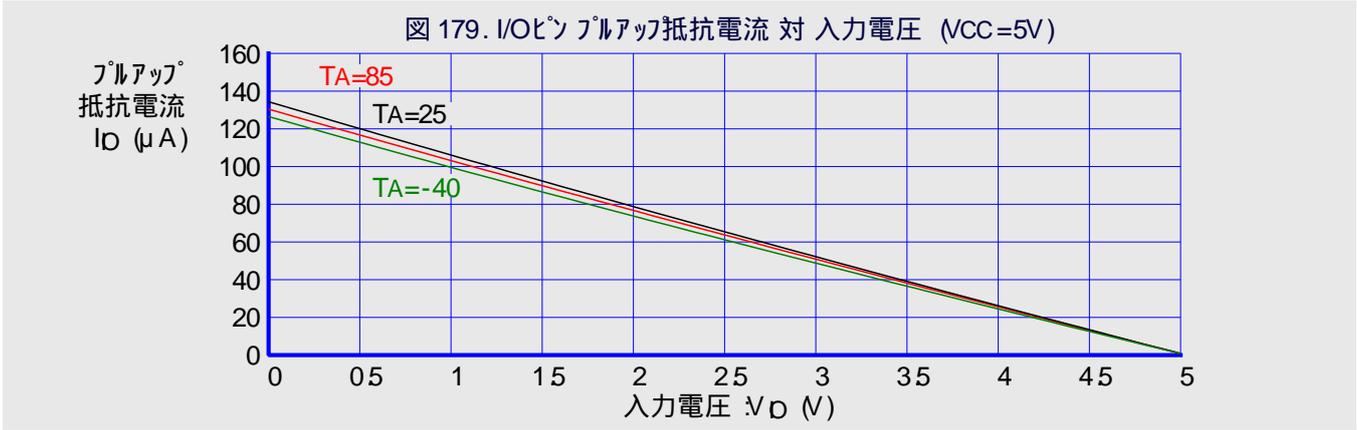


図 178. スタハ動作消費電流 対 動作電圧 (CKOPT=0)



ピンプルアップ



ピン駆動能力

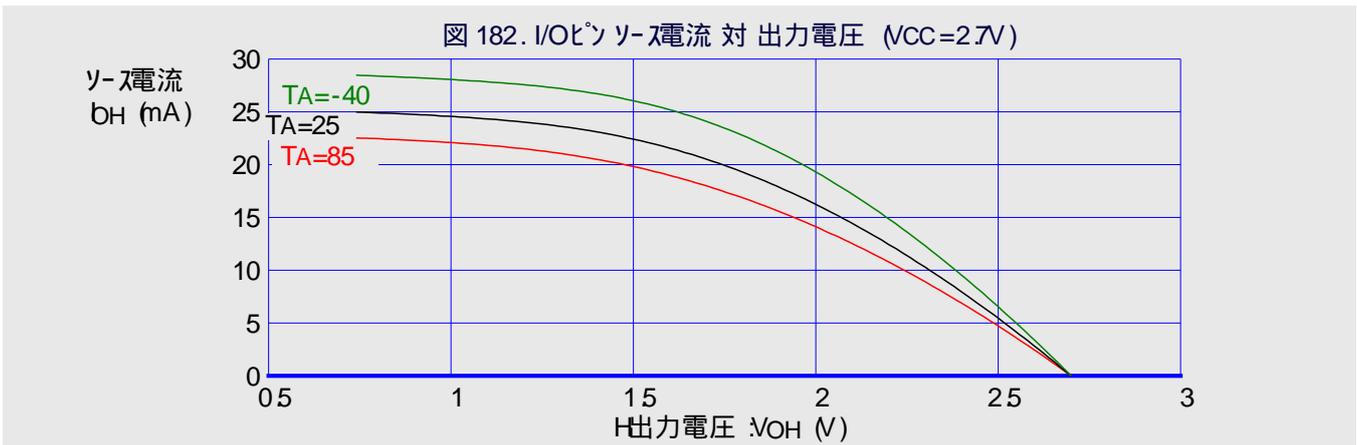
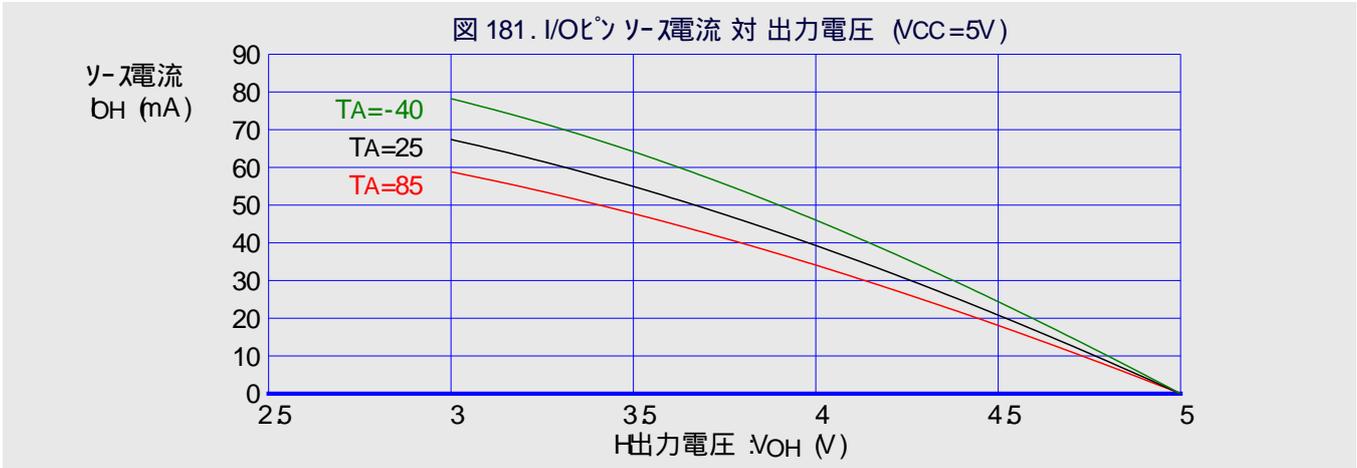


図 183. I/Oピンシフト電流 対 出力電圧 (VCC=5V)



図 184. I/Oピンシフト電流 対 出力電圧 (VCC=2.7V)



ピン閾値とヒステリシス

図 185. I/Oピン入力閾値 (スレッショルド電圧 対 動作電圧 (VH, 1読み値))



図 186. I/Oピン入力閾値 (スレッショルド電圧 対 動作電圧 (VL, 0読み値))



図 187. I/Oピン入力ヒステリシス電圧 対 動作電圧



低電圧検出器 (BOD 閾値とアナログ比較器 オフセット)

図 188. 低電圧検出器 (BOD 閾値 (スレッシュホールド電圧 対 動作温度 検出電圧 4.0V)

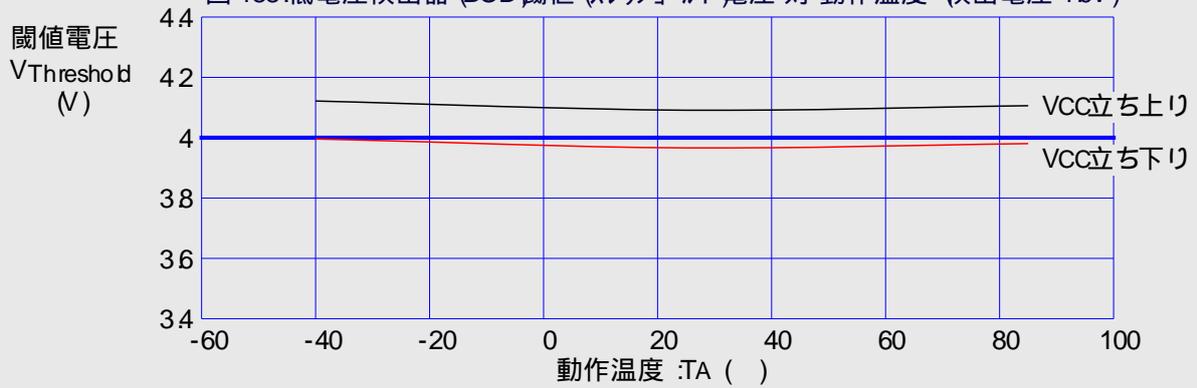


図 189. 低電圧検出器 (BOD 閾値 (スレッシュホールド電圧 対 動作温度 検出電圧 2.7V)

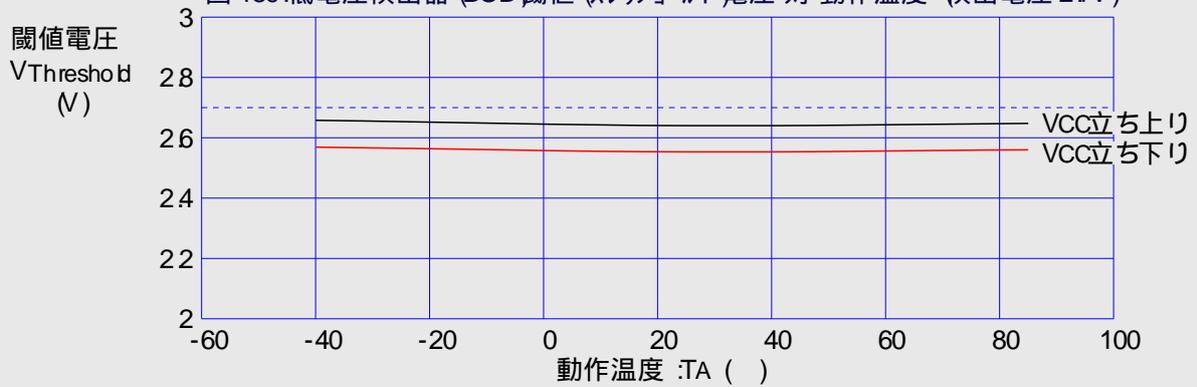
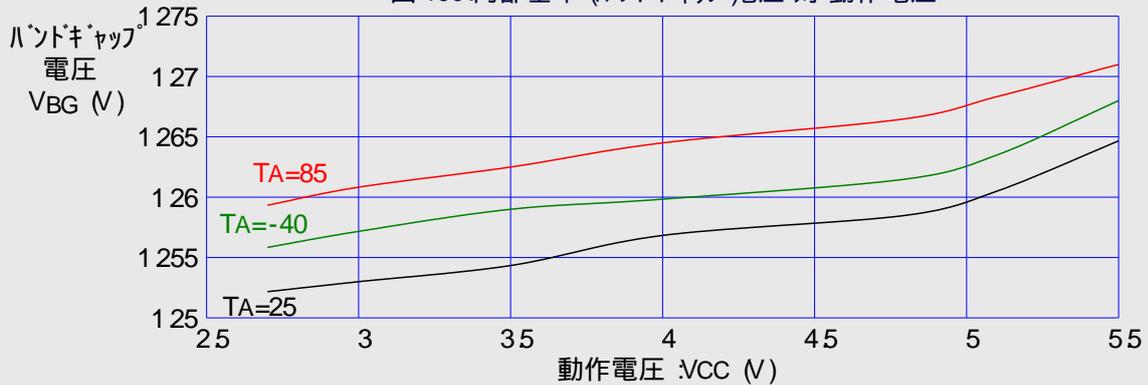


図 190. 内部基準 (バンドギャップ) 電圧 対 動作電圧



内部発振器周波数

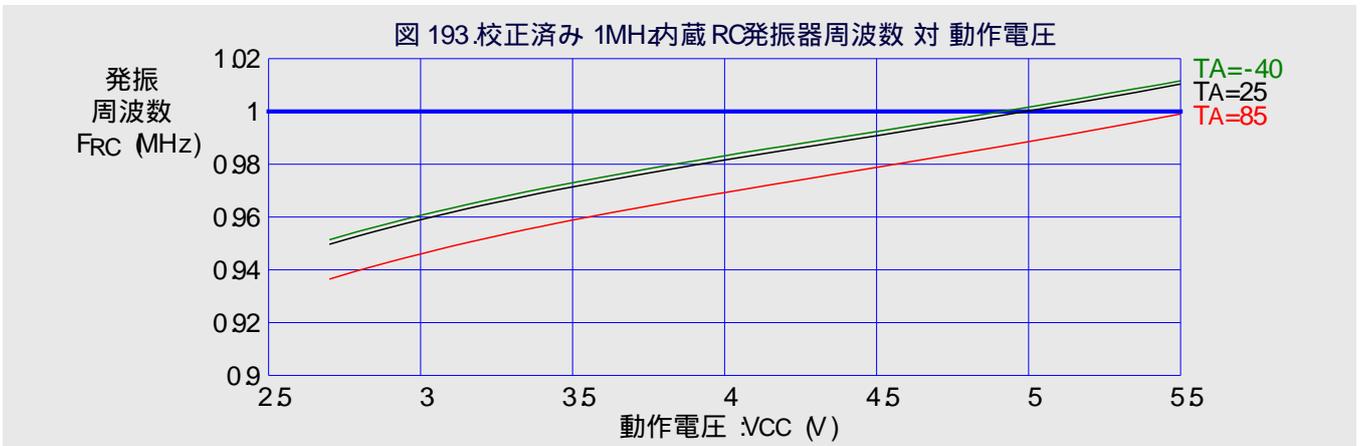
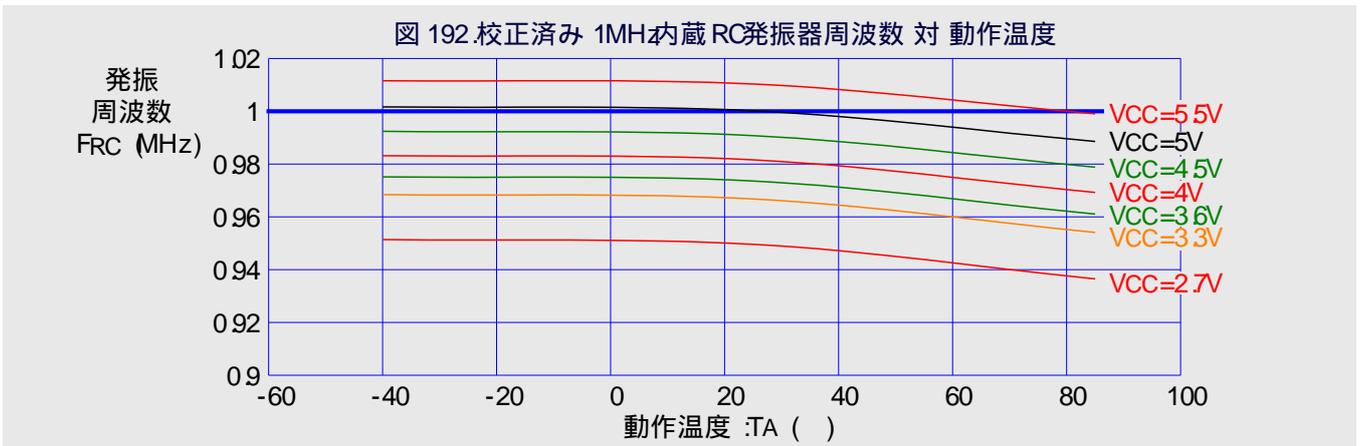
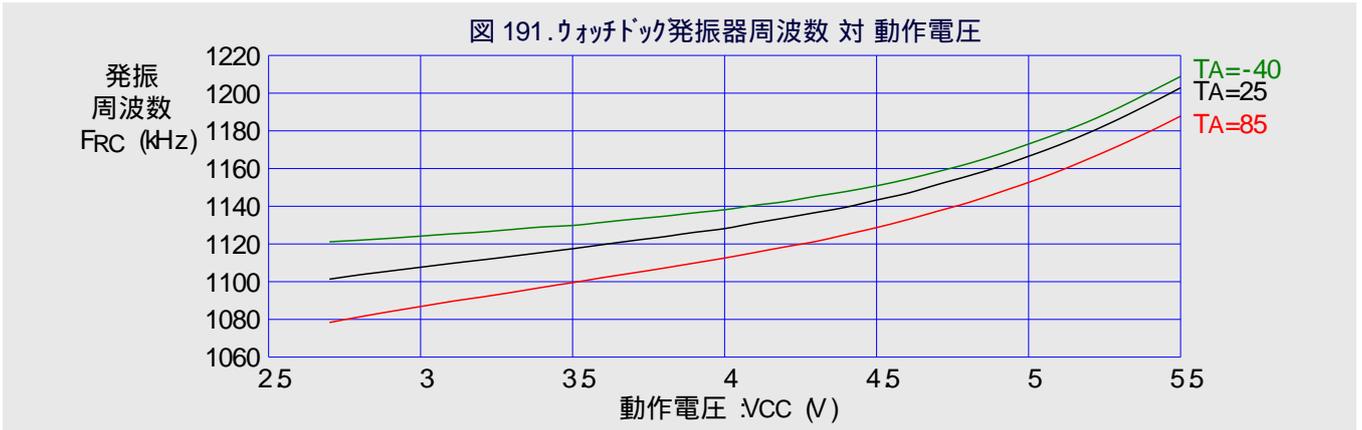


図 195.校正済み 2MHz内蔵RC発振器周波数 対 動作温度

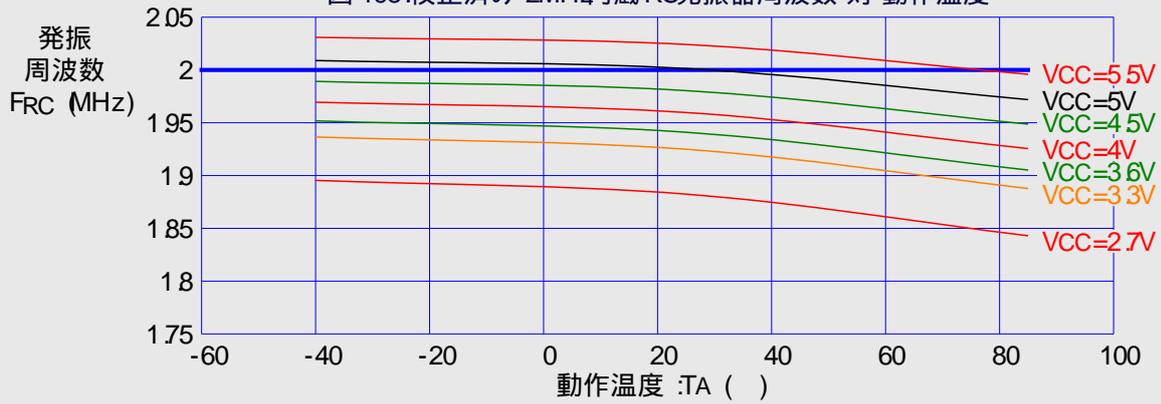


図 196.校正済み 2MHz内蔵RC発振器周波数 対 動作電圧

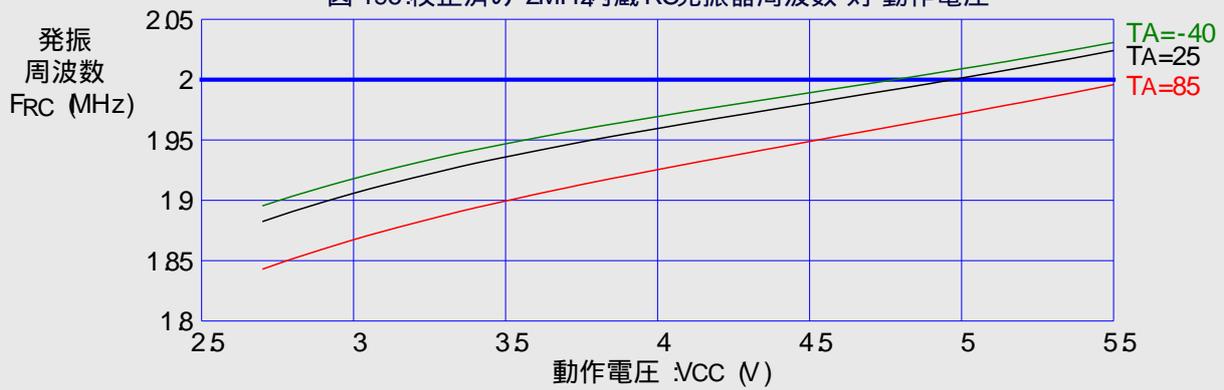


図 197.校正付き 2MHz内蔵RC発振器周波数 対 発振校正 (OSCCAL)値

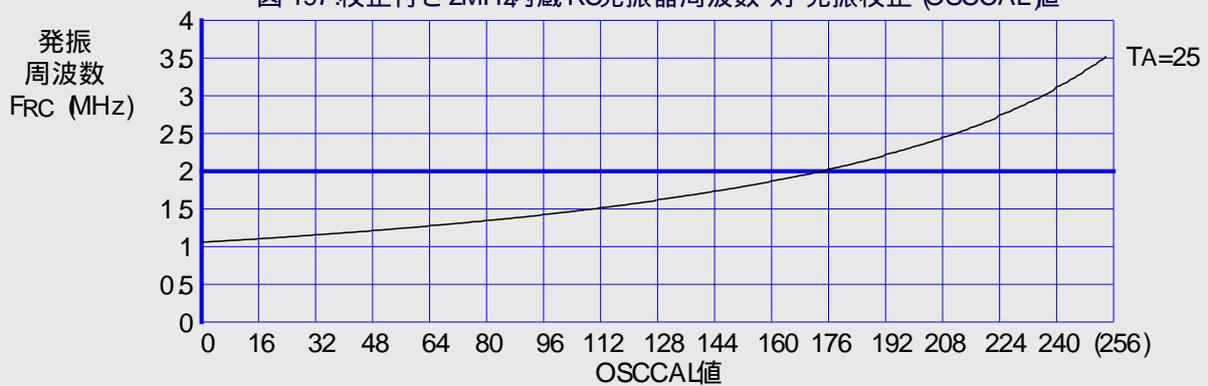


図 198.校正済み 4MHz内蔵RC発振器周波数 対 動作温度

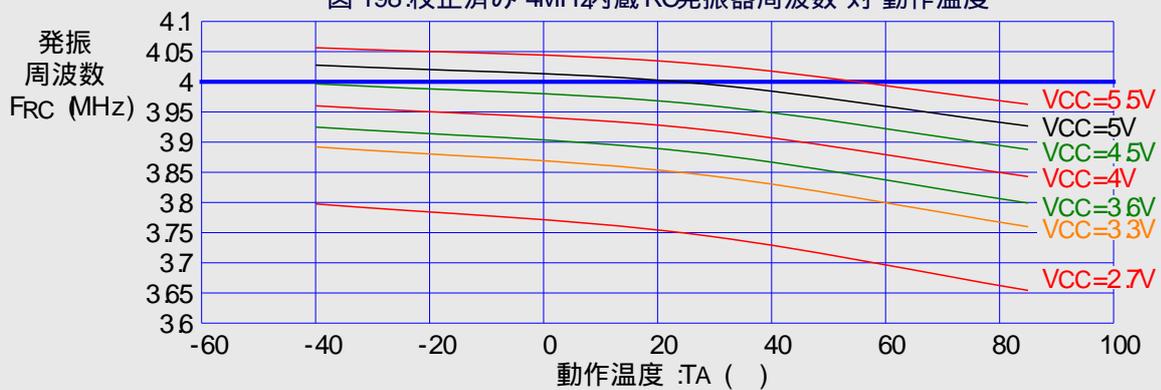


図 199.校正済み 4MHz内蔵RC発振器周波数 対 動作電圧

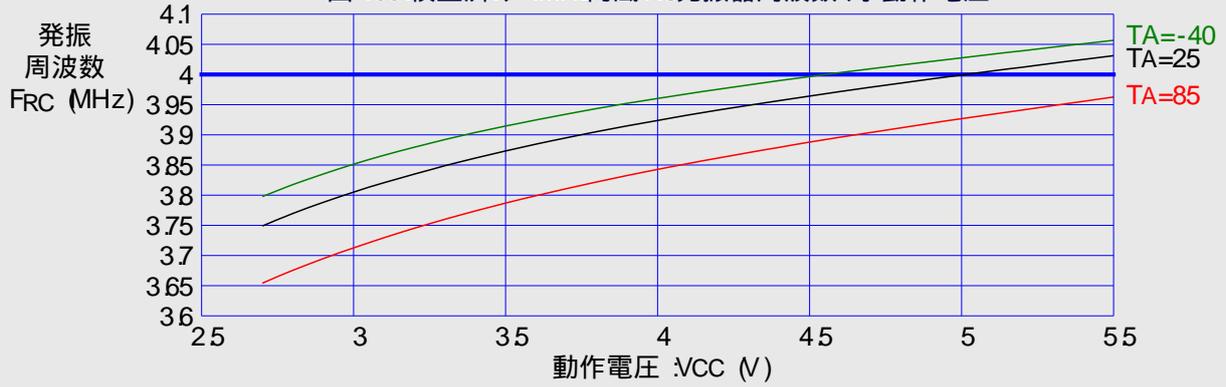


図 200.校正付き 4MHz内蔵RC発振器周波数 対 発振校正 (OSCCAL)値

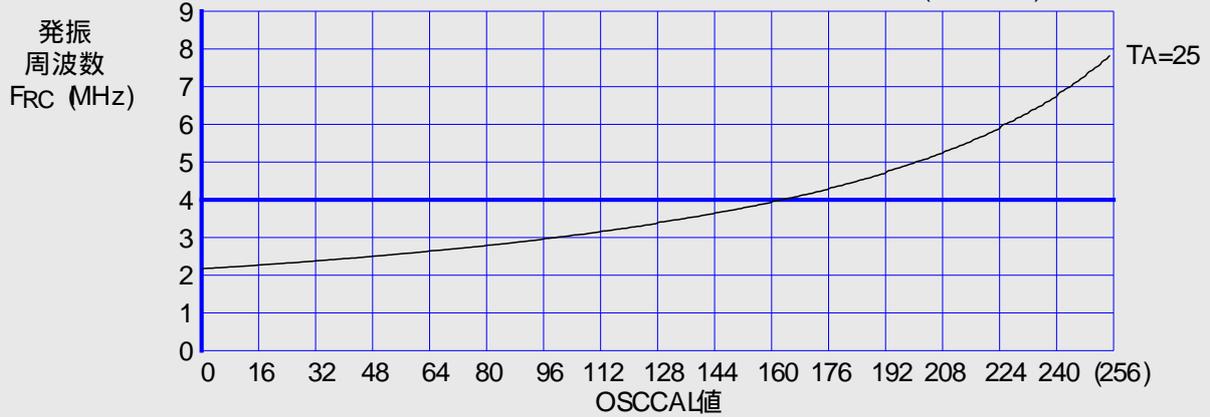


図 201.校正済み 8MHz内蔵RC発振器周波数 対 動作温度

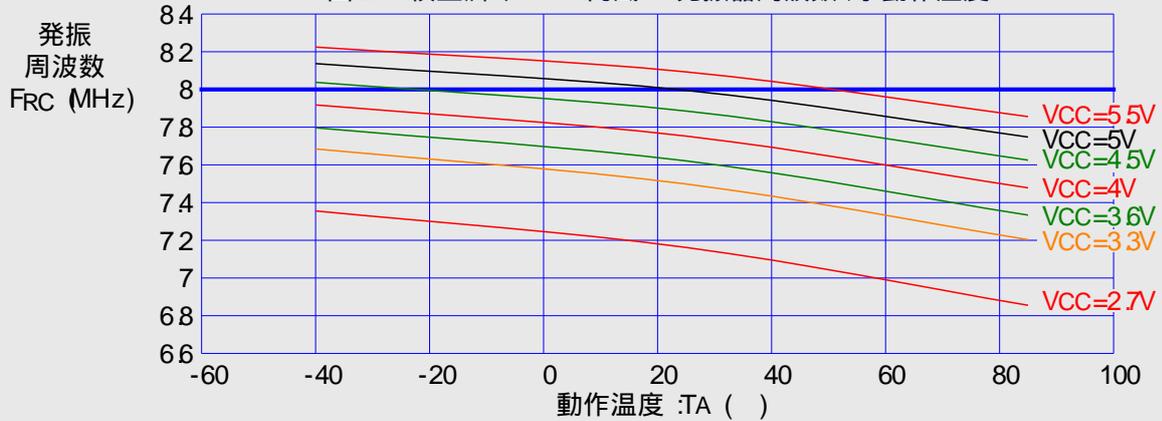


図 202.校正済み 8MHz内蔵RC発振器周波数 対 動作電圧

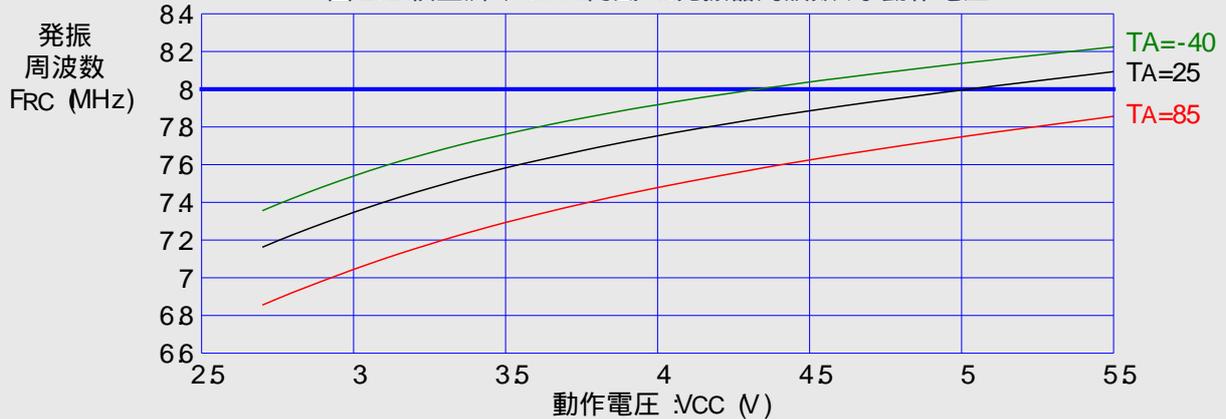
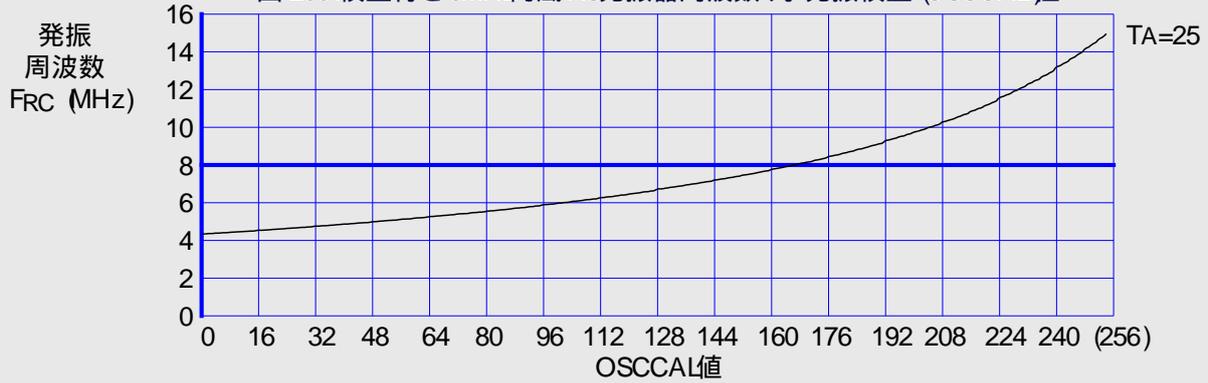


図 203.校正付き 8MHz 内蔵 RC 発振器周波数 対 発振校正 (OSCCAL) 値



周辺機能部消費電流

図 204.低電圧検出器 (BOD)消費電流 対 動作電圧



図 205.A/D変換器消費電流 対 動作電圧 変換クロック=50kHz)



図 206.外部基準電圧 (AREF)電流 対 動作電圧



図 207. アナログ比較器消費電流 対 動作電圧



図 208. プログラミング電流 対 動作電圧



レック消費電流とレックパルス幅

図 209. レック消費 供給 電流 対 周波数 (100kHz~ 1MHz RESETプルアップ電流を除く)

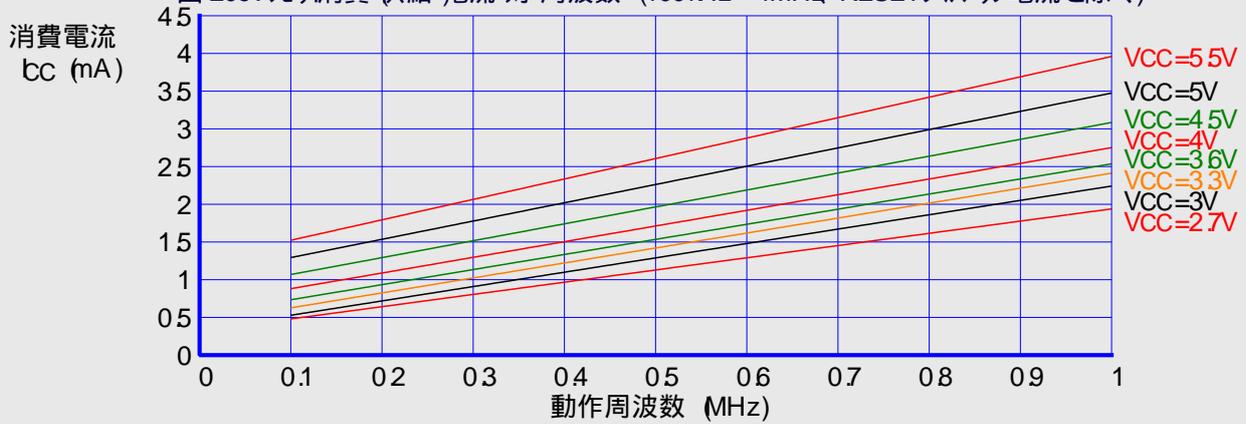


図 210. レック消費 供給 電流 対 周波数 (1MHz~ 20MHz RESETプルアップ電流を除く)

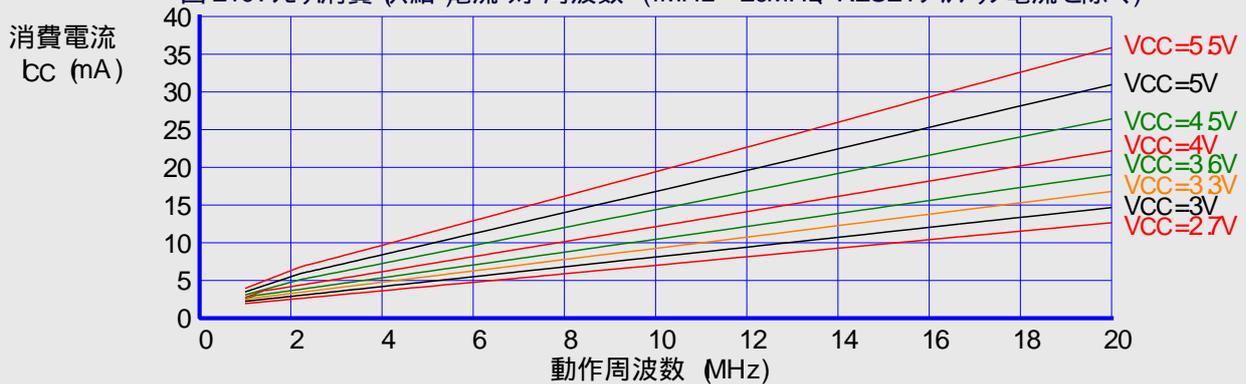


図 211. RESETプルアップ抵抗電流 対 入力電圧 (VCC=5V)

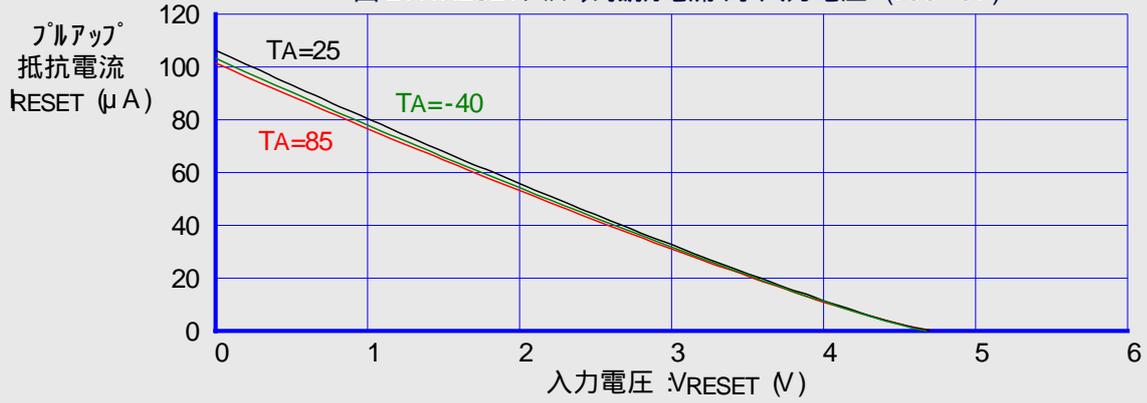


図 212. RESETプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

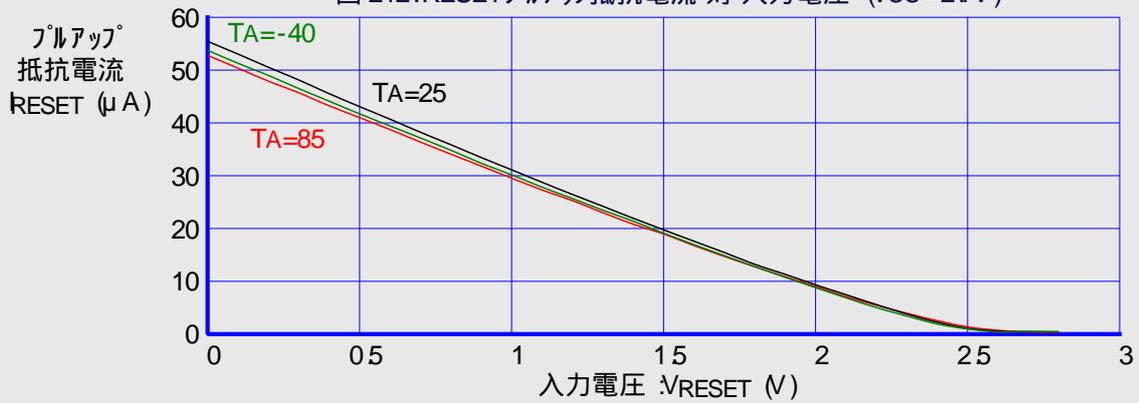


図 213. RESET入力閾値 (スレッショルド電圧 対 動作電圧 (VH, 1読み値))



図 214. RESET入力閾値 (スレッショルド電圧 対 動作電圧 (VL, 0読み値))

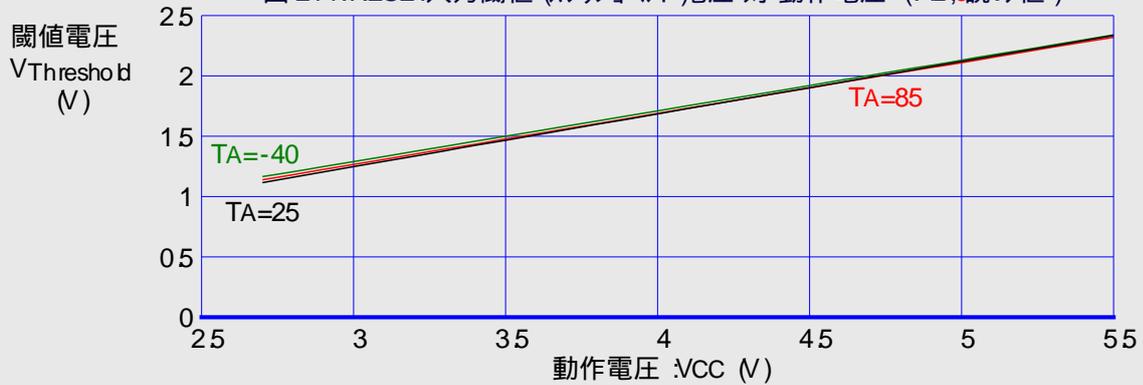
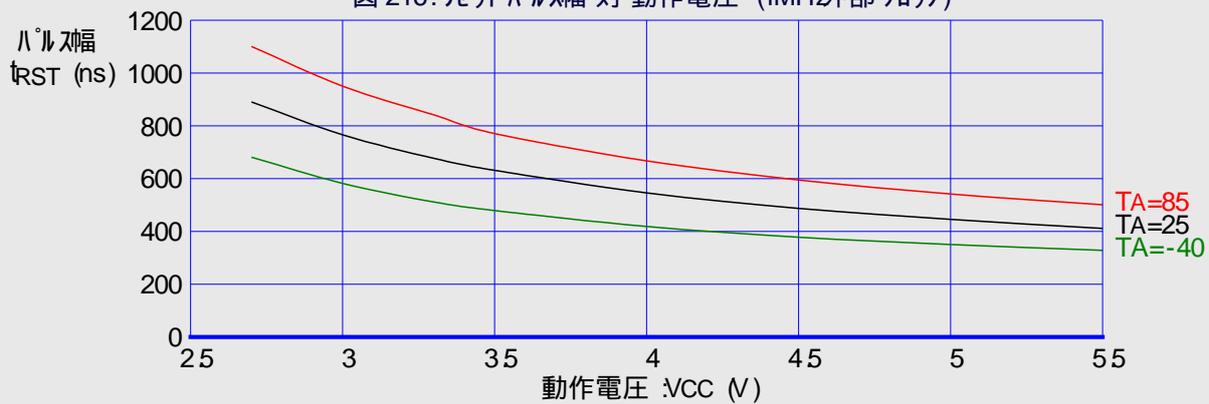


図 215. RESET入力ヒステリシス電圧 対 動作電圧



図 216. リセットパルス幅 対 動作電圧 (1MHz外部クロック)



I/Oレジスタ一覧

拡張 I/Oレジスタ領域

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁	
(~ \$FF)	予約										
(\$9F)	予約										
(\$9E)	予約										
(\$9D)	UCSR1C	-	UMSEL1	UPM11	UPM10	USBS1	UCSZ11	UCSZ10	UCPOL1	128	
(\$9C)	UDR1	USART1 データレジスタ									127
(\$9B)	UCSR1A	RXC1	TXC1	UDRE1	FE1	DOR1	UPE1	U2X1	MPCM1	127	
(\$9A)	UCSR1B	RXC1E1	TXC1E1	UDR1E1	RXEN1	TXEN1	UCSZ12	RXB81	TXB81	128	
(\$99)	UBRR1L	USART1 ホールレートレジスタ下位バイト (UBRR17~0)									
(\$98)	UBRR1H	-	-	-	-	USART1 ホールレートレジスタ上位 (UBRR111~8)				129	
(\$97)	予約										
(\$96)	予約										
(\$95)	UCSR0C	-	UMSEL0	UPM01	UPM00	USBS0	UCSZ01	UCSZ00	UCPOL0	128	
(\$94)	予約										
(\$93)	予約										
(\$92)	予約										
(\$91)	予約										
(\$90)	UBRR0H	-	-	-	-	USART0 ホールレートレジスタ上位 (UBRR011~8)				129	
(\$8F)	予約										
(\$8E)	予約										
(\$8D)	予約										
(\$8C)	TCCR3C	FOC3A	FOC3B	FOC3C	-	-	-	-	-	89	
(\$8B)	TCCR3A	COM3A1	COM3A0	COM3B1	COM3B0	COM3C1	COM3C0	WGM31	WGM30	86	
(\$8A)	TCCR3B	CNC3	CES3	-	WGM33	WGM32	CS32	CS31	CS30	88	
(\$89)	TCNT3H	タイマ/カウンタ3上位バイト									
(\$88)	TCNT3L	タイマ/カウンタ3下位バイト									89
(\$87)	OCR3AH	タイマ/カウンタ3比較アドレス上位バイト									
(\$86)	OCR3AL	タイマ/カウンタ3比較アドレス下位バイト									90
(\$85)	OCR3BH	タイマ/カウンタ3比較アドレス上位バイト									
(\$84)	OCR3BL	タイマ/カウンタ3比較アドレス下位バイト									90
(\$83)	OCR3CH	タイマ/カウンタ3比較アドレス上位バイト									
(\$82)	OCR3CL	タイマ/カウンタ3比較アドレス下位バイト									91
(\$81)	CR3H	タイマ/カウンタ3捕獲レジスタ上位バイト									
(\$80)	CR3L	タイマ/カウンタ3捕獲レジスタ下位バイト									91
(\$7F)	予約										
(\$7E)	予約										
(\$7D)	ETMSK	-	-	TCE3	OC E3A	OC E3B	TO E3	OC E3C	OC E1C	92	
(\$7C)	ETIFR	-	-	CF3	OCF3A	OCF3B	TOV3	OCF3C	OCF1C	93	
(\$7B)	予約										
(\$7A)	TCCR1C	FOC1A	FOC1B	FOC1C	-	-	-	-	-	89	
(\$79)	OCR1CH	タイマ/カウンタ1比較レジスタ上位バイト									
(\$78)	OCR1CL	タイマ/カウンタ1比較レジスタ下位バイト									90
(\$77)	予約										
(\$76)	予約										
(\$75)	予約										
(\$74)	TWCR	TWNT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE	137	
(\$73)	TWDR	2線シリアルインターフェースデータレジスタ									138
(\$72)	TWAR	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE	138	
(\$71)	TWSR	TWS7	TWS6	TWS5	TWS4	TWS3	-	TWPS1	TWPS0	138	
(\$70)	TWBR	2線シリアルインターフェースホールレートレジスタ									137
(\$6F)	OSCCAL	内蔵RC発振器 発振校正値レジスタ									25
(\$6E)	予約										
(\$6D)	XCRA	-	SRL2	SRL1	SRL0	SRW01	SRW00	SRW11	-	19	
(\$6C)	XCRB	XMBK	-	-	-	-	XMM2	XMM1	XMM0	20	
(\$6B)	予約										
(\$6A)	ECRA	EC31	EC30	EC21	EC20	EC11	EC10	EC01	EC00	57	
(\$69)	予約										
(\$68)	SPMCSR	SPME	RWWSB	-	RWWSRE	BLBSET	PGWRT	PGERS	SPMEN	180	
(\$67)	予約										
(\$66)	予約										
(\$65)	PORTG	-	-	-	PORTG4	PORTG3	PORTG2	PORTG1	PORTG0	56	
(\$64)	DDRG	-	-	-	DDF4	DDF3	DDF2	DDF1	DDF0	56	
(\$63)	PNG	-	-	-	PNF4	PNF3	PNF2	PNF1	PNF0	56	
(\$62)	PORTF	PORTF7	PORTF6	PORTF5	PORTF4	PORTF3	PORTF2	PORTF1	PORTF0	56	
(\$61)	DDRF	DDF7	DDF6	DDF5	DDF4	DDF3	DDF2	DDF1	DDF0	56	
(\$60)	予約										

I/Oレジスタ領域

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
\$3F (\$5F)	SREG	I	T	H	S	V	N	Z	C	6
\$3E (\$5E)	SPH	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	7
\$3D (\$5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	
\$3C (\$5C)	XDM	XDMEN	XDM6	XDM5	XDM4	XDM3	XDM2	XDM1	XDM0	26
\$3B (\$5B)	RAMPZ	-	-	-	-	-	-	-	RAMPZ0	8
\$3A (\$5A)	ICRB	ISC71	ISC70	ISC61	ISC60	ISC51	ISC50	ISC41	ISC40	58
\$39 (\$59)	EMSK	NT7	NT6	NT5	NT4	NT3	NT2	NT1	NT0	58
\$38 (\$58)	EIFR	NTF7	NTF6	NTF5	NTF4	NTF3	NTF2	NTF1	NTF0	58
\$37 (\$57)	TMSK	OCIE2	TOIE2	TCE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0	107,92,68
\$36 (\$56)	TIFR	OCF2	TOV2	CF1	OCF1A	OCF1B	TOV1	OCF0	TOV0	107,93,69
\$35 (\$55)	MCUCR	SRE	SRW10	SE	SM1	SM0	SM2	VSEL	VCE	19,27,38
\$34 (\$54)	MCUCSR	JTD	-	-	JTRF	WDRF	BORF	EXTRF	PORF	168,32
\$33 (\$53)	TCCR0	FOC0	WGM00	COM01	COM00	WGM01	CS02	CS01	CS00	67
\$32 (\$52)	TCNT0	タイマ/カウンタ0								68
\$31 (\$51)	OCR0	タイマ/カウンタ0比較レジスタ								68
\$30 (\$50)	ASSR	-	-	-	-	AS0	TCN0UB	OCR0UB	TCR0UB	69
\$2F (\$4F)	TCCR1A	COM1A1	COM1A0	COM1B1	COM1B0	FOC1A	FOC1B	WGM11	WGM10	86
\$2E (\$4E)	TCCR1B	CNC1	CES1	-	WGM13	WGM12	CS12	CS11	CS10	88
\$2D (\$4D)	TCNT1H	タイマ/カウンタ1上位バイト								89
\$2C (\$4C)	TCNT1L	タイマ/カウンタ1下位バイト								
\$2B (\$4B)	OCR1AH	タイマ/カウンタ1比較Aレジスタ上位バイト								90
\$2A (\$4A)	OCR1AL	タイマ/カウンタ1比較Aレジスタ下位バイト								
\$29 (\$49)	OCR1BH	タイマ/カウンタ1比較Bレジスタ上位バイト								90
\$28 (\$48)	OCR1BL	タイマ/カウンタ1比較Bレジスタ下位バイト								
\$27 (\$47)	CR1H	タイマ/カウンタ1捕獲レジスタ上位バイト								91
\$26 (\$46)	CR1L	タイマ/カウンタ1捕獲レジスタ下位バイト								
\$25 (\$45)	TCCR2	FOC2	WGM20	COM21	COM20	WGM21	CS22	CS21	CS20	105
\$24 (\$44)	TCNT2	タイマ/カウンタ2								106
\$23 (\$43)	OCR2	タイマ/カウンタ2比較レジスタ								106
\$22 (\$42)	OCDR	DRD/OCDR7	OCDR6	OCDR5	OCDR4	OCDR3	OCDR2	OCDR1	OCDR0	166
\$21 (\$41)	WDTCSR	-	-	-	WDCE	WDE	WDP2	WDP1	WDP0	33
\$20 (\$40)	SFDR	TSM	-	-	-	ACME	PUD	PSR0	PSR321	152,43,71,96
\$1F (\$3F)	EEARH	-	-	-	-	EEAR11	EEAR10	EEAR9	EEAR8	12
\$1E (\$3E)	EEARL	-	-	-	-	EEPROMアドレスレジスタ下位バイト (EEAR7~0)				
\$1D (\$3D)	EEDR	EEPROMデータレジスタ								12
\$1C (\$3C)	EEDR	-	-	-	-	EERIE	EBMWE	EBWE	EERE	12
\$1B (\$3B)	PORTA	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	54
\$1A (\$3A)	DDRA	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	54
\$19 (\$39)	PINA	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	54
\$18 (\$38)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	54
\$17 (\$37)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	54
\$16 (\$36)	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	54
\$15 (\$35)	PORTC	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	54
\$14 (\$34)	DDRC	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	54
\$13 (\$33)	PINC	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	54
\$12 (\$32)	PORTD	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	55
\$11 (\$31)	DDRD	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	55
\$10 (\$30)	PIND	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	55
\$0F (\$2F)	SPDR	SPIデータレジスタ								112
\$0E (\$2E)	SPSR	SPIF	WCOL	-	-	-	-	-	SPI2X	112
\$0D (\$2D)	SPCR	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	111
\$0C (\$2C)	UDR0	USART0データレジスタ								127
\$0B (\$2B)	UCSR0A	RXC0	TXC0	UDRE0	FE0	DOR0	UPE0	U2X0	MPCM0	127
\$0A (\$2A)	UCSR0B	RXCIE0	TXCIE0	UDRIE0	RXEN0	TXEN0	UCSZ02	RXB80	TXB80	128
\$09 (\$29)	UBRR0L	USART0ポートレジスタ下位バイト (UBRR07~0)								129
\$08 (\$28)	ACSR	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	151
\$07 (\$27)	ADMUX	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0	159
\$06 (\$26)	ADCSRA	ADEN	ADSC	ADFR	ADIF	ADIE	ADPS2	ADPS1	ADPS0	160
\$05 (\$25)	ADCH	A/Dデータレジスタ上位バイト (ADC9~またはADC9~2)								161
\$04 (\$24)	ADCL	A/Dデータレジスタ下位バイト (ADC7~またはADC1~0)								
\$03 (\$23)	PORTE	PORTE7	PORTE6	PORTE5	PORTE4	PORTE3	PORTE2	PORTE1	PORTE0	55
\$02 (\$22)	DDRE	DDE7	DDE6	DDE5	DDE4	DDE3	DDE2	DDE1	DDE0	55
\$01 (\$21)	PINE	PINE7	PINE6	PINE5	PINE4	PINE3	PINE2	PINE1	PINE0	55
\$00 (\$20)	PINF	PINF7	PINF6	PINF5	PINF4	PINF3	PINF2	PINF1	PINF0	56

注：将来のデバイスとの共通性のため、予約ビットへ書く場合は0を書くべきです。予約I/Oメモリアドレスは決して書かれるべきではありません。いくつかの状態ビットはそれらに論理1を書くことによりクリア(0)されます。CB1,SB命令はそのI/Oレジスタ内の全ビットを操作し、セット(1)として読んだどのフラグにも1を書き戻します。従ってフラグをクリア(0)します。CB1,SB命令は\$00~\$1FのI/Oレジスタだけで動作します。

命令一覧 (1/3)

記号	オペランド	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	Rd Rd + Rr	ITHSVNZC	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	Rd Rd + Rr + C	ITHSVNZC	1
ADW	Rd,K6	即値のワード長加算	RdH RdL RdH RdL + K	ITHSVNZC	2
SUB	Rd,Rr	汎用レジスタ間の減算	Rd Rd - Rr	ITHSVNZC	1
SUBI	Rd,K	汎用レジスタから即値の減算	Rd Rd - K	ITHSVNZC	1
SBW	Rd,K6	即値のワード長減算	RdH RdL RdH RdL - K	ITHSVNZC	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	Rd Rd - Rr - C	ITHSVNZC	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	Rd Rd - K - C	ITHSVNZC	1
AND	Rd,Rr	汎用レジスタ間の論理積 (AND)	Rd Rd AND Rr	ITHS0NZC	1
ANDI	Rd,K	汎用レジスタと即値の論理積 (AND)	Rd Rd AND K	ITHS0NZC	1
OR	Rd,Rr	汎用レジスタ間の論理和 (OR)	Rd Rd OR Rr	ITHS0NZC	1
ORI	Rd,K	汎用レジスタと即値の論理和 (OR)	Rd Rd OR K	ITHS0NZC	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和 (Ex-OR)	Rd Rd EOR Rr	ITHS0NZC	1
COM	Rd	1の補数 (論理反転)	Rd \$FF - Rd	ITHS0NZ1	1
NEG	Rd	2の補数	Rd \$00 - Rd	ITHSVNZC	1
SBR	Rd,K	汎用レジスタの複数ビットセット(1)	Rd Rd OR K	ITHS0NZC	1
CBR	Rd,K	汎用レジスタの複数ビットクリア(0)	Rd Rd AND (\$FF - K)	ITHS0NZC	1
INC	Rd	汎用レジスタのインクリメント(+1)	Rd Rd + 1	ITHSVNZC	1
DEC	Rd	汎用レジスタのデクリメント(-1)	Rd Rd - 1	ITHSVNZC	1
TST	Rd	汎用レジスタのゼロとマイナスイテック	Rd Rd AND Rd	ITHS0NZC	1
CLR	Rd	汎用レジスタの全ビット設定 (= \$00)	Rd Rd EOR Rd	ITH0001C	1
SER	Rd	汎用レジスタの全ビット設定 (= \$FF)	Rd \$FF	ITHSVNZC	1
MUL	Rd,Rr	符号なし間の乗算	R1 R0 Rdx Rr (Ux U)	ITHSVNZC	2
MULS	Rd,Rr	符号付き間の乗算	R1 R0 Rdx Rr (Sx S)	ITHSVNZC	2
MULSU	Rd,Rr	符号付きと符号なしの乗算	R1 R0 Rdx Rr (Sx U)	ITHSVNZC	2
FMUL	Rd,Rr	符号なし間の固定小数点乗算	R1 R0 (Rdx Rr) << 1 (Ux U)	ITHSVNZC	2
FMULS	Rd,Rr	符号付き間の固定小数点乗算	R1 R0 (Rdx Rr) << 1 (Sx S)	ITHSVNZC	2
FMULSU	Rd,Rr	符号付きと符号なしの固定小数点乗算	R1 R0 (Rdx Rr) << 1 (Sx U)	ITHSVNZC	2
分岐命令					
RJMP	k	相対無条件分岐	PC PC + k + 1	ITHSVNZC	2
IJMP		Zレジスタ間接無条件分岐	PC Z	ITHSVNZC	2
JMP	k	絶対無条件分岐	PC k	ITHSVNZC	3
RCALL	k	相対サブルーチン呼び出し	STACK PC,PC PC + k + 1	ITHSVNZC	3
CALL		Zレジスタ間接サブルーチン呼び出し	STACK PC,PC Z	ITHSVNZC	3
CALL	k	絶対サブルーチン呼び出し	STACK PC,PC k	ITHSVNZC	4
RET		サブルーチンからの復帰	PC STACK	ITHSVNZC	4
RETI		割り込みからの復帰	PC STACK	ITHSVNZC	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	if (Rd-Rr) PC PC + 2or3	ITHSVNZC	1/2/3
CP	Rd,Rr	汎用レジスタ間の比較	Rd - Rr	ITHSVNZC	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	Rd - Rr - C	ITHSVNZC	1
CPI	Rd,K	汎用レジスタと即値の比較	Rd - K	ITHSVNZC	1
SBRC	Rr,b	汎用レジスタのビットがクリア(0)でスキップ	if (Rr(b)=0) then PC PC + 2or3	ITHSVNZC	1/2/3
SBR	Rr,b	汎用レジスタのビットがセット(1)でスキップ	if (Rr(b)=1) then PC PC + 2or3	ITHSVNZC	1/2/3
SBIC	P,b	I/Oレジスタのビットがクリア(0)でスキップ	if (P(b)=0) then PC PC + 2or3	ITHSVNZC	1/2/3
SBS	P,b	I/Oレジスタのビットがセット(1)でスキップ	if (P(b)=1) then PC PC + 2or3	ITHSVNZC	1/2/3
BRBS	s,k	ステータスフラグがセット(1)で分岐	if (SREG(s)=1) then PC PC + K + 1	ITHSVNZC	1/2
BRBC	s,k	ステータスフラグがクリア(0)で分岐	if (SREG(s)=0) then PC PC + K + 1	ITHSVNZC	1/2
BREQ	k	一致で分岐	if (Z=1) then PC PC + K + 1	ITHSVNZC	1/2
BRNE	k	不一致で分岐	if (Z=0) then PC PC + K + 1	ITHSVNZC	1/2
BRCS	k	キャリーフラグがセット(1)で分岐	if (C=1) then PC PC + K + 1	ITHSVNZC	1/2
BRCC	k	キャリーフラグがクリア(0)で分岐	if (C=0) then PC PC + K + 1	ITHSVNZC	1/2
BRSH	k	符号なしの > で分岐	if (C=0) then PC PC + K + 1	ITHSVNZC	1/2
BRLO	k	符号なしの < で分岐	if (C=1) then PC PC + K + 1	ITHSVNZC	1/2
BRMI	k	- (マイナス) で分岐	if (N=1) then PC PC + K + 1	ITHSVNZC	1/2
BRPL	k	+ (プラス) で分岐	if (N=0) then PC PC + K + 1	ITHSVNZC	1/2
BRGE	k	符号付きの > で分岐	if ((N EOR V)=0) then PC PC + K + 1	ITHSVNZC	1/2
BRLT	k	符号付きの < で分岐	if ((N EOR V)=1) then PC PC + K + 1	ITHSVNZC	1/2
BRHS	k	オーバーフローフラグがセット(1)で分岐	if (H=1) then PC PC + K + 1	ITHSVNZC	1/2
BRHC	k	オーバーフローフラグがクリア(0)で分岐	if (H=0) then PC PC + K + 1	ITHSVNZC	1/2
BRTS	k	テンポラリフラグがセット(1)で分岐	if (T=1) then PC PC + K + 1	ITHSVNZC	1/2
BRTC	k	テンポラリフラグがクリア(0)で分岐	if (T=0) then PC PC + K + 1	ITHSVNZC	1/2
BRVS	k	オーバーフローフラグがセット(1)で分岐	if (V=1) then PC PC + K + 1	ITHSVNZC	1/2
BRVC	k	オーバーフローフラグがクリア(0)で分岐	if (V=0) then PC PC + K + 1	ITHSVNZC	1/2
BRIE	k	割り込み許可で分岐	if (I=1) then PC PC + K + 1	ITHSVNZC	1/2
BRD	k	割り込み禁止で分岐	if (I=0) then PC PC + K + 1	ITHSVNZC	1/2

K6,K : 6,8ビット定数 P : I/Oレジスタ Rd,Rr : 汎用レジスタ(R0~ R31) X,Y,Z : X,Y,Zレジスタ
 b : ビット(0~ 7) k : アドレス定数 (7,12,16ビット) q : 符号なし6ビット定数 変位 s : ステータスフラグ (C Z N V X H T I)

命令一覧 (2/3)

記号	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間のコピー	Rd ← Rr	I THSVN ZC	1
MOVW	Rd,Rr	汎用レジスタ間の16ビットコピー	Rd+1,Rd ← Rr+1,Rr	I THSVN ZC	1
LDI	Rd,K	即値の取得	Rd ← K	I THSVN ZC	1
LD	Rd,X	Xレジスタ間接での取得	Rd ← (X)	I THSVN ZC	2
LD	Rd,X+	後インクリメント付きXレジスタ間接での取得	Rd ← (X), X ← X+1	I THSVN ZC	2
LD	Rd,-X	前デクリメント付きXレジスタ間接での取得	X ← X-1, Rd ← (X)	I THSVN ZC	2
LD	Rd,Y	Yレジスタ間接での取得	Rd ← (Y)	I THSVN ZC	2
LD	Rd,Y+	後インクリメント付きYレジスタ間接での取得	Rd ← (Y), Y ← Y+1	I THSVN ZC	2
LD	Rd,-Y	前デクリメント付きYレジスタ間接での取得	Y ← Y-1, Rd ← (Y)	I THSVN ZC	2
LDD	Rd,Y+q	ディスプレースメント付きYレジスタ間接での取得	Rd ← (Y+q)	I THSVN ZC	2
LD	Rd,Z	Zレジスタ間接での取得	Rd ← (Z)	I THSVN ZC	2
LD	Rd,Z+	後インクリメント付きZレジスタ間接での取得	Rd ← (Z), Z ← Z+1	I THSVN ZC	2
LD	Rd,-Z	前デクリメント付きZレジスタ間接での取得	Z ← Z-1, Rd ← (Z)	I THSVN ZC	2
LDD	Rd,Z+q	ディスプレースメント付きZレジスタ間接での取得	Rd ← (Z+q)	I THSVN ZC	2
LDS	Rd,k	データ空間 (SRAM) から直接取得	Rd ← (k)	I THSVN ZC	2
ST	X,Rr	Xレジスタ間接での設定	(X) ← Rr	I THSVN ZC	2
ST	X+,Rr	後インクリメント付きXレジスタ間接での設定	(X) ← Rr, X ← X+1	I THSVN ZC	2
ST	-X,Rr	前デクリメント付きXレジスタ間接での設定	X ← X-1, (X) ← Rr	I THSVN ZC	2
ST	Y,Rr	Yレジスタ間接での設定	(Y) ← Rr	I THSVN ZC	2
ST	Y+,Rr	後インクリメント付きYレジスタ間接での設定	(Y) ← Rr, Y ← Y+1	I THSVN ZC	2
ST	-Y,Rr	前デクリメント付きYレジスタ間接での設定	Y ← Y-1, (Y) ← Rr	I THSVN ZC	2
STD	Y+q,Rr	ディスプレースメント付きYレジスタ間接での設定	(Y+q) ← Rr	I THSVN ZC	2
ST	Z,Rr	Zレジスタ間接での設定	(Z) ← Rr	I THSVN ZC	2
ST	Z+,Rr	後インクリメント付きZレジスタ間接での設定	(Z) ← Rr, Z ← Z+1	I THSVN ZC	2
ST	-Z,Rr	前デクリメント付きZレジスタ間接での設定	Z ← Z-1, (Z) ← Rr	I THSVN ZC	2
STD	Z+q,Rr	ディスプレースメント付きZレジスタ間接での設定	(Z+q) ← Rr	I THSVN ZC	2
STS	k,Rr	データ空間 (SRAM) から直接設定	(k) ← Rr	I THSVN ZC	2
LPM		プログラム領域からXレジスタ間接での取得	R0 ← (Z)	I THSVN ZC	3
LPM	Rd,Z	同上 (任意のレジスタ)	Rd ← (Z)	I THSVN ZC	3
LPM	Rd,Z+	同上 (後インクリメント付き)	Rd ← (Z), Z ← Z+1	I THSVN ZC	3
ELPM		プログラム領域から拡張Zレジスタ間接で取得	R0 ← (RAMPZ,Z)	I THSVN ZC	3
ELPM	Rd,Z	同上 (任意のレジスタ)	Rd ← (RAMPZ,Z)	I THSVN ZC	3
ELPM	Rd,Z+	同上 (後インクリメント付き)	Rd ← (RAMPZ,Z), RAMPZ ← Z+1	I THSVN ZC	3
SPM		プログラム領域へZレジスタ間接での設定	(Z) ← R1,R0	I THSVN ZC	-
IN	Rd,P	I/Oレジスタからの入力	Rd ← P	I THSVN ZC	1
OUT	P,Rr	I/Oレジスタへの出力	P ← Rr	I THSVN ZC	1
PUSH	Rr	汎用レジスタをスタックへ保存	STACK ← Rr	I THSVN ZC	2
POP	Rd	スタックから汎用レジスタへ復帰	Rd ← STACK	I THSVN ZC	2
ビット関係命令					
SBI	P,b	I/Oレジスタのビットセット(1)	I/O(P,b) ← 1	I THSVN ZC	2
CBI	P,b	I/Oレジスタのビットクリア(0)	I/O(P,b) ← 0	I THSVN ZC	2
LSL	Rd	論理的左シフト	Rd(n+1) ← Rd(n), Rd(0) ← 0	I THSVN ZC	1
LSR	Rd	論理的右シフト	Rd(n) ← Rd(n+1), Rd(7) ← 0	I THSVN ZC	1
ROL	Rd	キャリーを含めた左回転	Rd(0) ← C, Rd(n+1) ← Rd(n), C ← Rd(7)	I THSVN ZC	1
ROR	Rd	キャリーを含めた右回転	Rd(7) ← C, Rd(n) ← Rd(n+1), C ← Rd(0)	I THSVN ZC	1
ASR	Rd	算術的右シフト	Rd(n) ← Rd(n+1), n=0~6	I THSVN ZC	1
SWAP	Rd	ニブル(4ビット上位/下位)交換	Rd(7~4) ← Rd(3~0)	I THSVN ZC	1
BSET	s	ステータスレジスタのビットセット(1)	SREG(s) ← 1	1 1 1 1 1 1 1 1	1
BCLR	s	ステータスレジスタのビットクリア(0)	SREG(s) ← 0	0 0 0 0 0 0 0 0	1
BST	Rr,b	汎用レジスタのビットをテンポラリへ移動	T ← Rr(b)	I THSVN ZC	1
BLD	Rd,b	テンポラリを汎用レジスタのビットへ移動	Rd(b) ← T	I THSVN ZC	1
SEC		キャリーフラグをセット(1)	C ← 1	I THSVN Z 1	1
CLC		キャリーフラグをクリア(0)	C ← 0	I THSVN Z 0	1
SEN		負フラグをセット(1)	N ← 1	I THSVN 1 ZC	1
CLN		負フラグをクリア(0)	N ← 0	I THSVN 0 ZC	1
SEZ		ゼロフラグをセット(1)	Z ← 1	I THSVN 1 C	1
CLZ		ゼロフラグをクリア(0)	Z ← 0	I THSVN 0 C	1
SEI		全割込み許可	I ← 1	1 THSVN ZC	1
CLI		全割込み禁止	I ← 0	0 THSVN ZC	1
SES		符号フラグをセット(1)	S ← 1	I TH 1 VN ZC	1
CLS		符号フラグをクリア(0)	S ← 0	I TH 0 VN ZC	1
SEV		2の補数オーバーフローフラグをセット(1)	V ← 1	I THS 1 N ZC	1
CLV		2の補数オーバーフローフラグをクリア(0)	V ← 0	I THS 0 N ZC	1
SET		テンポラリフラグをセット(1)	T ← 1	I 1 HSVN ZC	1
CLT		テンポラリフラグをクリア(0)	T ← 0	I 0 HSVN ZC	1
SEH		ハーファリーフラグをセット(1)	H ← 1	I T 1 SVN ZC	1
CLH		ハーファリーフラグをクリア(0)	H ← 0	I T 0 SVN ZC	1

命令一覧 (3/3)

モニタ	オペランド	意味	動作	フラグ	ロック
MCU制御命令					
NOP		無操作		I,THSVN,ZC	1
SLEEP		スリープ動作開始	スリープ動作参照	I,THSVN,ZC	1
WDR		ウォッチドック タイマ リセット	ウォッチドック タイマ参照	I,THSVN,ZC	1
BREAK		一時停止	内蔵デバッグ機能専用	I,THSVN,ZC	N/A

注文情報

速度 (MHz)	電源電圧	注文コード	外囲器	動作範囲
8	2.7~ 5.5V	ATmega128L-8AC	64A	一般用 (0 ~ 70)
		ATmega128L-8MC	64M1	
		ATmega128L-8A I	64A	工業用 (-40 ~ 85)
		ATmega128L-8AU (注2)	64M1	
		ATmega128L-8M I		
16	4.5~ 5.5V	ATmega128-16AC	64A	一般用 (0 ~ 70)
		ATmega128-16MC	64M1	
		ATmega128-16A I	64A	工業用 (-40 ~ 85)
		ATmega128-16AU (注2)	64M1	
		ATmega128-16M I		
		ATmega128-16MU (注2)		

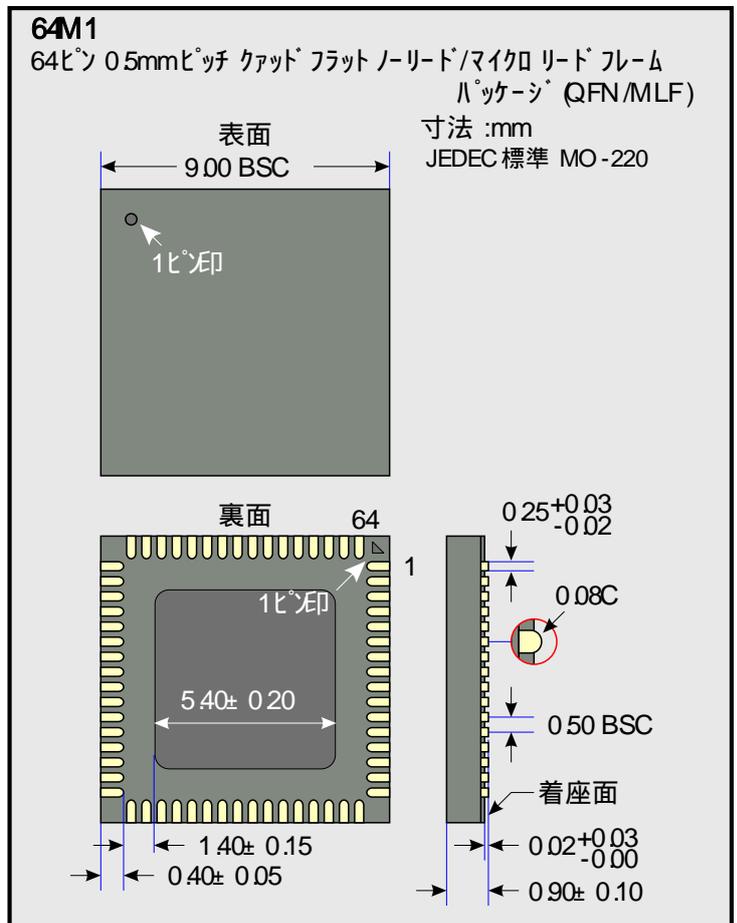
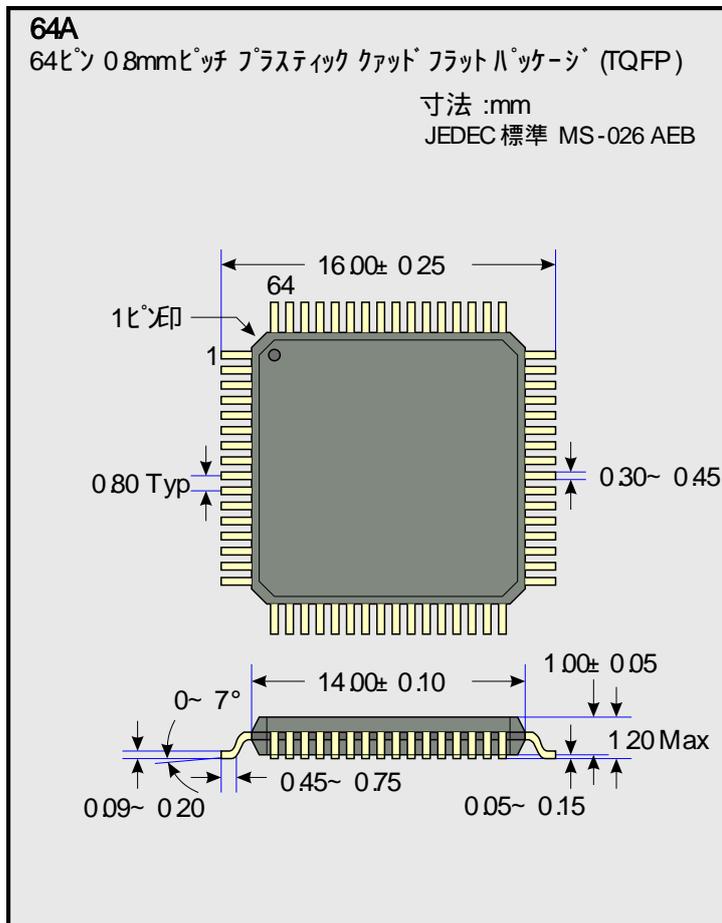
注：このデバイスにはワール（チップ単体）形状でも供給できます。最低数量と詳細な注文情報については最寄のATMEL営業所へお問い合わせください。

注2:有害物質使用制限に関する欧州指令 (RoHS指令) 適合の鉛フリー製品。またハロゲン化合物フリーで完全に安全です。

外囲器形式

64A	64ピン 14x 14x 1.0mm厚 プラスティック クアッド フラット パッケージ (TQFP)
64M1	64ピン 9x 9x 1mm 0.5mmピッチ クアッド フラット ノーリード/マイクロ リード フレーム パッケージ (QFN/MLF)

外囲器形状



更新記録

この章内の参照頁番号は、この資料が参照されていることに注意してください。この章内の Rev 番号は資料の Rev 番号を参照してください。

2467B-09/01から 2467C-02/02への変更

1. ホールIC兼用機能説明の訂正
53頁の「ホールICの兼用機能」内の TOSC1とTOSC2の説明が訂正されました。
2. Rev.FとRev.G用 JTAG Ve 番号の追加
166頁の表 100を更新しました。訳補 :Rev.L版以降表削除)
3. いくつかの試験条件と特性値の追加
次の頁の表内のいくつかの TBD を削除しました
30頁の表 19、32頁の表 20、205頁の「DC特性」、206頁の表 131、208頁の表 134、209頁の表 135。
4. 233頁の注文情報を訂正
5. 213頁からの「代表特性」にいくつかの特性データを追加
6. JTAGプログラミング動作からの代替抜け出し手順の削除
202頁の「プログラミング動作からの抜け出し」を参照。
7. JTAGプログラミング経路での拡張ヒューズハイライトアクセス法の説明追加
204頁の「ヒューズの書き込み」と「ヒューズとロックビットの読み出し」を参照。

2467C-02/02から 2467D-03/02への変更

1. 3頁の「ATmega103互換動作」について、多くの情報を追加
2. 13頁の表 2「EEPROMプログラミング時間」を更新
3. 22頁の表 7、23頁の表 9、表 10、24頁の表 12、表 14、25頁の表 16の起動待機時間代表値を更新
4. 34頁の表 22「WDT計時終了代表値」を更新
5. 160頁の「A/D変換制御/ステータスレジスタ(ADCSRA)」内の ADSCビットの説明を訂正
6. 158頁の「A/D変換結果」の差動結果の極性検査法の説明を改善
7. 166頁の「JTAG Ve 番号」内の JTAG Ve 番号を訂正
8. 181頁の「自己プログラミング時のフラッシュのアドレス指定」と182頁の「ページ消去の実行」と「ページ書き込みの実行」で、(RAMPZ使用の)SPM中のアドレス指定の説明を改善
9. 187頁の表 118下に OCDENヒューズに関する注意を追加
10. プログラミングの図の更新
AVCCがプログラミング中に接続しなければならないことを反映し、188頁の図 135と196頁の図 144が更新されました。192頁の図 139ヒューズ書き込みタイミングが追加されました。
11. 199頁の **PROG_PAGELOAD**と**PROG_PAGEREAD**の使用に関する注意を追加
12. 213頁からの「代表特性」に校正付きRC発振器特性を追加
13. 2線シリアルインターフェース(TWI)章の更新
ハードウェア動作での TWIの使用、低 TWBR値でのマスターとしての TWI使用に関する多くの詳細がデータシートに追加されました。135頁の「ヒットレシ生成部」の最後に注意事項が追加されました。136頁の「アドレス比較部」の最後に説明が追加されました。
14. タイマ/カウンタと組み合わされるクロックの使用に関する注意事項の追加
26頁の「クロック分周制御レジスタ(XDM)」を参照。

2467D-03/02から 2467E-05/02への変更

1. 213頁からの「代表特性」の特性データを更新
2. 次の表を更新
30頁の表 19、32頁の表 20、107頁の表 68、171頁の表 102、209頁の表 135
3. 発振校正値 OSCCALの説明更新
2.4MHz発振選択用の発振校正値ハイットの利用法が説明されていませんでした。これを次の章に追加しました。
25頁の「発振校正値レジスタ-OSCCAL」と186頁の「発振校正値ハイット」の記載が改善されました。

2467E-05/02から 2467F-09/02への変更

1. 64QFN/MLF外囲器の追加と233頁の注文情報更新
2. 「64Kバイト未満外部メモリの全域使用法」章の追加
3. 22頁の「既定のクロック」章の追加
4. 資料内全てで SPMCRをSPMCSRに改名
5. 外部クロック信号使用時、周波数変更に関していくつかの制限があります。これは25頁の「外部クロック信号」と206頁の表 131で説明されます。

6. 29頁の「消費電力の最小化」章内にOCDと消費電力の関係を追加
7. WGMビット設定に関する誤植修正
 - 64頁の「高速PWM動作」(タイマ/カウンタ0)
 - 65頁の「位相基準PWM動作」(タイマ/カウンタ0)
 - 102頁の「高速PWM動作」(タイマ/カウンタ2)
 - 103頁の「位相基準PWM動作」(タイマ/カウンタ2)
8. 129頁の表 81 (USART)を修正
9. 171頁の表 102 境界走査 を修正
10. 205頁の「DC特性」内のVLを更新

2467F-09/02から 2467G-09/02への変更

2467G-09/02から 2467H-02/03への変更

1. フラッシュメモリの書き換え可能回数 (寿命) を1,000から10,000に変更
1. SFDRレジスタで2つの前置分周器制御ビット名を修正
2. 203頁の「フラッシュメモリ書き込み」と「EEPROM書き込み」に最初の手順としてチップ消去を追加
3. 存在しない「多目的発振器」、「32kHzクリスタル発振器」アプリケーション ノートの参照を削除
4. 83頁の図 52でOCn波形を修正
5. 「タイマ/カウンタ1」で各種の微小修正
6. タイマ/カウンタ0と2にPWMの対称性についての情報を追加
7. 「線シリアル インターフェイス (TWI)」で各種の微小修正
8. フラッシュメモリの容量を知らせるため、SPシリアルプログラミングと自己プログラミング両方に188頁の表 124への参照を追加
9. 182頁の「ハイジー時ハフファの設定 (ハイ設定)」にSPMハイ設定中のEEPROM書き込みについての注意を追加
10. ADHSMを完全に削除
11. 14頁に「パワーダウン スリープ動作中のEEPROM書き込み」項目を追加
12. 233頁の「外部器情報」を更新

2467H-02/03から 2467I-09/03への変更

1. 26頁の「クロック分周制御レジスタ(XDM)」の注意を更新
2. 29頁の「JTAGインターフェイスと内蔵デバッグ機能 (OCD)」を更新
3. 30頁の表 19でVBOT (BODLEVEL=1)に対する値を更新
4. JTAGENに関する163頁の「検査アクセスポート(TAP)」を更新
5. 168頁のJTDビットに対する説明を更新
6. 187頁の表 118にJTAGENヒューズに関する注意を追加
7. 205頁の「DC特性」でRPU値を更新
8. 237頁の「障害情報」でJTAG命令 DCODEに関する問題解決案を追加

2467I-09/03から 2467J-12/03への変更

2467J-12/03から 2467K-03/04への変更

1. 24頁の「校正付き内蔵RC発振器」を更新

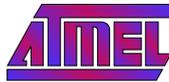
1. 237頁の「障害情報」を更新

2467K-03/04から 2467L-05/04への変更

1. データシートから「暫定」と「TBD」を削除、ピン名 DnをDPrに改名
2. 23頁の表 8、30頁の表 19、34頁の表 22、158頁の表 96、195頁の表 126、197頁の表 128、206頁の表 132、208頁の表 134を更新
3. 16頁の「外部メモリインターフェイス」を更新
4. 166頁の「デバッグ識別レジスタ」を更新
5. 205頁の「電気的特性」を更新
6. 209頁の「A/D変換特性」を更新
7. 213頁からの「代表特性」を更新
8. 233頁の「注文情報」を更新

2467L-05/04から 2467M-11/04への変更

1. 「アナログGND」を削除し、「GND」に置換
2. 24頁の表 11、185頁の表 114、197頁の表 128、206頁の表 132、157頁の図 114を更新



- 3. 4頁の「ホ-IC (PC7~ 0)」に注を追加
- 4. 233頁の「注文情報」を更新

障害情報

Rev. F G H, I

この章のレビジョン番号は、ATmega128レバイスのレビジョンを参照してください。

[XDMレジスタ変更時に安定時間が必要](#)
[OSCCALレジスタ変更時に安定時間が必要](#)

1. XDMレジスタ変更時に安定時間が必要

XDMレジスタでクロック周波数を2%より多く上昇設定した後、レバイスは後続するいくつかの命令を正しく実行しないかもしれません。

問題の修正と対策

NOP命令は周波数変更後も常に正しく実行されます。従って周波数変更後の次の8命令は**NOP**命令であるべきです。これを保証するには次の手順に従ってください。

1. SREGの全割り込み許可 (I)ビットをクリア(0)します。 **訳補** 割り込み許可ならば)
2. XDMレジスタに新しい分周値を設定します。
3. 8つの**NOP**命令を実行します。
4. SREGの全割り込み許可 (I)ビットをセット(1)します。 **訳補** 割り込み許可ならば)

これは後続する全命令の正しい実行を保証します。

アセンブリ言語コード例

CLI		;全割り込み禁止
OUT	XDM, R16	;新規分周値設定
NOP		;無操作
SEI		;全割り込み許可

2. OSCCALレジスタ変更時に安定時間が必要

OSCCALレジスタでクロック周波数を2%より多く上昇設定した後、レバイスは後続するいくつかの命令を正しく実行しないかもしれません。

問題の修正と対策

動きは障害番号 1に従いますので、同じ対策が利用できます。

JTAG命令 DCODEに関する問題解決案は以下に示されます。

DCODEがTD入力からのデータ遮蔽

公開ですが任意 JTAG命令の DCODEは EEE1149.1に従って正しく実行されず、レバイス識別 (D)レジスタをシフトしている間中、TD入力の代わりに論理 1が走査されます。従って**DR更新**の間中、境界走査チェーン内で先行するレバイスで捕獲したデータは失われて全て 1に置換され、後続するレバイスへのデータは全て 1に置換されます。

ATmega128が走査チェーン内で唯一のレバイスならば、この問題は見られません。

問題の修正と対策

ATmega128のレバイスDレジスタとおそらくは走査チェーンの後続するレバイスからのデータ内容を読むために、(DCODE命令を実行するか、またはTAP制御器の**検査回路リセット状態**へ移行することのどちらかにより)ATmega128のレバイスDレジスタを選択してください。この走査の間中、後続するレバイスへのデータは送れませんが、先行するレバイスへのデータは可能です。境界走査チェーンの先行レバイスのレバイスDレジスタを読む間中、迂回レジスタを選択するため、ATmega128へ**BYPASS命令**を実行してください。ATmega128に対してレバイスDレジスタが選択されている間中、決して後続レバイスへ読み書きを行ってはいけません。DCODE命令がTAP制御器の**検査回路リセット状態**により選択される既定命令であることに注意してください。

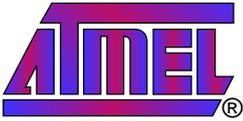
問題の修正と対策 (代替)

境界走査チェーン内の全レバイスのレバイスDが同時に捕獲されなければならない (例えば全存在問い合わせが使用される場合、境界走査チェーンはATmega128がチェーンの先頭レバイスであるような方法で接続できます。**DR更新**はDCODEがJTAG命令レジスタに存在する限り、境界走査チェーンの後続するレバイスに対して未だ使用しないでしょうが、何れにしても記録したレバイスDは送れません。

目次

特徴	1	比較出力部	61
ピン配置	1	比較一致出力部	62
概要	2	動作種別	63
構成図	2	タイム/カウンタのタイミング	66
ATmega128とATmega103の互換性	3	8ビットタイム/カウンタ0用レジスタ	67
ピン説明	3	タイム/カウンタ0の非同期動作	69
コード例について	4	タイム/カウンタ0の前置分周器	71
AVR CPU コア	5	16ビットタイム/カウンタ1とタイム/カウンタ3	72
序説	5	概要	72
アーキテクチ概要	5	16ビットレジスタのアクセス	74
ALU (Arithmetic Logic Unit)	5	タイム/カウンタのクロック	76
ステータスレジスタ	6	カウンタユニット	76
汎用レジスタファイル	7	捕獲入力部	77
スタックポインタ	7	比較出力部	78
命令実行タイミング	8	比較一致出力部	80
割込み割り込みの扱い	9	動作種別	81
AVR ATmega128のメモリ	10	タイム/カウンタのタイミング	85
実装書き換え可能なプログラム用フラッシュメモリ ..	10	16ビットタイム/カウンタ1,3用レジスタ	86
データ用SRAMメモリ	11	タイム/カウンタ1,2,3の前置分周器	95
データ用EEPROMメモリ	12	8ビットタイム/カウンタ2 (PWM)	97
I/Oメモリ (レジスタ)	15	概要	97
外部メモリインターフェース	16	タイム/カウンタのクロック	98
システムクロックとクロック選択	22	カウンタユニット	98
クロックシステムとその配給	22	比較出力部	99
クロック元	22	比較一致出力部	100
既定のクロック元	22	動作種別	101
クリスタル用発振器	23	タイム/カウンタのタイミング	104
低周波数クリスタル用発振器	23	8ビットタイム/カウンタ2用レジスタ	105
外部RC発振器	24	比較出力変調器 (COM1C2)	108
校正付き内蔵RC発振器	24	概要	108
外部クロック信号	25	説明	108
タイム/カウンタ用発振器	25	SPI (シリアル周辺インターフェース)	109
電力管理とスリープ動作	27	SSピンの機能	111
アイドル動作	27	データ転送形式	113
A/D変換ノイズ低減動作	27	USART 0とUSART 1	114
パワーダウン動作	28	概要	114
パワーセーフ動作	28	クロック生成	116
スタンバイ動作	28	フレーム形式	117
拡張スタンバイ動作	28	USARTの初期化	118
消費電力の最小化	29	USARTのデータ送信	119
システム制御とリセット	30	USARTのデータ受信	121
内部基準電圧	32	非同期受信	124
ウォッチドッグタイマ	33	マルチプロセッサ通信動作	126
ウォッチドッグタイマ設定変更の時間制限手順 ..	34	USART 0,1用レジスタ	127
割り込み	35	ホーレー設定例	130
ATmega128の割り込みベクタ	35	2線シリアルインターフェース (TWI)	132
入出力ポート	39	特徴	132
序説	39	2線シリアルインターフェースバスの定義	132
標準デジタル入出力としてのポート	39	データ転送とフレーム形式	132
兼用ポート機能	42	複数マスタバスシステムの調停と同期	134
I/Oポート用レジスタ	54	TW部の概要	135
外部割り込み	57	TW用レジスタ	137
8ビットタイム/カウンタ0 (PWM非同期動作) ..	59	TWの使用法	139
概要	59	転送種別	141
タイム/カウンタのクロック	60	複数マスタシステムでのバス競合と調停	150
カウンタユニット	60	アナログ比較器	151
		アナログ比較器入力選択	152

A/D変換器	153	パワーダウン動作消費電流	216
特徴	153	パワーセーフ動作消費電流	217
操作	154	スタンバイ動作消費電流	217
変換の開始	154	ピンプルアップ	218
前置分周と変換タイミング	155	ピン駆動能力	218
チャネル変更と基準電圧選択	156	ピン閾値とヒステリシス	219
ノイズ低減機能	157	低電圧検出器 (BOD 閾値とアナログ比較器 オフセット)	220
A/D変換の結果	158	内部発振器周波数	221
A/D変換用レジスタ	159	周辺機能部消費電流	224
JTAGインターフェースと内蔵デバッグ機能	162	レック消費電流とレックパルス幅	225
特徴	162	I/Oレジスタ一覧	228
概要	162	命令一覧	230
検査アクセスポート (TAP:Test Access Port)	163	注文情報	233
TAP制御器	163	外形情報	233
境界走査チェーン (Boundary-Scan Chain) の使用	164	更新記録	234
内蔵デバッグ機能の使用	164	障害情報	237
内蔵デバッグ特殊 JTAG命令	164		
内蔵デバッグ関連 I/Oメモリ内のレジスタ	164		
JTAGプログラミング能力の使用	165		
参考文献	165		
EEE1149.1 (JTAG 境界走査)	166		
特徴	166		
概要	166		
データレジスタ	166		
境界走査 (Boundary-Scan用 JTAG命令)	167		
境界走査関連 I/Oメモリ内のレジスタ	168		
境界走査チェーン (Boundary-Scan Chain)	169		
ATmega128の境界走査順	175		
境界走査記述言語 (BSDL)ファイル	176		
ポートロータ - RWW 自己プログラミング	177		
特徴	177		
フラッシュメモリの応用領域とポートロータ領域	177		
書き中に読みが可能な領域と不能な領域	177		
ポートロータ ロックビット	179		
ポートロータ プログラムへの移行	179		
自己プログラミングでのフラッシュアドレス指定	181		
フラッシュメモリの自己プログラミング	181		
メモリプログラミング	186		
プログラムメモリとデータメモリ用ロックビット	186		
識票バイト	186		
校正值バイト	186		
ヒューズビット	187		
パラレルプログラミング	188		
パラレルプログラミング手順	189		
シリアルプログラミング	196		
シリアルプログラミング手順	196		
JTAGインターフェース経由プログラミング	198		
電気的特性	205		
絶対最大定格	205		
DC特性	205		
外部クロック特性	206		
2線シリアルインターフェース特性	207		
SPIタイミング特性	208		
A/D変換器特性	209		
データ用外部メモリタイミング特性	210		
代表特性	213		
標準動作消費電流	213		
アイドル動作消費電流	215		



Atmel営業拠点

Corporate Headquarters

2325 Orchard Parkway
San Jose, CA 95131
TEL 1(408) 441-0311
FAX 1(408) 487-2600

Europe

Atmel Sarl
Route des Arsenaux 41
Casa Postale 80
CH-1705 Frbourg
Switzerland
TEL (41) 26-426-5555
FAX (41) 26-426-5500

Asia

Atmel Asia, Ltd.
Room 1219
Chinachem Golden Plaza
77 Mody Road Tsimhatsui
East Kowloon
Hong Kong
TEL (852) 2721-9778
FAX (852) 2722-1369

Japan

104-0033東京都中央区
新川 1-24-8
東熱新川ビル 9F
アトメル ジャパン株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

Atmel製造拠点

Memory

Atmel Corporate
2325 Orchard Parkway
San Jose, CA 95131
TEL 1(408) 436-4270
FAX 1(408) 436-4314

Microcontrollers

Atmel Corporate
2325 Orchard Parkway
San Jose, CA 95131
TEL 1(408) 436-4270
FAX 1(408) 436-4314

Atmel Nantes
La Chantrerie
BP 70602
44306 Nantes Cedex 3, France
TEL (33) 2-40-18-18-18
FAX (33) 2-40-18-19-60

ASIC/ASSP/Smart Cards

Atmel Rousset
Zone Industrielle
13106 Rousset Cedex, France
TEL (33) 4-42-53-60-00
FAX (33) 4-42-53-60-01

Atmel Colorado Springs
1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Atmel Smart Card ICs
Scottish Enterprise Technology Park
East Kibride G75 0QR, Scotland
TEL (44) 1355-803-000
FAX (44) 1355-242-743

RF/Automotive

Atmel Heilbronn
Theresienstrasse 2
Postfach 3535
74025 Heilbronn, Germany
TEL (49) 71-31-67-0
FAX (49) 71-31-67-2340

Atmel Colorado Springs
1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Biometrics/Imaging/Hi-Rel MPU/ High Speed Converters/RF Datacom

Atmel Grenoble
Avenue de Rochepleine
BP 123
38521 Saint-Egreve Cedex, France
TEL (33) 4-76-58-30-00
FAX (33) 4-76-58-34-80

e-mail

literature@atmel.com

Web Site

http://www.atmel.com

© Atmel Corporation 2004.

ATMEL製品は、ウェブサイトにあるATMELの定義、条件による標準保証で明示された内容以外の保証はありません。本製品は改良のため予告なく変更される場合があります。いかなる場合も、特許や知的技術のライセンスを与えるものではありません。ATMEL製品は、生命維持装置の重要部品などのような使用を認めておりません。

本書中の®、™はATMELの登録商標、商標です。

本書中の製品名などは、一般的に商標です。

© HERO 2005.

本データシートはATMELのATmega128英語版データシート(Rev 2467M-11/04)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力は、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には(内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。